

UNIVERSITAT DE BARCELONA



**Projecte fi de carrera
ENGINYERIA EN ELECTRÒNICA**

Facultat de Física

**DISSENY D'UNA CÀMERA PEL SISTEMA
D'ESTABILITZACIÓ D'IMATGES DEL
PROJECTE SOLAR ORBITER**

Barcelona, 25 de juny de 2012

Autor: DAVID ROMA DOLLASE
Director: JOSÉ MARIA GÓMEZ CAMA

Realitzat a: FACULTAT DE FÍSICA UB

BIBLIOTECA DE LA UNIVERSITAT DE BARCELONA



0701613593

RESUM

L'objectiu d'aquest projecte consisteix en dissenyar tant el hardware com el firmware per l'adquisició d'imatges per aplicacions de l'espai. L'adquisició de les imatges ha de ser controlable mitjançant un canal SPI i la lectura per part del sistema mestre serà per un canal sèrie unidireccional. Aquest projecte, la Correlation Tracking Camera, forma part del Image Stabilization System de la missió Solar Orbiter.

Taula de Contingut

1	INTRODUCCIÓ	9
1.1	RESUM	9
1.2	OBJECTIUS	9
1.3	METODOLOGIA	9
1.3.1	Hardware	9
1.3.2	Firmware	10
1.4	ÀMBIT I ABAST DEL PROJECTE	12
2	ANTECEDENTS	13
2.1	ANTECEDENTS	13
2.2	INTERÈS EN EL PROJECTE	13
2.3	ESTAT DE L'ART	13
2.3.1	SENSOR	13
2.3.2	FPGA	14
3	ANÀLISIS DEL MERCAT	15
3.1	SECTORS ALS QUALS VA DIRIGIT	15
3.2	EVOLUCIÓ HISTÒRICA	15
4	NORMATIVA	16
5	ENGINYERIA DE CONCEPCIÓ	18
5.1	HARDWARE	18
5.2	FIRMWARE	20
5.2.1	Modes de funcionament	21
5.2.2	Paràmetres de funcionament	21
5.2.3	Control Link	22
5.2.4	Dominis de rellotge	27
6	ENGINYERIA DE CONCEPCIÓ	28
6.1	COMPONENTS HARDWARE	28
6.1.1	PCB	28
6.1.2	Alimentacions	30
6.1.3	STAR 1000	31
6.1.4	AD8041	33
6.1.5	RHF1201	34
6.1.6	AD8138	36
6.1.7	74ALVC164245	38
6.1.8	ADC128S102	39
6.1.9	RTSX72SU	40
6.1.10	LT1078	42
6.1.11	UT54LVDS031LV	42
6.1.12	UT54LVDS032LV	42
6.2	BLOCS DEL FIRMWARE	43
6.2.1	Image Sensor Control	43
6.2.2	Image Link	48
6.2.3	Camera Manager	49
6.2.4	H/K Sensor Read	50
6.2.5	Control Link	51
6.2.6	Senyals d'entrada i sortida	53
6.2.7	Generació VHDL	53
6.2.8	Síntesi i Layout	54

7	VIABILITAT TÈCNICA.....	55
7.1	REQUISITS.....	55
7.2	DETECCIÓ I ANÀLISI DE DEBILITATS I FORTALESES.....	55
7.2.1	<i>Punts crítics</i>	55
7.2.2	<i>Fiabilitat</i>	55
7.2.3	<i>Qualitat</i>	55
7.2.4	<i>Flexibilitat</i>	56
8	VIABILITAT ECONÒMICA.....	57
8.1	COSTS D'INVERSIÓ.....	57
8.2	FINANÇAMENT.....	57
9	CRONOGRAMES D'EXECUCIÓ.....	58
9.1	DEFINICIONS DE TASQUES I TEMPS.....	58
9.2	DIAGRAMES PERT.....	58
9.3	DIAGRAMA GANTT.....	60
10	CONCLUSIONS.....	61
11	BIBLIOGRAFIA.....	62

Llista de Figures

FIGURA 1. FLUX DE DISSENY DEL FIRMWARE	11
FIGURA 2. CONJUNT DE BLOCS HARDWARE I EL FLUX DE SENYALS ENTRE ELLS	19
FIGURA 3. DIAGRAMA DE BLOCS DEL FIRMWARE.....	20
FIGURA 4. FLUX D'UNA TRANSMISSIÓ COMPLERTA	23
FIGURA 5. INICI D'UNA TRANSMISSIÓ COMENÇADA PEL MASTER	23
FIGURA 6. INICI D'UNA TRANSMISSIÓ COMENÇADA SOTA PETICIÓ DEL SLAVE	24
FIGURA 7. FINAL DEL PRIMER CICLE I INICI DEL SEGON	24
FIGURA 8. UTILITZACIÓ DELS PLANS.....	28
FIGURA 9. ESQUEMA DE LA CÀMERA STAR 1000.....	31
FIGURA 10. DIAGRAMA DE BLOCS DEL RHF1201.....	34
FIGURA 11. DIAGRAMA TEMPORAL DE LA CONVERSIÓ DE L'ADC.....	35
FIGURA 12. CIRCUIT DEL AD8138 FENT DE DRIVER A UN ADC (RHF1201)	36
FIGURA 13. CONFIGURACIÓ ELEGIDA PEL FUNCIONAMENT DEL AD8138	37
FIGURA 14. POWER-ON RESET MITJANÇANT UN TRIGGER SCHMITT I UN RC	38
FIGURA 15. SORTIDA OPEN DRAIN EN LA FPGA	39
FIGURA 16. DIAGRAMA DE BLOCS DE L'ADC128S102.....	40
FIGURA 17. FLIP-FLOP D RESISTENT A SEU.....	41
FIGURA 18. DIAGRAMA DE BLOCS DE LA CONNEXIÓ DEL SILICON EXPLORER.....	41
FIGURA 19. ESQUEMA DEL UT54LVDS031LV	42
FIGURA 20. PROCÉS DE LECTURA D'UNA FILA I RESET D'UNA SEGONA	44
FIGURA 21. PROCÉS DE LECTURA DE LES COLUMNES.....	45
FIGURA 22. DIAGRAMA D'ESTATS PEL MODE NORMAL DE FUNCIONAMENT (ESQUERRA) I EL MODE DE FUNCIONAMENT RÀPID (DRETA)	47
FIGURA 23. IMPLEMENTACIÓ DEL CRC-16-CCITT.....	48
FIGURA 24. DIAGRAMA DE TEMPS DE LA COMUNICACIÓ AMB EL ADC128S102.....	51
FIGURA 25. MÀQUINA D'ESTAT DEL CONTROL LINK	51
FIGURA 26. DIAGRAMA PERT.....	59
FIGURA 27. DIAGRAMA DE GRANTT	60

Llista de Taules

TAULA I. ESQUEMA DE LA PARAULA TRANSMESA PEL CONTROL LINK.....	25
TAULA II. COMANDES DE PARÀMETRES DEL CONTROL LINK.....	25
TAULA III. COMANDES DE MODE DE FUNCIONAMENT DEL CONTROL LINK.....	25
TAULA IV. CONTINGUT DEL REGISTRE D'ESTAT.....	26
TAULA V. VALORS DEL GUANY ANALÒGIC	32
TAULA VI. VALORS DE LES RESISTÈNCIES DELS DIVISORS DE TENSÍO PER H/K.....	40
TAULA VII. TEMPS PER LA LECTURA I RESET D'UNA FILA	44
TAULA VIII. TEMPS IMPLICATS EN L'ADQUISICIÓ D'UNA IMATGE.....	46
TAULA IX. TEMPS I FREQUÈNCIA D'ADQUISICIÓ DE LES IMATGES	46
TAULA X. TRAMA DEL IMAGE LINK PER 128 PÍXELS AMB UNA RESOLUCIÓ DE 10 BITS.	48
TAULA XI. ESTIMACIÓ DEL COST DELS COMPONENTS DEL PROTOTIP.....	57
TAULA XII. ESTIMACIÓ DEL COST TOTAL DEL PROJECTE	57
TAULA XIII. MATRIU DE ACTIVITATS PRECEDENTS, DE CONSEQÜENTS I DE DURACIÓ PERT	58

1 INTRODUCCIÓ

1.1 RESUM

L'objectiu del projecte és la generació d'un sistema d'obtenció d'imatges pel sistema d'estabilització d'imatges (ISS, Image Stabilization System) pel projecte Solar Orbiter. L'objectiu d'ISS és poder compensar els possibles moviments que pugui sofrir el sistema de captació d'imatges del Polarimetric and Helioseismic Imager (PHI) de Solar Orbiter i assegurar per tant que les imatges obtingudes del Sol sempre corresponen a la mateixa regió.

El projecte consta de dos parts: una part de hardware on s'ha desenvolupat la PCB amb el sensor i una de firmware per la FPGA que controla la càmera i envia les dades obtingudes al sistema de correlació (ISS Control).

1.2 OBJECTIUS

El sistema ha de proporcionar imatges a ISS sota petició, tant de forma continuada com una única imatge. Les imatges es proporcionen sobre un enllaç sèrie amb una certa trama que ha de permetre la detecció d'errors en la transmissió. També ha de ser possible modificar paràmetres de funcionament del sistema que permetin canviar la qualitat, dimensions o freqüència d'obtenció d'imatges. Els paràmetres són accessibles mitjançant un altre enllaç sèrie full dúplex amb un sistema de comunicació que permet la detecció i correcció d'errors. Donada la necessitat que el sistema global tingui una molt alta fiabilitat, ha de ser possible la lectura de senyals del estat de funcionament del sistema (senyals de HK, housekeeping).

1.3 METODOLOGIA

S'utilitzen dos metodologies diferents, una per la part de hardware i l'altra per la de firmware. Un cop arribat al final dels dos procediments, es programa amb el firmware el prototip i s'estableix un conjunt de proves per tal de comprovar que el conjunt del sistema compleix les especificacions.

1.3.1 HARDWARE

El disseny de hardware s'ha efectuat amb el DesignSpark PCB.

El disseny consta de les següents parts:

1. Part analògica: sensor i adaptació de la senyal
2. Part mixta: ADC
3. Part digital: transceptors d'entrada i sortida
4. Alimentació: reguladors i capacitats de desacoblament
5. Interfícies: connectors

Definits els components necessaris, les necessitats tèrmiques i les alimentacions, s'ha decidit el nombre de capes a utilitzar i la seva funció.

A l'hora de fer el posicionament (placement) dels diferents components s'ha tingut especial atenció a la separació de les parts analògica i digital, intentant minimitzar l'efecte del soroll en global i en particular pel ADC.

Finalment s'ha realitzat l'encaminament (routing), tenint especial atenció a les línies analògiques i les d'alta velocitat digitals. En el cas de les línies analògiques s'han fet el més curtes possible i el seu gruix correspon al necessari per adaptar la impedància de la línia a la dels components. Les línies d'alta velocitat digitals també s'han fet el més curtes possibles però sobretot s'ha tingut en compte que la diferència de temps de propagació entre elles sigui mínima en comparació al seu període.

1.3.2 FIRMWARE

El disseny de software s'ha fet amb Simulink 7.8 del Matlab R2011b (7.13.0.564). Mitjançant el HDL Code de Simulink el codi escrit s'exporta com a codi VHDL. El test d'aquest codi s'ha fet sobre la placa de desenvolupament ML501 amb l'entorn de desenvolupament planAhead de Xilinx.

El procediment es representa en la Figura 1. A continuació s'explica en detall cadascuna de les etapes:

1. Definició dels blocs: es defineixen els diferents blocs lògics dels quals constarà el sistema, la seva funcionalitat i les entrades i sortides dels quals estan formats.
2. Implementació en Simulink: es generen els diferents blocs i es codifica la seva funcionalitat en llenguatge Embedded Matlab.
3. Testbench en Matlab: es genera un sistema de verificació del codi en Matlab mitjançant models funcional i temporalment equivalents i es comprova que el sistema té el funcionament desitjat.
4. Generació del codi VHDL: mitjançant el HDL Coder de Simulink s'exporta el codi en el llenguatge VHDL. Aquest codi s'utilitza en el IDE (Integrated Design Environment) del fabricant de la FPGA per generar el codi sintetitzat. Després es fa el placement and routing de la FPGA per tal de poder programar-la.
5. Obtenció dels temps en la FPGA: mitjançant el IDE s'obtenen els temps de propagació teòrics dels senyals interns de la FPGA i per tant també la freqüència màxima de funcionament del codi.
6. Testbench en ModelSim: en cas que la freqüència màxima assolida sigui inferior a la desitjada es busca quin és el camí que produeix el pitjor retard i es modifica el codi per poder millorar aquests temps. També s'observa en la simulació dels temps de propagació que es realitza amb el QuestaSim 10.1b que les senyals obtingudes tinguin les formes i duracions esperades i no es produeixin glitches en aquestes.
7. Implementació en ML501: es programa mitjançant l'IDE planAhead de Xilinx la placa de desenvolupament ML501 per tal de poder fer la comprovació de la implementació del codi.
8. Analitzador lògic: es comprovarà mitjançant l'analitzador lògic que la forma i duració de les senyals obtingudes és l'esperada.
9. Programació de la FPGA: finalment el codi és dóna per vàlid per poder-se programar en el prototip.

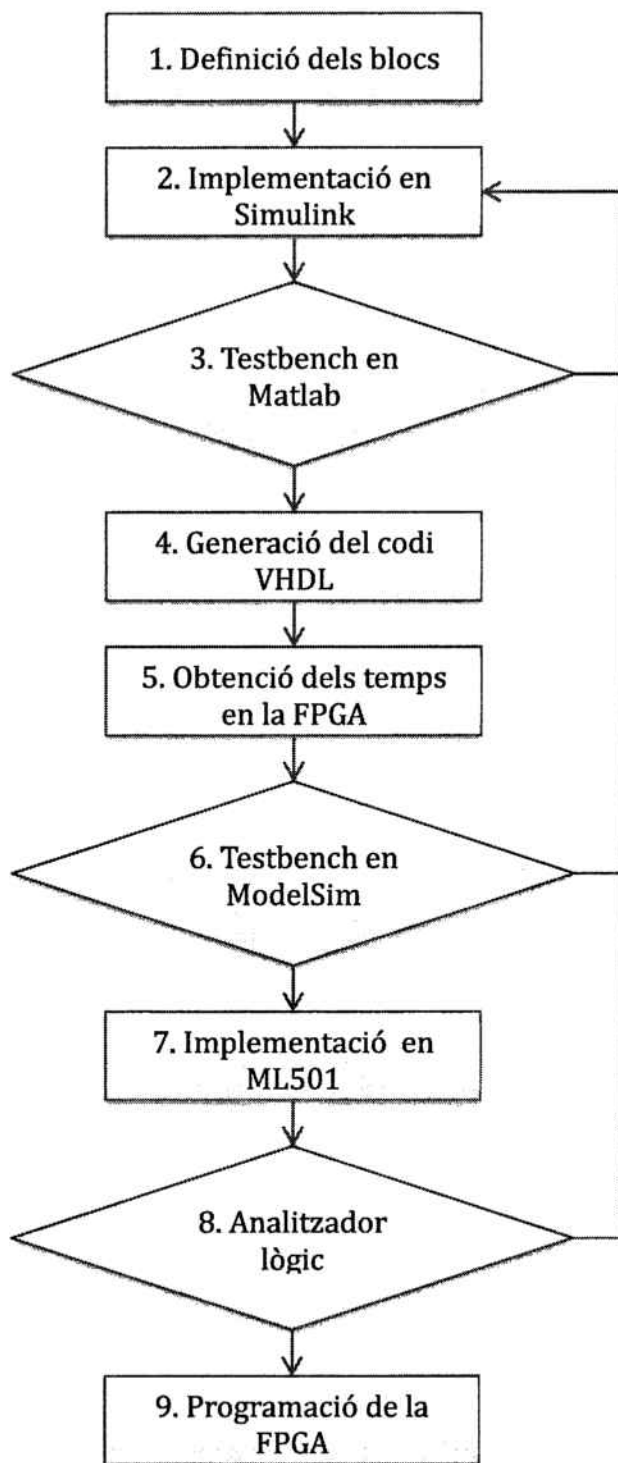


Figura 1. Flux de disseny del firmware

1.1.1.1 NORMES DE DISSENY

Tots els blocs a més han seguit les següents normes:

- Totes les màquines d'estat s'han codificat one-hot i amb un control de paritat [1], d'aquesta forma no es penalitza la freqüència màxima de funcionament i es pot controlar si s'ha produït un SEU (Single Event Upset) que ha modificat el registre de la màquina d'estat.
- En cas d'un error en el control de paritat o que un comptador assoleixi un valor fora del que teòricament pot arribar (degut per tant d'un SEU), el bloc ha d'activar una senyal d'error que ha de ser accessible des de ISS Control.
- Tot bloc a més del reset asíncron ha de tenir un reset síncron que s'ha de poder activar des de ISS Control.

1.4 ÀMBIT I ABAST DEL PROJECTE

El desenvolupament del projecte és a càrrec de la Universitat de Barcelona (UB) amb la col·laboració del Kiepenheuer-Institut für Sonnephysik (KIS). L'abast del projecte es restringeix a aplicacions espacials on sigui necessari un sensor òptic amb especificacions similars a les d'aquest projecte.

2 ANTECEDENTS

2.1 ANTECEDENTS

L'ús de càmeres està àmpliament estès avui en dia fins el punt en que el telèfon mòbil més senzill n'incorpora una. La dificultat en quant el hardware d'aquests projecte és degut a les condicions adverses en que funcionarà i els components d'alta precisió a utilitzar. En aplicacions per l'espai no és un projecte nou, però el secretisme amb que solen estar associats aquests projectes fa difícil trobar informació de dissenys previs que apliquin al marc d'aquest projecte.

En el cas del firmware es tracta d'una aplicació bastant típica on la dificultat principal és el control específic del sensor i permetre la reconfiguració i fiabilitat que requereix aquest projecte, mantenint unes prestacions elevades de velocitat i de baix consum.

2.2 INTERÈS EN EL PROJECTE

La tendència actual, a pesar de la crisi econòmica, és que les aplicacions al espai continuïn augmentant en el futur. Des de un punt de vista econòmic, la nostra dependència cada cop major de satèl·lits (telecomunicacions, observacions terrestres i meteorològiques, ...) fan necessaris un coneixement profund de la dinàmica solar per poder preveure futures tempestes solars que poden causar danys i interrupcions a aquests serveis. Per l'altra part, l'estudi del Sol té un gran interès científic i humà. És de concloure doncs que el estudi del Sol continuarà tenint en un futur un fort interès.

2.3 ESTAT DE L'ART

2.3.1 SENSOR

Actualment es poden trobar dos tipus de tecnologies de sensors per càmeres: CCD (Charge Coupled Device) i APS (Active Pixel Sensor) [2].

Els principals avantatges d'utilitzar una càmera CCD per aquest projecte són:

- Ben conegut: les CCD es porten utilitzant des de fa dècades i per tant és una tecnologia molt madura, provada i fiable.
- Menys soroll: l'impacte de soroll més gran sobre els sensors [3] es pot dividir en soroll dark i electrònic. Els dos, però especialment el dark, tenen un impacte més gran en els APS.
- Qualitat: la resposta radiomètrica dels CCD és millor que pels APS, però l'avanç tecnològic en les càmeres digitals redueix cada cop més aquesta diferència.

Els avantatges de la tecnologia APS són:

- Consum: el consum de les APS arriba a ser fins a 100 vegades inferior a les CCD i en el marc d'aquest projecte el consum és un paràmetre rellevant per la poca potència disponible.
- Cost: el cost de les APS és menor degut a que segueix un procés de fabricació CMOS.
- Resistència a la radiació: els sensors APS, degut en gran part al procés CMOS que segueixen, resulten més resistents a la radiació que els CCD.
- Velocitat: els sensors APS actuals permeten obtenir imatges a una velocitat superior als CCD.
- Resistència al blooming: el blooming és un efecte en que un píxel saturat afecta tots els píxels adjacents a aquest. Els sensors APS tenen una major immunitat a aquest efecte respecte als CCD.

Degut a les necessitats del projecte es prefereix doncs un sensor APS a un CCD, sempre que aquests pugui aportar la resolució necessària.

2.3.2 FPGA

Es requereix d'una FPGA de baix consum, alta velocitat i resistent a la radiació. Per aquest objectiu es prefereix una FPGA de Actel [4] [5] que utilitza tecnologia antifusible per la programació. La tecnologia d'antifusible permet un menor consum al no tenir fuites de corrent, una alta velocitat al reduir els retards i una major resistència a la radiació al no haver-hi elements de programació que puguin commutar. El perjudici que té és que només es pot programar un cop (OTP, one time programmable). Per aquests motius pel desenvolupament del firmware s'ha utilitzat una placa de desenvolupament ML501 de Xilinx.

A més, s'ha elegit una FPGA que té una variant de triple modular redundancy (TMR). El TMR consisteix en triplicar una mateixa funció i després es vota quin és el resultat correcte. En cas que no hi hagi cap problema de funcionament el resultat serà el mateix pels tres, però si es produeix un defecte o error en un dels tres mòduls els altres dos encara tindran majoria i el resultat final serà el correcte. D'aquesta manera efectes com el single event upset (SEU) que es produeixen degut a la radiació i generen un error lògic, tenen molta menys probabilitat de tenir efecte sobre el resultat final de l'operació.

3 ANÀLISIS DEL MERCAT

3.1 SECTORS ALS QUALS VA DIRIGIT

El projecte és aplicable a missions espacials on sigui necessària la obtenció d'imatges d'alta qualitat i a un ritme elevat. L'àmbit d'aplicació per tant és bàsicament científic per a missions solars i donat el cost dels components espacials no és rendible utilitzar aquest disseny en aplicacions terrestres. Donat que el firmware està dissenyat específicament per la càmera elegida, tampoc es podria utilitzar en un hardware diferent sense una adaptació prèvia.

3.2 EVOLUCIÓ HISTÒRICA

La recerca per un millor coneixement del Sol per part de la humanitat s'ha dut a terme des de l'antiguitat, però fins a l'era moderna no s'ha assolit un autèntic coneixement del seu funcionament intern. Tot i els esforços que s'han dedicat en els últims temps en la seva exploració, encara es desconeix gran part de la dinàmica solar. El seu coneixement té una rellevància cabdal en l'àmbit de l'astronomia, al ser l'estel més proper a la Terra. Apart de l'evident interès científic, té una gran rellevància tecnològica en l'època actual. La nostra gran dependència dels satèl·lits, tant per aplicacions civils com militars, i la seva feblesa davant de les flamarades solars fa que sigui molt important un bon coneixement i predicció del comportament del nostre astre.

En la història trobem un gran nombre de missions espacials dedicades a l'estudi del Sol [6]. Solar Orbiter però serà la primera missió en solitari de la ESA [7] dedicada en exclusiva al estudi solar, però és molt improbable que sigui la última.

Tot i l'actual entorn de crisi, on el sector aeroespacial ha patit retallades, no sembla previsible que la investigació solar disminueixi en les properes dècades. Tanmateix, el disseny actual d'aquesta missió pot deixar de ser aplicable en futurs projectes degut a la velocitat a la qual evoluciona el hardware, especialment de les càmeres APS que milloren ràpidament les seves prestacions.

4 NORMATIVA

Donat que aquest projecte està orientat a una aplicació espacial no hi ha una reglamentació específica. Per altra banda, degut a que aquest projecte està sota control de la ESA, s'ha de complir amb els seus estàndards. En aquest sentit existeix l'organisme ECSS [8] que agrupa al sector públic i privat europeu d'activitats relacionades amb l'espai. En aquest és publiquen i desenvolupen de forma conjunta els estàndards a complir per projectes espacials. Els més rellevants que apliquen són:

- S-ST-00C *Description, implementation and general requirements*: descriu l'organització i marc d'aplicació dels documents d'ECSS.
- E-ST-10C *System Engineering general requirements*: defineix quin és el flux a seguir en el desenvolupament i la documentació a generar al llarg de tot el projecte.
- E-ST-10-12C *Method for the calculation of radiation received and its effects, and a policy for design margins*: defineix com calcular quina quantitat de radiació incidirà sobre els nostres components i els efectes que aquesta pot tenir així com les mesures a dur a terme per reduir la seva incidència. És important per realitzar una bona elecció dels components, especialment del APS.
- E-ST-20C *Electrical and electronic*: defineix certes consideracions generals sobre el disseny de hardware, l'alimentació dels circuits i regulació per la compatibilitat electromagnètica.
- E-ST-20-07C *Rev.1 Electromagnetic Compatibility*: especifica criteris de disseny, límits i sistemes de test per la compatibilitat electromagnètica.
- E-ST-40C *Software general requirements*: explica el procés de disseny, implementació, verificació i manteniment que ha de seguir el software que s'utilitza en aplicacions del espai.
- E-ST-50-14C *Spacecraft discrete interfaces*: proporciona exemples i normes a seguir en el disseny d'enllaços de comunicació dintre de l'aplicació espacial.
- E-ST-60-20C *Rev. 1 Star sensor terminology and performance specification*: exposa el funcionament i paràmetres principals de les càmeres per aplicacions al espai, important per tant per elegir correctament quin utilitzar.
- E-ST-31C *Thermal control general requirements*: especifica normes a seguir en el disseny, implementació i test per complir els marges de temperatura definits per la missió.
- Q-ST-10C *Product assurance management*: especifica el procediment a dur a terme per garantir que el producte compleix les especificacions de forma segura i fiable.
- Q-ST-20C *Quality assurance*: especifica com dur a terme el procés de control de qualitat del producte.
- Q-ST-20-08C *Preservation, storage, handling and transportation of Spacecraft hardware*: aquest document encara no ha estat publicat, però és important per saber el procés que s'haurà de seguir per emmagatzemar i utilitzar els components que s'utilitzaran en la missió.
- Q-ST-60C *Rev.1 Electrical, electronic and electromechanical (EEE) components*: exposa el procés a seguir per la selecció dels components i

dóna indicacions de com s'han d'utilitzar per no comprometre la seva fiabilitat.

- Q-ST-60-02C *ASIC and FPGA development*: especifica el procés a seguir pel disseny, implementació i verificació del firmware.
- Q-ST-80C *Software product assurance*: especifica el procediment a dur a terme per garantir que el software compleix les especificacions de forma segura i fiable.
- Q-ST-70-10C *Qualification of printed circuit boards*: especifica les proves que ha de passar i requeriments que ha de complir una PCB per tal de poder ser qualificada per l'espai.
- Q-ST-70-12C *Design rules for printed circuit boards*: document actualment en preparació que hauria de definir regles a complir en el disseny de la PCB.

5 ENGINYERIA DE CONCEPCIÓ

5.1 HARDWARE

Podem dividir el hardware per la seva funcionalitat en els següents blocs:

1. Alimentació: conjunt de reguladors que permeten transformar els nivells de tensió de l'alimentació externa als necessaris pel funcionament de l'electrònica de la placa. També s'han afegit els elements necessaris com capacitats de desacoblament i inductàncies de xoc per mantenir el més estable i netes possible les alimentacions.
2. Manteniment (housekeeping): conjunt d'elements que han de permetre determinar el bon estat de funcionament de la placa, com la seva temperatura i les tensions d'alimentació.
3. Entrada/sortida (E/S): conjunt de connectors encarregats de permetre la connexió de la placa de la càmera amb la placa de desenvolupament on és desenvolupa el firmware de ISS Control.
4. Transceptors: conjunt de transceptors encarregat d'adaptar els nivells de tensió de les senyals d'entrada i sortida de la placa amb les senyals internes d'aquesta i les diferents tensions de les senyals internes.
5. Sensor: la càmera i qualsevol altre element passiu que sigui necessari pel funcionament adequat de la càmera. Per facilitar el test sense posar en perill la càmera, la qual té un cost elevat, és disposa d'un sòcol permetent així el fet de treure i posar la càmera quan convingui.
6. Xarxa d'adaptació del sensor: per tal de tenir una bona qualitat del senyal analògic de la càmera s'ha posat un seguidor de tensió amb un amplificador operacional de baix soroll, alta impedància d'entrada i ample de banda gran. Després d'aquesta etapa es posa un amplificador diferencial per passar la senyal a diferencial per reduir el soroll a l'etapa del convertidor analògic digital.
7. Convertidor analògic-digital (ADC): és necessita d'un convertidor analògic digital amb entrada diferencial amb un mínim de 10 bits efectius de resolució de sortida i una freqüència de conversió al voltant de 10 MHz.

En la Figura 2 es pot veure quin és el flux de les senyals entre els diferents blocs. El bloc d'alimentació s'ha exclòs perquè afecta a tots els altres blocs. El bloc de manteniment és independent de tota la resta donat que d'altre forma podríem obtenir una informació del estat de la càmera errònia.

La temperatura dels components, i en especial del sensor, pot resultar un tema crític per aquest projecte. Per tant, es tindrà un pla tèrmic separat en tota la placa i que haurà d'estar present en totes les capes que es trobin sota el sensor. A més, totes aquestes capes hauran de estar connectades amb una gran densitat de vies metal·litzades per facilitar la dissipació per conducció. Donat la presència del sòcol en la versió final és posarà pasta tèrmica entre aquesta i el sensor per assegurar una bona conducció.

Per tal de poder testejar correctament el disseny s'han afegit punts de test per poder facilitar les mesures de les senyals internes més rellevants, com són la sortida analògica de la càmera i l'entrada diferencial de l'ADC.

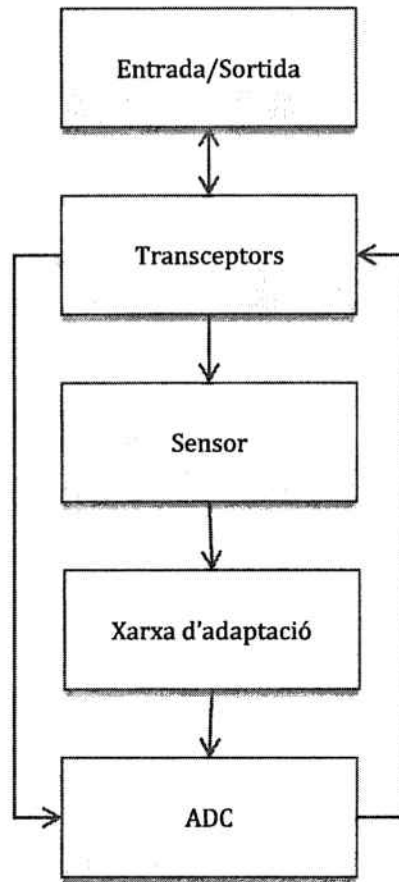


Figura 2. Conjunt de blocs hardware i el flux de senyals entre ells.

Donada la flexibilitat que ha de permetre el prototip també s'han utilitzat resistències de zero ohms per poder configurar diferents modes de funcionament i per tant poder provar quin és el més òptim pel sensor i per les prestacions que és necessiten.

En l'entrada de les tensions d'alimentació s'han posat unes capacitats de tàntal de valor gran per reduir el soroll a més de capacitats de desacoblament a les alimentacions de tots els integrats, calculades adequadament per reduir el soroll de commutació. Sempre que resulti possible s'ha intentat tenir un pla per cada tensió d'alimentació i un altre pla proper de massa per tenir l'efecte de capacitat distribuïda i així disminuir les possibles fluctuacions de l'alimentació.

La massa analògica i la digital, i els seus plans, es mantindran separats per reduir el soroll sobre el convertidor analògic-digital, i es connecten mitjançant un pla a prop de l'ADC. El pla tèrmic es connectarà a terra per millorar la immunitat al soroll en les proves inicials. Per la versió final es connectarà mitjançant una impedància elevada al xassís del satèl·lit. Per tant, la placa haurà de permetre els dos modes de funcionament per poder testejar que en els dos el funcionament és l'adequat.

Els plans dedicats a senyals estaran separats entre si pel pla de massa corresponent el seu tipus, digital o analògic, per assegurar una baixa impedància pel retorn i així disminuir també la degradació dels senyals. Aquests fet és especialment rellevant per les senyals analògiques.

Si es disposa de suficients capes, les capes més externes correspondran a la massa digital i en tota la vora de la placa es posaran vies metal·litzades en la distància mínima que permeti la tecnologia de plaques utilitzada per fer un efecte de cambra de Faraday.

5.2 FIRMWARE

El firmware de la càmera (CT Camera) s'ha dividit en els següents blocs (Figura 3):

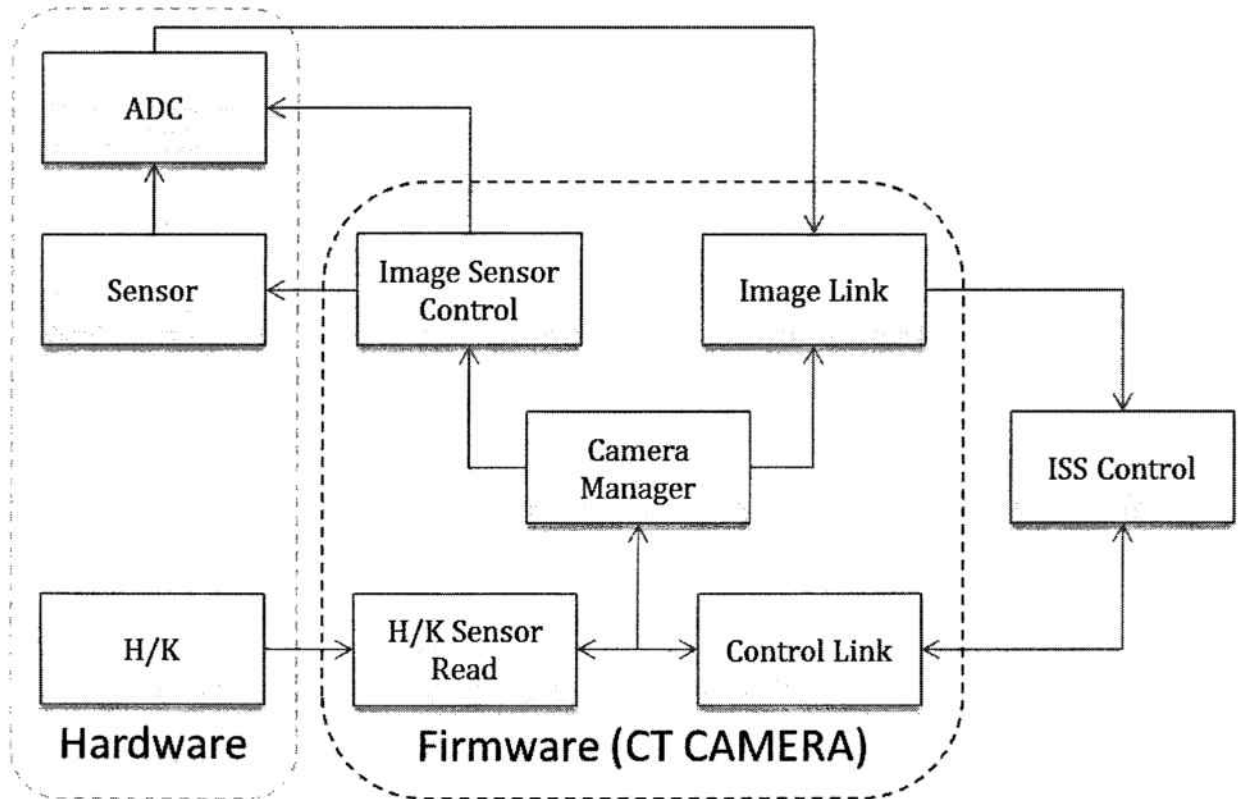


Figura 3. Diagrama de blocs del firmware

- Image Sensor Control: bloc encarregat d'enviar les senyals de control al ADC i al sensor per tal d'obtenir les imatges. Aquestes dades són enviades després directament a Image Link.
- Image Link: bloc encarregat d'enviar les dades de l'ADC a la unitat de processat de les imatges (ISS Control). Per la transmissió, que és unidireccional, s'utilitzen dos línies: Camera Clock (CCLK) i Image Data (IDAT). La taxa de transferència és de 100 Mbps. El bloc genera el frame i l'envia pel canal. Les dades llegides per una fila són serialitzades i s'afegeix una capçalera i un CRC16-CCITT [9] [10] al final. La capçalera constarà d'un preàmbul de 10 bits 0x222 i 10 bits més per indicar el nombre de píxels a transmetre.
- Camera Manager: bloc de control encarregat de processar les ordres del ISS Control obtingudes a través del Control Link i actuar en conseqüència controlant la resta de blocs.
- H/K Sensor Read: bloc que va llegint amb una freqüència de 1 Hz les diferents senyals de manteniment de la placa i les passa al Control Link per ser enviades a ISS Control. També ha d'incorporar un comptador,

que ha de ser accessible per Control Link, per saber el nombre d'imatges que es porta llegint des d'haver entrat en el mode continu.

- Control Link: bloc encarregat de l'intercanvi d'informació de control, tant de dades de manteniment com de modes de funcionament, amb ISS Control. Funciona sobre una transmissió bidireccional tipus SPI amb una velocitat màxima de 1 Mbps. La longitud de les paraules és de 16 bits amb CPOL zero (el valor base del senyal de rellotge és baix), CPHA un (les dades són llegides en el flanc de baixada) i amb el bit més significatiu a l'inici. Les línies de comunicació seran Master Clock (SCLK), Master Input Slave Output (MISO), Master Output Slave Input (MOSI) i Slave controlled serial Interrupt (SINT). El ISS Control sempre és el dispositiu mestre i com a tal genera el senyal de rellotge SCLK.

5.2.1 MODES DE FUNCIONAMENT

El firmware té quatre modes de funcionament diferents:

- Idle: en aquest estat Image Sensor Control i Image Link estan desactivats. És l'únic estat on es permet la modificació dels paràmetres interns de funcionament del firmware i el canvi a un altre estat. És l'estat amb el qual arrenca el firmware.
- Continuous frame read: s'anirà llegint de forma continua imatges de la càmera i s'enviaran cap a ISS Control. No es para fins a rebre l'ordre de ISS Control i després es torna al mode idle.
- Single frame read: es llegeix i s'envia una única imatge. Després es torna automàticament a passar al mode idle.
- Test: es genera una senyal quadrada d'una freqüència de 5 MHz i amplitud equivalent a alternar un píxel sense il·luminació i un de saturat a la sortida del sensor, per comprovar el funcionament correcte de l'ADC i la xarxa d'adaptació.

5.2.2 PARÀMETRES DE FUNCIONAMENT

Els següents paràmetres són reconfigurables en viu:

- Dimensió de la imatge (Image Size): dimensió de la imatge en valors múltiples de dos, des de 64 a 128.
- Offset de la imatge (Image Offset): píxel d'inici de la lectura de la imatge independent pels dos eixos. Pot ser qualsevol valor en el rang de zero a 1024 menys la dimensió de la imatge actual.
- Resolució dels píxels (Pixel Resolution): nombre de bits dels píxels a transmetre, de 8 a 12.
- Guany analògic dels píxels (Analog Pixel Gain): guany programable a la sortida del sensor. Els valors que pot prendre són 1, 2, 4 o 8.
- Guany digital dels píxels (Digital Pixel Gain): el valor llegit de l'ADC es pot multiplicar per 1, 2 o 4. Aquesta operació es realitza per part del firmware en el bloc del Image Link abans de l'enviament.
- Offset d'aplicació del reset (Rolling Shutter Offset): donat el possible problema de saturació dels píxels, per tal de reduir el temps d'integració d'aquests, és possible aplicar la senyal de reset en un cert nombre de files abans de la lectura d'aquesta fila. El valor pot variar de 0 a la dimensió de la imatge menys un.

5.2.3 CONTROL LINK

El Control Link de CT Camera sempre és el dispositiu esclau de la comunicació SPI (Serial Peripheral Interface). El bloc de comunicació del Control Link de ISS Control sempre funciona en mode mestre. SPI no està definit formalment per cap estàndard i per tant es realitza la implementació més convenient per la nostra aplicació. La longitud de les paraules és de 24 bits amb CPOL zero (el valor base del senyal de rellotge és baix), CPHA un (les dades són llegides en el flanc de baixada) i amb el bit més significatiu a l'inici. La trama consta de dos parts: la comanda i un CRC-8-CCITT.

Es prefereix que l'estat de repòs de les senyals sigui un valor de potencial baix. El motiu és que un estat baix pels transceivers LVDS és equivalent a posar en alta impedància la sortida del transmissor LVDS i per tant es pot reduir d'aquesta forma el consum en cas que fora desitjable i factible.

5.2.3.1 SENYALS

Les senyals de les quals consta el Control Link són:

- SCLK: rellotge generat per ISS Control. En el seu flanc de pujada es captura el bit de la transmissió. Aquests rellotge funciona a un ritme de 1MHz. En una transmissió normal tindrem 24 pols en els quals es transmetran dades i finalment un altre pols de més llarga duració que amb combinació amb la senyal SINT s'utilitza per sincronitzar l'estat del dispositiu mestre i l'esclau.
- MOSI (Master Output Slave Input): Control Link llegeix el bit enviat per ISS Control en el flanc de baixada de SCLK.
- MISO (Master Input Slave Output): Control Link canvia el següent bit a enviar en el flanc de pujada de SCLK per tal d'assegurar que la dada estigui estable en l'entrada de ISS Control en el flanc de pujada de SCLK.
- SINT (Slave controlled serial Interrupt): senyal controlada per Control Link que té una doble funció depenent del estat de SCLK. SINT sempre pren un valor alt quant el slave hagi rebut els 24 bits de la transmissió. La senyal SINT indica: en un cas que el slave està preparat per una nova transmissió; o en l'altre cas que s'ha produït un error i el slave vol sol·licitar una transmissió amb el master.

Per tal d'assegurar una transmissió correcta de la informació un CRC com a sistema detector d'errors no resulta eficient degut a que la informació transmesa és curta. Un control de paritat tampoc és factible donat que és feble als errors de tipus *bursts*. Per tant, s'ha elegit un sistema de redundància completa, consistent en que CT Camera torna a enviar la trama rebuda. L'encarregat de validar la informació que circuli pel canal del control link serà ISS Control. En aquesta configuració en realitat la capacitat full dúplex del canal només s'utilitza pel control de la informació transmesa. Per assegurar però que les dades rebudes no estan modificades pel canal s'ha decidit afegir un CRC-8.

5.2.3.2 COMUNICACIÓ

Una comunicació normal consta de dos transmissions completes. En el primer cicle de transmissió el master (ISS Control) envia la comanda que vol executar mentre que el slave (CT Camera) envia una trama d'estat. En el següent cicle el master envia una trama NOP (No Operation) i el slave envia la resposta a la comanda del master del cicle anterior. En el cas que aquesta comanda fos d'escriptura, és a dir, modifiqués el funcionament o un

registre del slave, aquest torna a enviar la mateixa comanda al master. En cas d'una comanda de lectura, és a dir, on es demana l'estat o el contingut d'un registre de CT Camera, el slave envia la mateixa comanda però amb el valor intern corresponent en el camp definit en la trama. La comanda NOP i la de RESET són les úniques que no necessiten una resposta per part del slave. Un diagrama temporal d'una transmissió completa es mostrarà en la Figura 4.

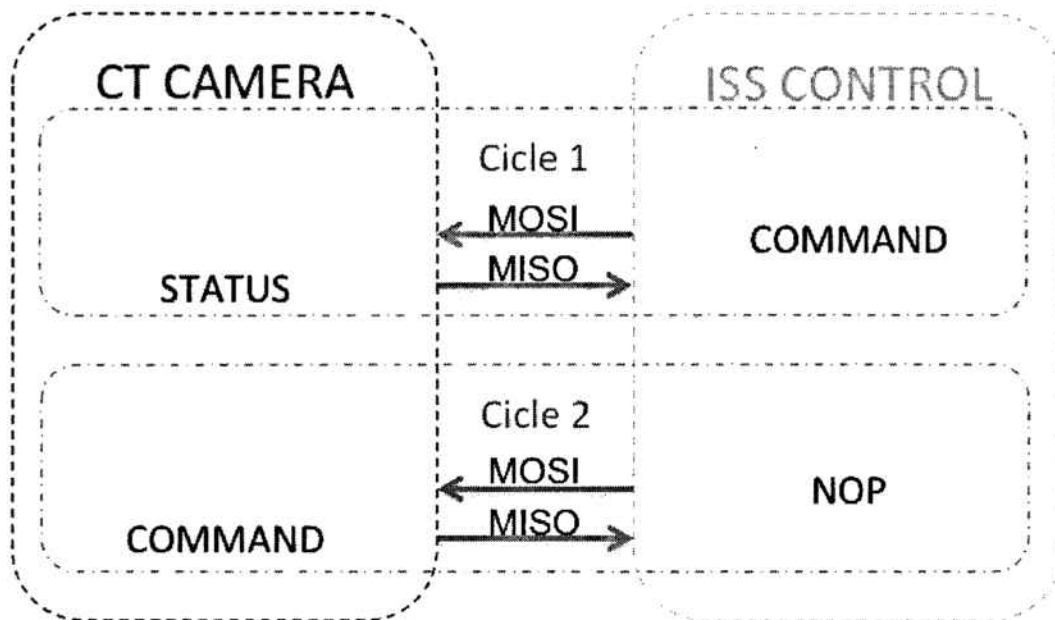


Figura 4. Flux d'una transmissió complerta

Una transmissió normal iniciada sota iniciativa del master (Figura 5) comença amb el master pujant SCLK. A la vegada el master modifica la dada en MOSI. Al detectar el flanc de pujada mentre SINT està en un estat alt, el slave posa el primer bit del registre d'estat en MISO. Un cop el slave estigui preparat per iniciar la transmissió, ha de baixar SINT i posar el primer bit de la dada a transmetre en el canal. En el cas del primer cicle de transmissió la dada correspon al registre d'estat. Quan el master detecta el flanc de baixada de SINT posa a funcionar SCLK com un rellotge pel qual en el flanc de pujada es canvia el bit de la dada del canal i en el flanc de baixada es llegeix un bit. Un cop s'han acabat de transmetre els 24 bits, el slave posa SINT en un estat alt per indicar que els ha rebut. En cas que el master no detecti la pujada de SINT en un cert temps suposa que el soroll en el canal no ha permès al slave detectar un dels polsos. Llavors, va enviant polsos en cert interval fins que el slave puja SINT. La dada transmesa és errònia en aquest cas però s'ha recuperat el sincronisme entre els dos blocs.

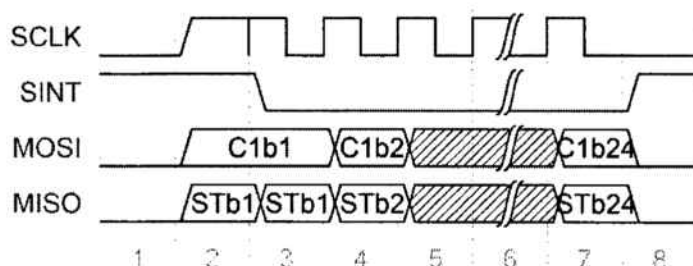


Figura 5. Inici d'una transmissió començada pel master

En el supòsit que el slave detecti un error de funcionament en CT Camera pot sol·licitar al master que aquest iniciï una transmissió (Figura 6). En aquests cas, mentre SCLK està en un estat baix el slave posa SINT en un estat baix. A la vegada que SINT baixa el slave actualitza el bit present en el canal. Quan el master detecta la baixada i vol començar la transmissió activa la senyal de rellotge i és prossegueix la transmissió de la forma habitual.

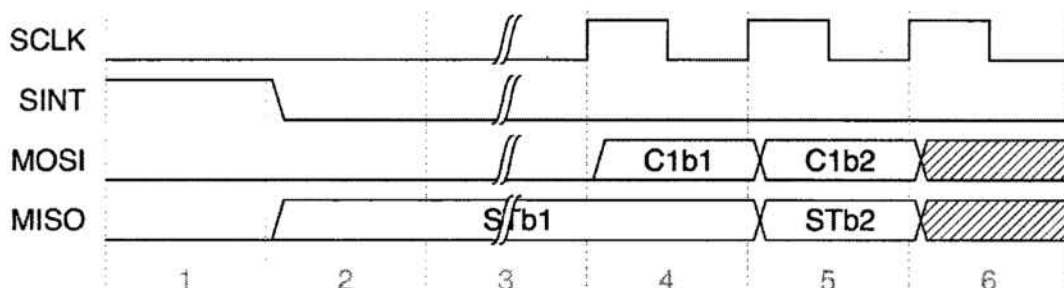


Figura 6. Inici d'una transmissió començada sota petició del slave

Una vegada s'ha acabat el primer cycle de transmissió (Figura 7), és a dir, el slave ha rebut els 24 bits, es puja SINT. En quan el master està preparat per continuar la transmissió puja la senyal SCLK i posa el primer bit del segon cycle de transmissió del canal, que correspon a una comanda NOP (No Operation). Al detectar el slave aquest flanc de pujada posa el primer bit del registre d'estat en el canal.

En el cas que el slave no arribés a baixar en el temps previst la senyal SINT, el master suposarà que aquest no està funcionant. En aquest cas activarà la senyal SCLK com un rellotge i enviarà un reset. A la vegada, el slave anirà enviant el registre d'estat.

En cas contrari, SINT baixa quan el slave està preparat per iniciar el segon cycle de la transmissió i posa el primer bit de la resposta en el canal. Quan el master detecta el flanc de baixada de SINT torna a utilitzar la senyal SCLK com un rellotge i es transmeten les dades.

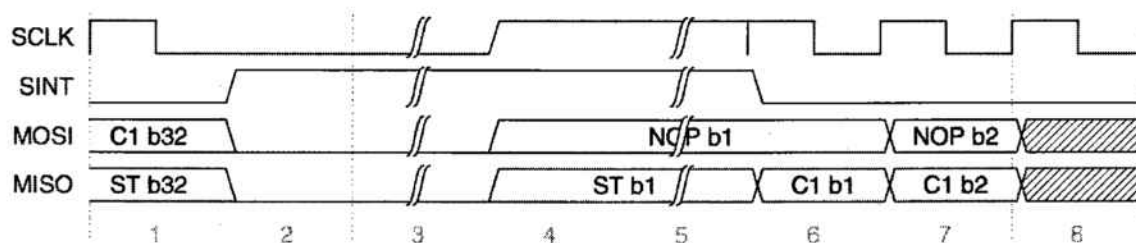


Figura 7. Final del primer cycle i inici del segon

Finalment, quan s'han acabat de transmetre els 24 bits corresponent al segon cycle de la transmissió el slave posa SINT en un estat alt i MISO en un estat baix. El master en canvi posa SCLK i MOSI en un estat baix. Per tornar a començar una nova transmissió, tal com s'ha indicat abans, el master ha de pujar SCLK o el slave ha de baixar SINT.

Per assegurar que sempre es compleix la comanda RESET, el shift register de l'entrada es comprova, en cada cycle, que el seu contingut no correspon a una comanda de reset. En cas contrari, és duu a terme un reset síncron de tot CT Camera.

5.2.3.3 TRAMA

Les paraules rebudes de ISS Control segueixen el següent esquema (Taula I):

Bit	1	2-6	7-16	17-24
Codi	Espectura/Lectura (R/W)	Comanda (COM)	Valor (VAL)	CRC-8-CCITT (CRC)

Taula I. Esquema de la paraula transmesa pel control link

El primer bit (R/W) indica si la comanda és de lectura (1) o d'espectura (0). S'entén comanda d'espectura com una que provoca un canvi en un registre intern o mode de funcionament de CT Camera.

Del segon al sisè bit indiquen quina és la comanda que es vol dur a terme seguint la Taula II per les comandes de paràmetres i la Taula III per les comandes d'estat.

El bit setè al setzè contenen el valor del paràmetre transmès. En el cas d'una comanda de mode conté un cert patró. El setè bit és el més significatiu.

El bit dissetè al vint-i-quatrè contenen un CRC-8-CCITT.

En el camp R/W, X indica que la comanda tant pot ser d'espectura com de lectura

R/W	CODI	COM	VAL
X	00011	Image Size	XXXXX XXX10
X	00101	Pixel Resolution	XXXX0 01010
X	00110	Analog & Digital Pixel Gain	AA010 DD010
X	01001	Rolling Shutter Offset	XXXXX XX010
X	01010	Image Offset X	XXXXX XXXXX
X	01100	Image Offset Y	XXXXX XXXXX
1	10001	Frame Counter	XXXXX XXXXX
1	10010	Column Out of Range	XXXXX XXXXX
1	10100	Row Out of Range	XXXXX XXXXX
1	11000	H/K Data 1	XXXXX XXXXX
1	11001	H/K Data 2	XXXXX XXXXX
1	11010	H/K Data 3	XXXXX XXXXX
1	11011	H/K Data 4	XXXXX XXXXX
1	11100	H/K Data 5	XXXXX XXXXX
1	11101	H/K Data 6	XXXXX XXXXX
1	11110	H/K Data 7	XXXXX XXXXX
1	11111	H/K Data 8	XXXXX XXXXX

Taula II. Comandes de paràmetres del control link

R/W	CODI	COM	VAL
0	00001	Mode Single Frame Read	01010 01010
0	00010	Mode Continuous Frame Read	01010 01010
0	00100	Mode Idle	01010 01010
0	01000	Mode Test	01010 01010
1	10000	Get current mode	XX010 01010
0	10101	RESET	01010 01010
0	01110	NOP	01010 01010
1	01110	STATUS	XXXXX XXXXX

Taula III. Comandes de mode de funcionament del control link

Tot i que per algunes comandes no és necessari trames d'aquesta longitud, donat que el ritme de la transmissió serà lent i no tenim problemes de saturació en el canal, s'ha preferit fer trames de longitud fixa per facilitar i fiabilitat del sistema.

Tota comanda desconeguda o invalida és resposta amb la comanda STATUS. Només s'accepten les comandes de paràmetres o de mode de funcionament, excepte les comandes Mode Idle, Reset i NOP, quant CT Camera estigui funcionant en el mode Idle. En cas contrari es respon amb un STATUS.

S'han definit els codis de forma que, si es vulgues, és pogués fer un control de paritat. En el cas de les comandes de paràmetres la seva paritat és parell, excepte per les comandes de H/K. Per les comandes de mode de funcionament la seva paritat és imparell.

El valor (VAL) té diferents significats depenent de la comanda. Normalment significa directament el valor que conté. En cas que estigui fora dels marges establerts a continuació es marca el bit d'estat corresponent a trama incorrecta i no es modifica el valor del registre.

- Image Size: indica directament el valor a utilitzar, però com a mínim és de 64 i com a màxim és de 128. El valor per defecte és de 128 bits.
- Pixel Resolution: indica directament el valor a utilitzar, però com a mínim és de 8 i com a màxim és de 12. El valor per defecte és de 10 bits.
- Analog & Digital Pixel Gain: els primers tres bits de VAL indiquen el guany analògic i el bit cinquè i sisè el guany digital. El valor pels dos casos indica el nombre de vegades que s'ha de desplaçar a la dreta un 1 per tal d'obtenir els resultats de 1, 2, 4 o 8. En el cas del guany digital només és vàlid fins el multiplicador per quatre. El valor per defecte és del guany unitat pels dos.
- Rolling Shutter Offset: el valor pot estar entre zero i Image Size menys un. El valor per defecte és zero.
- Image Offset: el valor pot estar entre zero i 1024 menys Image Size. El valor per defecte és zero.
- Get Current Mode: s'indica amb els dos bits més significatius el mode de funcionament. La codificació és la següent: Idle (00), Single Mode (01), Continuous Mode (10) i Test Mode (11).
- Status: el valor és el registre d'estat, que conté la següent informació:
 - o CRC incorrecte (1 bit): indica que en la última trama rebuda el seu CRC no era correcte.
 - o Processant trama (1 bit): indica que encara s'està processant la última comanda rebuda.
 - o Mode funcionament (2 bits): indica en quin mode de funcionament està CT Camera. La codificació serà la mateixa que per la comanda Get current mode.
 - o Error en un bloc (6 bits): cada bit indica l'error d'un bloc diferent de CT Camera. El primer bit indica un error de Camera Manager, el segon bit de Image Sensor Control, el tercer bit de Image Link, el quart bit de Image Link, el cinquè bit de H/K Sensor Read i el sisè un error en la generació del rellotge del sensor.

Bit	1	2	3- 4	5	6	7	8	9	10
Codi	CRC Incorrecte	Processant Trama	Mode Funcionament	Error CL	Error CM	Error SC	Error IL	Error HK	Error CLK

Taula IV. Contingut del registre d'estat

- Comandes d'estat de canvi de mode o control de funcionament: el valor no té cap rellevància, però es fixa a 0x014A.

5.2.4 DOMINIS DE RELLOTGE

Per tal de reduir el consum s'utilitzaran tres dominis de rellotge diferents. El principal de 100 MHz s'obtéindrà d'un oscil·lador extern i la resta es generen internament a la FPGA mitjançant comptadors. L'àmbit principal d'utilització de cada domini serà:

- o 100 MHz: S'utilitza pel bloc de l'Image Link.
- o 10 MHz: S'utilitza per l'Image Sensor Control i el H/K Sensor Read.
- o 1 MHz: S'utilitza pel Camera Manager i el Control Link.

6 ENGINYERIA DE CONCEPCIÓ

6.1 COMPONENTS HARDWARE

6.1.1 PCB

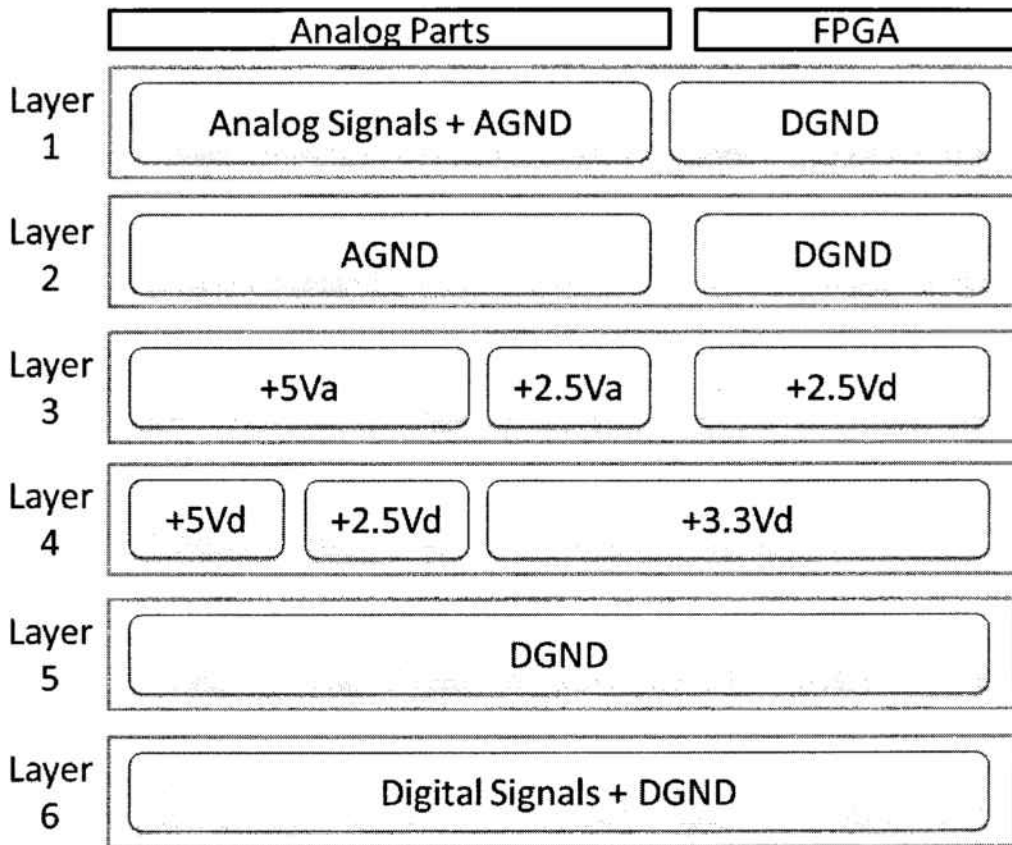


Figura 8. Utilització dels plans

La placa consta de 6 capes (Figura 8) que tenen el següent ús:

- La capa superior (top) és on es troben la major part dels components. En aquesta capa s'uneixen a prop de l'ADC, mitjançant un pla, la massa analògica (AGND) i la digital (DGND). La capa consta de dos zones:
 - o Tota part analògica es troba en aquesta capa, amb línies curtes i amb impedància característica adaptada a 50 ohms. S'ha intentat sempre que ha estat possible crear línies de guarda entre les línies de senyals analògiques. Les línies de guarda tenen una gran quantitat de vies amb el pla de massa analògic per assegurar un molt bon contacte amb aquest.
 - o La FPGA es troba en aquesta capa el més lluny possible de la part analògica. Les senyals digitals passen directament a la capa més inferior (bottom) per tal d'aïllar el màxim possible la part analògica i digital. En el cas de les línies digitals d'alta velocitat també s'utilitzen línies de

guarda per aïllar-les de la resta i la impedància característica de la línia s'ha adaptat a 50 ohms.

- La segona capa conté un pla de massa analògic en la zona analògica i una pla de massa digital en la zona digital.
- La tercera capa s'utilitza per illes de plans d'alimentació. En la part analògica s'utilitzen illes de +5V i +2.5V i en la part digital un pla de +2.5V. En cas que fos necessari traçar alguna línia analògica fora de la capa top es farà en aquesta capa, tenint en compte però que és possible que hi hagi un canvi d'impedància en aquests cas.
- La quarta capa s'utilitza per illes de plans d'alimentació. En aquests cas només hi ha alimentacions digitals i es fan illes de +5V, +2.5V i +3.3V. En cas que fos necessari traçar alguna línia digital fora de la cara bottom es farà en aquesta capa, tenint en compte però que és possible que hi hagi un canvi d'impedància en aquests cas.
- El cinquè pla és un únic pla de massa digital.
- El sisè pla és utilitzat per les línies digitals. En el cas de les línies digitals d'alta velocitat també s'utilitzen línies de guarda per aïllar-les de la resta i la impedància característica de la línia s'adapta a 50 ohms.

6.1.1.1 IMPEDÀNCIA CARACTERÍSTICA

Totes les línies analògiques i digitals seran de 50 ohms d'impedància. Pel càlcul s'ha suposat que s'utilitzarà una PCB de classe 6 amb base de poliimida (Pyrallux LF CoverLay). La constant dielèctrica relativa de la poliimida és de 3.6 a 1 MHz i varia poc fins a freqüències de GHz. Amb aquestes condicions i utilitzant el model de *coplanar waveguide with ground* la configuració més convenient és la següent:

- Utilitzar una construcció de la PCB en que el gruix del dielèctric entre les capes més externes i la més propera és de 0.220 mm (build-up 835 de Lab Circuits, gruix total de la PCB de 1.2 mm). Aquesta construcció té a més l'avantatge de que la distància entre les capes dos i tres, així com la quatre i cinc, és baixa (0.150 mm), permetent un millor efecte de capacitat distribuïda per les alimentacions.
- La distància entre les línies i el pla de massa (o línia de guarda) que envolta a aquesta sigui de 0.2 mm.
- L'ample de la línia sigui de 0.45 mm.

Amb aquests valors s'obté una constant dielèctrica efectiva [11] de 2.7 i una impedància característica de línia de 50 ohms.

Donat que la distància entre pads de la FPGA pot no permetre generar línies de 0.45 mm de amplada, una possibilitat en la fabricació és utilitzar una placa amb dos gruixos diferents. En la part analògica, una configuració tal com s'ha descrit i per la part digital de la FPGA una on la distància entre les capes externes i la més propera sigui de 0.130 mm, com el cas del build-up 511 o 160 de Lab Circuits. En aquest cas podem tenir línies amb impedàncies de 49 ohms amb una amplada de 0.3 mm i una distància a pla de massa de 0.2 mm.

Aquest fet seria factible en la versió final de la PCB si les dos parts s'uneixen amb una altra placa del tipus rigiflex. Aquestes solen ser de poliimida i per tant els càlculs realitzats per les impedàncies característiques de les línies continuen essent vàlids en aquesta part donat que la constant dielèctrica relativa continuaria essent la mateixa.

Per les senyals digitals d'alta freqüència a més, s'ha d'intentar que al passar d'una línia a una via el canvi d'impedància sigui mínim. Per aquest motiu al voltant de la via d'aquestes senyals es col·locaran en disposició circular altres vies per tal de generar una guia d'ones coaxial. La impedància característica d'una guia d'ones coaxial correspon a l'equació 1.

$$Z_o = \frac{138}{\sqrt{\epsilon_r}} \log \frac{d_{out}}{d_{in}} \quad 1$$

Prenent la constant dielèctrica relativa com a 3.6 i el diàmetre interior (diàmetre de la via de la senyal) com a 0.25 mm, per tal d'obtenir una impedància característica de 50 ohms, trobem que necessitem generar un cilindre de vies al voltant de la senyal en un diàmetre de 1.22 mm. Aquests valor és independent del gruix del dielèctric.

Un dels casos més crítics en aquest sentit és el del clock de l'ADC. La distància entre pads és de 0.635 mm i el pad del clock està envoltat per dos pads de masses digitals. Si suposem doncs que posem una via just sota el pad (no és recomanable tecnològicament, però és una aproximació) del clock i posem vies formant un cercle utilitzant els pads de massa com a part d'aquest tenim un cilindre extern de massa de 1.27 mm de diàmetre. Utilitzant una via de 0.25 mm de diàmetre en el centre del pad del clock trobem doncs, mitjançant l'equació 1, que tenim una guia d'ones de 51 ohms d'impedància característica. Per tant, mitjançant la tècnica de posar vies a massa al voltant de les senyals d'alta velocitat ens podem acostar bastant bé a minimitzar els canvis d'impedància.

6.1.2 ALIMENTACIONS

Totes les alimentacions arribaran a la placa ja regulades. Per millorar però la qualitat d'aquestes es posa per cada una: una capacitat ceràmica de valor elevat a l'entrada, després un xoc de mode comú i finalment una capacitat de tàntal de valor elevat. La capacitat ceràmica de valor elevat amb el xoc en mode comú redueix el soroll diferencial en les diferents tensions. El xoc en mode comú evita el soroll en mode comú entre les alimentacions. Finalment, la capacitat de tàntal absorbeix els pics de corrent i, gràcies a la seva resistència sèrie equivalent elevada, disminueix possibles pics de ressonància que puguin aparèixer en la xarxa de capacitats de desacoblament degut a les inductàncies paràsites.

S'ha separat la massa en una massa analògica i una massa digital per tal de reduir el possible soroll en l'alimentació analògica provinent d'un mal desacoblament en l'alimentació digital. Per tant, les alimentacions també s'hauran de separar en dos: una pels components analògics i una altra pels digitals. La massa analògica i digital però s'uneix en un únic punt, mitjançant un pla, el més proper possible al ADC que converteix la senyal amb la informació de les imatges.

En total per tant tenim la massa analògica, la massa digital i les següents alimentacions:

- Per la part analògica: +5V, +3.3V, +2.5V i -5V.
- Per la part digital: +5V, +3.3V i 2.5V.

6.1.3 STAR 1000

La càmera STAR 1000 (Figura 9) és un sensor CMOS APS de 1024 per 1024 píxels amb un pas de 15 µm. Té una alta tolerància a la radiació, alta sensibilitat, baix soroll i incorpora un ADC de 10 bits. Donat que la precisió mínima necessària pel projecte és de 10 bits i el consum de l'ADC integrat és elevat (fins a 240 mW), s'utilitza un ADC extern.

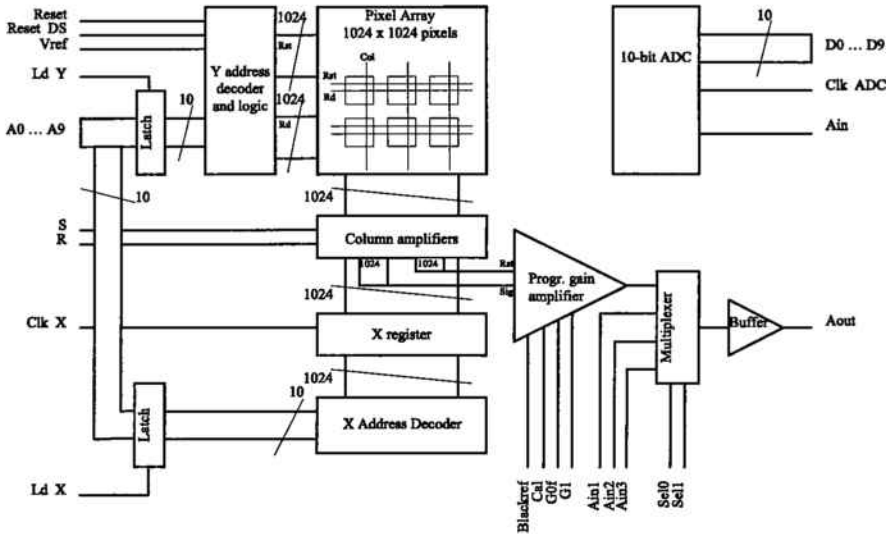


Figura 9. Esquema de la càmera STAR 1000

6.1.3.1 SENYALS

Les senyals d'alimentació són les següents:

- VDDA: alimentació analògica de 5V.
- GNDA: massa analògica.
- VDDD: alimentació digital de 5V.
- GNDD: massa digital.
- VDD_ADC_ANA: alimentació analògica de l'ADC. Donat que no s'utilitzarà es connecta a la massa analògica.
- GND_ADC_ANA: massa analògica per l'ADC.
- VDD_ADC_DIG: alimentació digital de l'ADC. Es connecta a la massa digital.
- GND_ADC_DIG: massa digital per l'ADC.

A tots els nivells alts de tensió es col·loca el més proper possible una capacitat de 10 nF i una de 100 nF per reduir les oscil·lacions de les tensions d'alimentació.

Les senyals d'entrada són les següents:

- A0 a A9: bus que indica la columna (X) o la fila (Y) on actuar.
- LD_Y: senyal d'adquisició pel latch de fila.
- LD_X: senyal d'adquisició pel latch de columna.
- RESET: senyal de reset d'una fila. D'aquesta forma es pot controlar el temps d'integració dels píxels, que és la diferència de temps entre l'últim reset o lectura i la següent lectura. Quant major és el temps d'integració més fotons haurà captat el píxel. Si el temps d'integració és molt gran els píxels estaran saturats, però si és petit contindran poca informació.

- RESET_DS: senyal de reset per realitzar la integració de doble pendent (dual slope). Donat que no s'utilitza, aquesta senyal es connecta a la massa digital.
- G1 i G0: senyal de selecció pel guany analògic a la sortida. G1 és el bit més significatiu. El seu valor implica el guany de la Taula V.

Valor (G1 G0)	Guany
00	x1
01	x2
10	x4
11	x8

Taula V. Valors del guany analògic

- S i R: senyals de control per la lectura de la columna.
- CLK_X: senyal de clock. En el flanc de pujada la sortida analògica conté el valor del píxel seleccionat. Es connecta amb una resistència pull-up de 1 K Ω al nivell alt digital. És important que aquesta senyal es mantingui funcionant mentre el sensor estigui alimentat per tal de mantenir un valor estable en la selecció de columnes. D'altra forma es pot produir la selecció de múltiples columnes a la vegada causant la circulació d'un corrent elevat pel sensor i danyar-lo.
- CAL: senyal de calibratge. S'ha d'activar un cop per imatge.
- BLACKREF: nivell d'offset de la sortida analògica. Per aquest projecte es connecta a la massa analògica.
- VRES: nivell per la senyal de RESET. Es connecta als 5V digitals.
- GND_AB: tensió per l'anti-blooming. Per maximitzar l'efecte anti-blooming es posa una tensió de 1V mitjançant un divisor de tensió, amb una resistència de 36 K Ω a 5V i una resistència de 9.1 K Ω a la massa analògica. S'afegeixen a més dos capacitats a la massa analògica: una de 10 nF i una altre de 470 nF per minimitzar les oscil·lacions del nivell de tensió.
- NBIAS_DEC: senyal de polarització pel descodificador de direccions. Es connecta amb una resistència de 100 K Ω al nivell alt d'alimentació analògica i una capacitat de 100 nF de desacoblament a la massa analògica.
- NBIAS_OAMP: senyal de polarització per l'amplificador de sortida. Es connecta amb una resistència de 100 K Ω al nivell alt d'alimentació analògica i una capacitat de 100 nF de desacoblament a la massa analògica.
- PBIAS: senyal de polarització pel multiplexor de la sortida. Es connecta amb una resistència de 20 K Ω a la massa analògica i una capacitat de 100 nF de desacoblament al nivell alt d'alimentació analògica.
- NBIAS_ARRAY: senyal de polarització per la matriu de píxels. Es connecta amb una resistència de 1 M Ω al nivell alt d'alimentació analògica i una capacitat de 100 nF de desacoblament a la massa analògica.
- NBIAS_ANA i NBIAS_ANA2: senyal de polarització per l'ADC. Es connecta amb una resistència de 100 K Ω al nivell alt d'alimentació analògica i una capacitat de 100 nF de desacoblament a la massa analògica.
- IN_ADC: senyal d'entrada en l'ADC intern. Es connecta amb una resistència de 100 K Ω a la massa analògica.
- VLOW_ADC: referència del nivell baix de tensió per l'ADC intern. Es connecta amb una resistència de 100 K Ω a la massa analògica.
- PBIASDIG2: Es connecta amb una resistència de 20 K Ω a la massa analògica i una capacitat de 100 nF de desacoblament al nivell alt d'alimentació analògica.

- BITINVERT: permet invertir la sortida de l'ADC intern. Es connecta amb una resistència de 100 K Ω a la massa analògica.
- TRI_ADC: permet posar en alta impedància la sortida de l'ADC al subministrar un estat alt digital. Es connecta amb una resistència de 100 K Ω a la massa analògica.
- CLK: clock de l'ADC. Es realitza la conversió en el flanc de baixada. Es connecta amb una resistència de 100 K Ω a la massa analògica.
- VHIGH_ADC: referència del nivell alt de tensió per l'ADC intern. Es connecta amb una resistència de 100 K Ω a la massa analògica.
- A_SEL1 i A_SEL0: senyals que controlen el multiplexor a la sortida.

Les senyals de sortida són:

- OUT: sortida analògica del píxel llegit.
- D0 a D9: sortides de l'ADC intern. No s'utilitzen i es deixen flotant.

A més, trobarem les següents senyals per proves electro-òptiques: TESTPIX_OUT, TESTPIX_RESET, TESTPIXARRAY i PHOTODIODE. Totes aquestes senyals es connecten amb una resistència de 100 K Ω a la massa analògica.

6.1.3.2 CARACTERÍSTIQUES ELÈCTRIQUES

La impedància de sortida de la senyal analògica és de 100 Ω . A més, durant la transició entre estats de la sortida el corrent màxim és limitat. Per tal d'evitar la degradació del senyal, afegirem un amplificador operacional en configuració de seguidor en la sortida analògica abans de la següent etapa.

La senyal de sortida pot variar dels 0 V als 1.24 V, amb un offset degut a dark current de 0.6 V fins a 0.93 V. Per tant la sortida, sense amplificació analògica pot variar des de 0.6 V a 2.17 V. Amb el guany analògic podem arribar a tenir una sortida màxima de fins a 4.5 V.

El consum estàtic del sensor quan està en funcionament és com a màxim d'uns 300 mW. En l'estat de stand-by és d'uns 280 mW.

6.1.4 AD8041

La primera elecció del component ha estat el TSH310. Aquest component va ser elegit per aparèixer a la EPPL (European Preferred Part List), ser de molt baix consum i baix soroll. A més, el seu ample de banda de 120 MHz en configuració de seguidor semblava suficient per les nostres necessitats, on la senyal d'entrada canvia a una freqüència de 5 MHz. Però té dos problemes:

- Sobrepic en el guany unitat que comença a ser rellevant cap els 50 MHz, amplificant el ringing existent degut a la desadaptació entre els components i la línia.
- Soroll intrínsec en la senyal de sortida d'uns 20 mV pic a pic, independentment de l'entrada.

Es va canviar a el TSH330, que té un consum més elevat però un ample de banda en el guany unitat de 1 GHz. El problema de l'amplificació del ringing és va veure atenuat però el soroll en la sortida persistia.

Finalment es va elegir doncs el AD8041, per tenir una versió espacial amb el mateix encapsulat (8 CERDIP, CERamical , Dual Inline Package). El seu ample de banda en guany unitat és de 160 MHz, és rail to rail i amb baix soroll. A més, té una senyal d'inhabilitació permetent reduir el seu consum.

El offset màxim que introdueix el AD8041 és de 8 mV, menyspreable respecte al mínim de 0.6 V que aporta el sensor.

El seu consum estàtic essent alimentat de forma unipolar a 5 V és de com a màxim 29 mW quan està habilitat i 9 mW quan està inhabilitat.

6.1.5 RHF1201

El RHF1201 és un ADC de 12 bit de fins a 50 Msps, resistent a la radiació i de baix consum. S'utilitza en un encapsulat ceràmic SO-48. El seu diagrama de blocs correspon a la Figura 10. El seu consum a 10 Msps es suposa al voltant dels 60 mW. La conversió de l'ADC té un retard de 5.5 cicles de rellotge en la sortida.

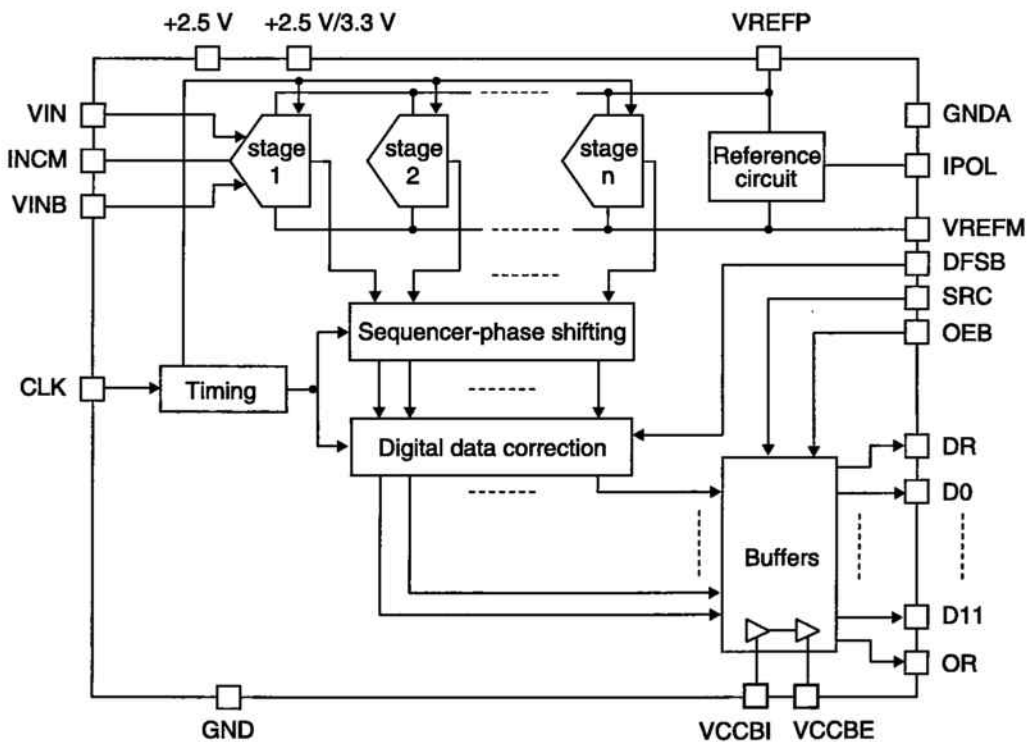


Figura 10. Diagrama de blocs del RHF1201

6.1.5.1 SENYALS

- VIN i VINB: entrades analògiques diferencials. El seu valor ha d'estar entre -0.2 V i 1.6 V. La diferència entre les entrades no pot ser superior a 1 V pic a pic. Per optimitzar la qualitat de la conversió es treballa amb les entrades entre 0 V i 1 V.
- INCM: tensió en mode comú de les senyals diferencials. Es pot fixar externament a un valor entre 0.2 V a 1.1 V o utilitzar el seu valor intern de 0.4 V a 0.67 V. En el nostre cas s'utilitza el valor intern.
- VREFM: tensió de referència inferior. Es pot fixar a un valor entre 0 a 0.5V. En el nostre cas s'utilitza fixat a la massa analògica.

- VREFP: tensió de referència superior. Es pot fixar externament a un valor entre 0.5 V i 1.4 V o utilitzar el seu valor intern de 0.79 V a 1.16 V. Es posen dos capacitats de 10 nF i 470 nF per ajudar a estabilitzar el seu valor. A més, en el nostre cas l'utilitzem com a referència de tensió, per aquest motiu s'ha posat un operacional en configuració seguidor de tensió a la sortida amb una capacitat de 100 pF a la sortida d'aquest per no modificar el valor de la referència.
- CLK: senyal d'entrada del rellotge amb el qual es realitza la conversió. És un senyal de 10 MHz.
- D11 (MSB) a D0 (LSB): sortida digital de la conversió.
- DFSB (Data Format Select): entrada digital. Quan es posa en un nivell baix en la sortida es té el complement a dos. Quan està a nivell alt la sortida és normal. En el nostre cas és posa a nivell alt.
- OE (Output Enable): entrada digital. Quan està en estat alt la sortida es troba en alta impedància. La sortida es desactiva quant no s'està utilitzant l'ADC per reduir el consum.
- SRC (Slew Rate Control): entrada digital. Quan està en estat alt el corrent màxim de sortida és limitat per tal de reduir els temps de pujada i baixada, reduint així el soroll digital. Sempre que sigui possible es treballarà amb aquesta senyal en estat alt.
- OR (Out-of-range): sortida digital. Aquesta sortida es posa en estat alt quant $V_{IN} - V_{INB}$ està per sobre de 2 V o per sota de 0 V. En cas contrari es manté en un estat baix.
- Data Ready (DR): sortida digital. És una imatge del rellotge CLK però sincronitzat amb les dades de sortida (Figura 11). En el seu flanc de pujada la FPGA adquireix el valor digital de la conversió.

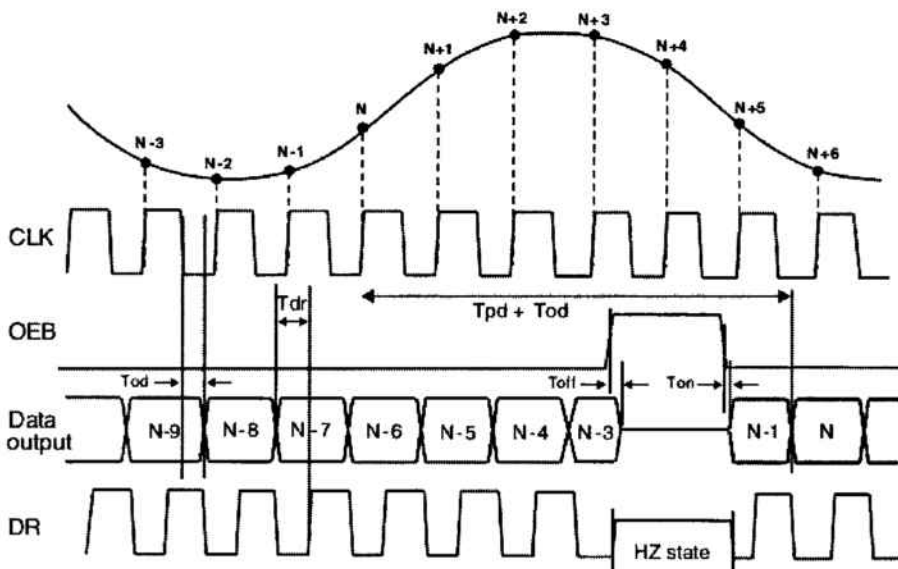


Figura 11. Diagrama temporal de la conversió de l'ADC

- GNDBI i GNDBE: masses digitals dels buffers de sortida. Estan connectats a la massa digital de la placa.
- VCCBE i VCCBI: alimentació digital del buffer de sortida. VCCBE està connectat a l'alimentació digital de 3.3 V i VCCBI a l'alimentació digital de 2.5 V.
- AVCC: alimentació analògica. Està connectat a l'alimentació analògica de 2.5 V.
- AGND: massa analògica. Està connectat a la massa analògica de la placa.

- IPOL: corrent de polarització analògica. Està connectat a l'alimentació analògica de 2.5 V amb una resistència de 91 K Ω . Amb aquests valor s'optimitza el consum a 10 Msps.
- DVCC: tensió d'alimentació digital. Està connectat a l'alimentació digital de 2.5 V.
- DGND: massa digital. Es connecta a la massa digital de la placa.

Tal com s'especifica en 6.1.1 els plans de massa digital i analògic s'uneixen mitjançant un pla proper de l'ADC, però s'evita que hi hagi un pla de massa sota de l'ADC en la capa top.

6.1.6 AD8138

El AD8138 és un driver diferencial per convertidors analògic-digital. La seva funció és passar la senyal single-ended a diferencial. En la Figura 12 es mostra la seva configuració típica. L'avantatge de passar la senyal analògica de single-ended a diferencial és que la precisió en la conversió per part de l'ADC és més elevada. En el cas de single-ended, seria necessari adaptar el rang de sortida del sensor, que va de 0.6 V a 2.17 V (1.57 V pic a pic), a una sortida entre els valors de 0 V a 1 V, rang d'entrada de l'ADC. Per tant, si treballéssim en single-ended seria necessari atenuar un factor 0.46.

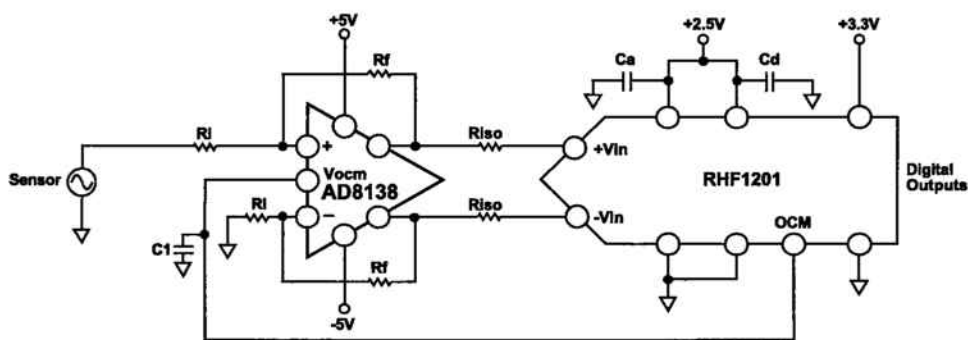


Figura 12. Circuit del AD8138 fent de driver a un ADC (RHF1201)

L'objectiu és aconseguir reduir el màxim el nivell d'offset que té la sortida del sensor i que les sortides de l'amplificador a diferencial estiguin dins dels rangs d'entrada de l'ADC, és a dir, el seu valor estigui entre 0 V i 1 V i la seva diferència sigui menor a 2 V pic a pic. En aquests sentit la configuració que s'utilitza és la corresponent a la Figura 13.

S'ha escollit utilitzar com a referència el valor de V_{REFP} de sortida del RHF1201 per tal de reduir el valor del offset en l'entrada. Per tal d'assegurar que no es modifica externament aquesta tensió de referència es posa un seguidor de tensió (LT1078) a la sortida del RHF1201 amb una capacitat petita de 100 pF per absorbir els sobrepics de corrent en la transició dels píxels que el seguidor no pugui compensar.

Es defineixen els següents valors (equació 2), els quals per tal de ser factibles han d'estar continguts entre zero i un.

$$\beta_1 = \frac{R_3}{R_3 + R_4}$$

$$\beta_2 = \frac{R_1}{R_1 + R_2}$$

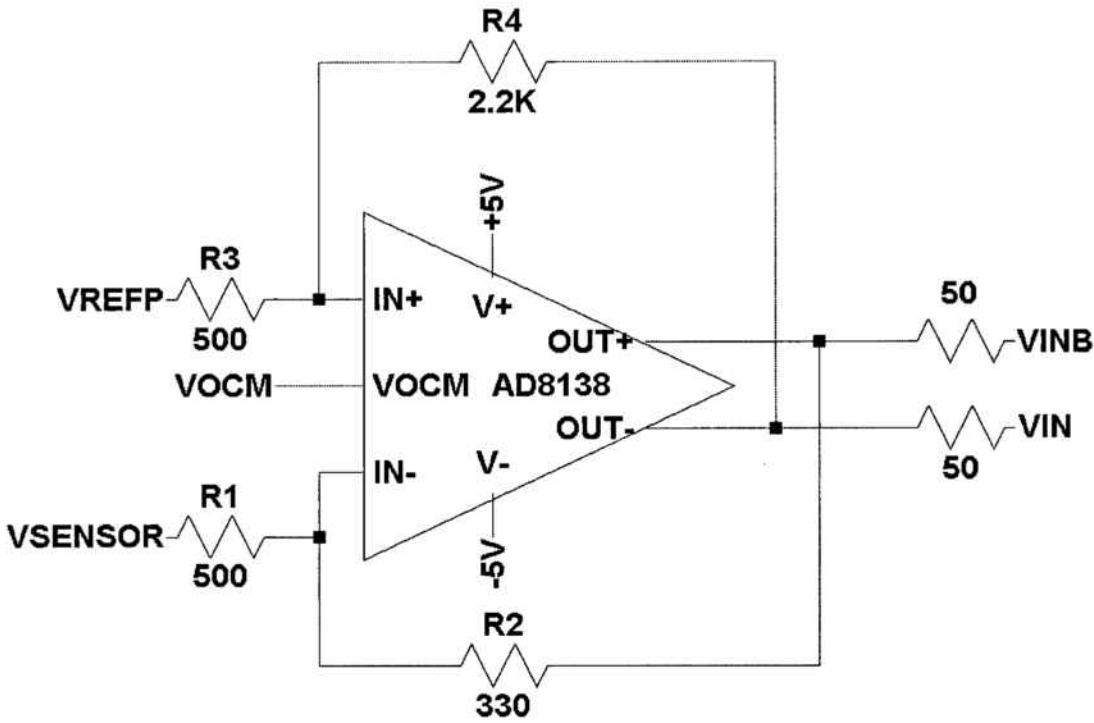


Figura 13. Configuració elegida pel funcionament del AD8138

Amb aquestes definicions, si el guany del amplificador és molt més gran que la inversa d'aquests, obtenim els valors de les sortides [12] corresponents a l'equació 3.

$$V_{OUT+} = \frac{V_{REFP}(1 - \beta_1) - V_{SENSOR}(1 - \beta_2) + 2V_{OCM}\beta_1}{\beta_1 + \beta_2} \quad 3$$

$$V_{OUT-} = \frac{-V_{REFP}(1 - \beta_1) + V_{SENSOR}(1 - \beta_2) + 2V_{OCM}\beta_2}{\beta_1 + \beta_2}$$

I la diferència entre les sortides resulta en l'equació 4.

$$V_{OD} = V_{OUT+} - V_{OUT-} = 2 \frac{V_{REFP}(1 - \beta_1) - V_{SENSOR}(1 - \beta_2) + V_{OCM}(\beta_1 - \beta_2)}{\beta_1 + \beta_2} \quad 4$$

Podem aïllar de l'equació 4 la variable β_2 en funció dels altres paràmetres (equació 5).

$$\beta_2 = \beta_1 \frac{V_{REFP} + \frac{V_{OD}}{2} - V_{OCM}}{V_{SENSOR} - \frac{V_{OD}}{2} - V_{OCM}} + \frac{V_{SENSOR} - V_{REFP}}{V_{SENSOR} - \frac{V_{OD}}{2} - V_{OCM}} \quad 5$$

En el pitjor cas, la principal limitació ve donada pel valor baix de V_{OCM} . En cas que aquests tingui el valor de 0.4, per evitar tenir una tensió negativa a V_{OUT-} necessitem que V_{OD} no sigui major a 0.8.

A més, per tal de millorar el disseny, reduir la longitud de pistes i evitar la utilització de vies, s'ha elegit invertir les entrades diferencials al ADC i per tant considerem valors negatius de V_{OD} .

En el cas del valor mínim de la sortida del sensor (0.6 V), per un valor diferencial a la sortida màxim (-0.8V), trobem l'equació 6.

$$\beta_2 = 1.09 - 2.59\beta_1 \quad 6$$

Ajustant els valors mitjançant l'equació 4, intentant que per la sortida màxima del sensor (2.17 V), el valor de la tensió diferencial sigui màxim (0.8 V) trobem un valor de β_1 de 0.61 i de β_2 de 0.9. Amb aquests valors, utilitzant l'equació 2 i fixant $R_1 = R_3 = 500 \Omega$ trobem uns valors per resistències comercials de $R_2 = 330 \Omega$ i $R_4 = 2.2 \text{ K}\Omega$. En aquesta configuració hem passat d'un rang d'entrada de 0.6 V a 2.17 V (1.57 V pic a pic) a un rang de sortida diferencial de -0.8 V a 0.8 V (1.6 V pic a pic).

Aquests valors són per assegurar el bon funcionament del sistema en el cas més desfavorable. Per tenir el millor rendiment, és a dir, la menor atenuació possible de la senyal d'entrada s'ha de mesurar pel RHF1201 a utilitzar el valor de les tensions V_{REFP} i V_{OCM} i tornar a realitzar els càlculs exposats anteriorment per trobar els valors més adequats per les resistències.

6.1.7 74ALVC164245

Donat que les senyals de la FPGA són LVTTTL 3.3, es fa necessari adaptar els nivells de tensió de les senyals digitals entre la FPGA i el sensor i el ADC. A més, d'aquesta forma es minimitza l'efecte del soroll entre les plaques.

En aquests sentit s'ha elegit d'utilitzar el 54AC164245, un transceiver de 16 bits de 3.3V a 5V. És un transceiver CMOS bidireccional, tolerant a la radiació, organitzat en dos bancs independents amb opció de sortida en alta impedància. Per disminuir el soroll de les senyals totes les entrades porten un trigger Schmitt. La direcció de les senyals es controla amb l'entrada DIR. Per tal de posar les senyals en alta impedància s'ha d'aplicar un nivell alt a l'entrada OE. Per tal d'encabir totes les senyals es necessiten dos integrats. Els consum total estàtic màxim pels dos és de 3 mW.

Un dels bancs s'utilitzarà com a entrada a la FPGA per generar la senyal de reset asíncron pel power-on reset.

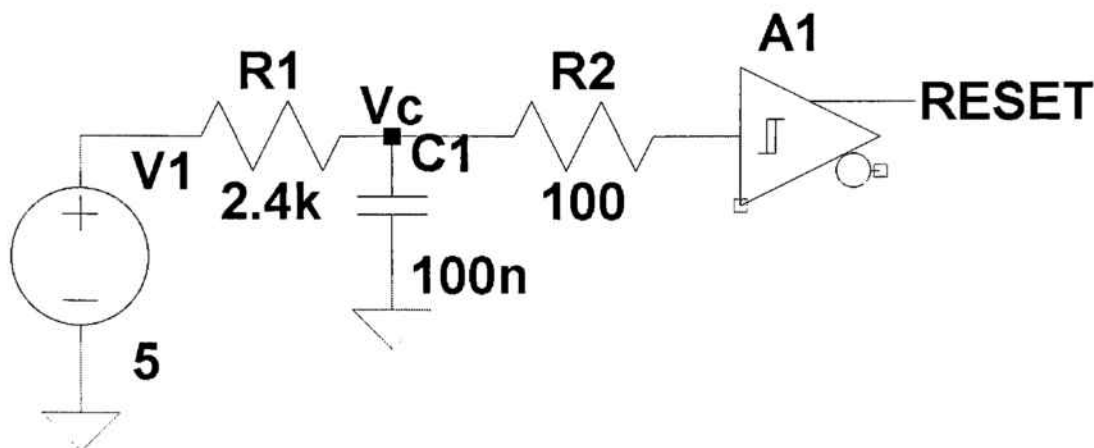


Figura 14. Power-On Reset mitjançant un trigger schmitt i un RC

El power-on reset es realitza amb el circuit indicat en la Figura 14. El resultat que busquem és que tinguem una tensió de 3.5 V a l'entrada del trigger Schmitt en un temps de

200 us (el doble de l'indicat en [13] com a temps necessari perquè la FPGA funcioni de forma normal). Si fem el supòsit de que la tensió es manté estable en el power on, trobem la relació entre R i C de l'equació 7.

$$v_c(t) = V \left(1 - e^{-\frac{t}{RC}} \right) \rightarrow RC = 2.408 \times 10^{-4} \quad 7$$

Com a solució particular, hem escollit C=100 nF i R= 2.4 K Ω. Per aquests valors, en el cas del temps de propagació màxim (20 ns) i el canvi d'estat en el valor màxim (3.5 V) el retard des de que entra en funcionament l'alimentació obtingut per simulació és de 300 us. En el cas més ràpid, amb temps de propagació mínim (1 ns) i el canvi d'estat en el valor més baix (2.1 V), el retard en simulació és de 145 us.

La senyal del rellotge per l'ADC RHF1201 ha de ser de CMOS 2.5V. Donat que la sortida de la FPGA és LVTTTL 3.3V, s'utilitza un sistema open-drain amb una resistència de 1 KΩ a l'alimentació digital de 2.5V. Aquest valor de la resistència ha estat obtingut mitjançant l'equació 7 tenint en conte que el voltatge de decisió entre l'u i el zero lògic del rellotge és de 1.25 V, la capacitat d'entrada és de 7 pF i la freqüència de funcionament del rellotge és de 10 MHz.

En la FPGA s'ha generat un bloc en VHDL a partir de les macros de Actel a la sortida equivalent a la Figura 15 per tenir la sortida open drain [14], donat que no es pot realitzar directament.

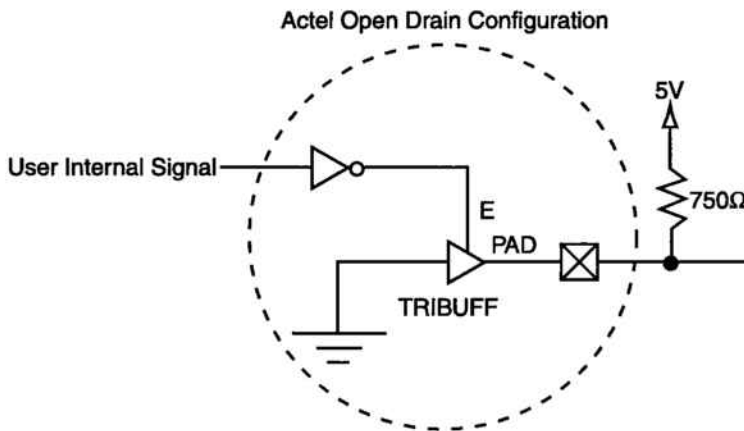


Figura 15. Sortida Open Drain en la FPGA

6.1.8 ADC128S102

El ADC128S102 és un ADC de 12 bit, amb vuit entrades analògiques, baix consum i un ritme de conversió fins a 1 Msps. La transferència de les dades de conversió es fa mitjançant una comunicació compatible amb SPI. La seva alimentació analògica és de +5 V analògics i l'alimentació digital amb +3.3 V digitals.

La funció d'aquest ADC és la conversió de les senyals de H/K (Housekeeping). Les senyals de H/K que ha de convertir són:

- Les provinents de dos transductors de temperatura (AD590), un situat pròxim a la FPGA i l'altre al Star 1000.
- La tensió VREFP del RHF1201. Per tal d'assegurar que no es modifica externament aquesta tensió de referència s'ha posat un operacional (LT1078) en

configuració seguidor de tensió a la sortida del RHF1201. Per tal de limitar la corrent d'entrada s'ha posat una resistència de 50 Ω entre la sortida de l'operacional i la línia de realimentació.

- Les tensions d'alimentació analògiques de -5 V, +2.5 V i +5 V.
- Les tensions d'alimentació digitals de +2.5 V i +5 V.

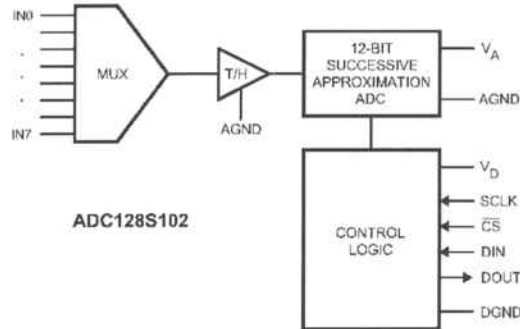


Figura 16. Diagrama de blocs de l'ADC128S102

Per les tensions d'alimentació es mesura el punt mig d'un divisor de tensió resistiu a la massa corresponent a cada alimentació excepte pel cas dels -5 V, en què s'utilitza l'alimentació analògica de +3.3V. En el cas de la tensió de -5 V per tant, un valor diferent a l'esperat pot ser degut tant a canvis en la tensió de -5 V com en la de +3.3 V. En la resta de les alimentacions fluctuacions en la tensió d'alimentació analògica de +3.3V també produeixen lleugers canvis en el valor obtingut.

El valor de les resistències a utilitzar, el seu consum i la tensió de sortida pel valor ideal estan a la Taula VI. R_1 és la resistència més propera a l'alimentació a mesurar i R_2 la resistència que va a la massa corresponent o a la tensió analògica de +3.3 V pel cas de l'alimentació de -5 V. Els valors elegits són tals que les tensions en el seu valor nominal tenen un valor proper a la mitat de l'alimentació analògica de l'ADC.

Tensió (V)	R_1 (K Ω)	R_2 (K Ω)	P (μ W)	V_o (V)
-5	27	100	65	1.535
2.5	47	33	31	1.569
5	20	47	75	1.493

Taula VI. Valors de les resistències dels divisors de tensió per H/K

6.1.9 RTSX72SU

La RTSX72SU d'Actel és una FPGA d'antifusible que utilitza tecnologia de 0.25 μ m CMOS. Les seves principals són altes prestacions amb un baix consum i una molt alta tolerància a la radiació. Els seus registres són flip-flops tipus D (Figura 17) resistents asíncronament a Single-Event Upset (SEU) i és immune al Single-Event Latch-Up (SEL).

L'alimentació serà de 2.5 V pel core i 3.3 V per les entrades/sortides. L'encapsulat elegit és un Ceramic Quad Flat Pack de 208 pins.

Disposa de tres tipus de rellotges diferents:

- Hardwired Clock (HCLK): un rellotge que arriba a tota la FPGA, amb un skew i temps de propagació molt baix degut a que no passa per cap antifusible. Aquest fet però provoca un consum estàtic elevat, independent del seu ús, donat que té un fan out alt. S'utilitza pel rellotge generat internament de 1 MHz.

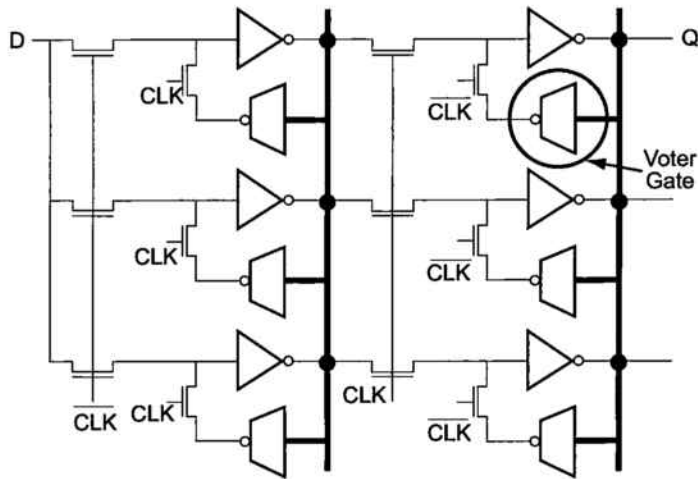


Figura 17. Flip-Flop D resistent a SEU

- Routed Clock (CLKA i CLKB): dos rellotges de baix skew que arriben a tota la FPGA però que degut a la presència d'antifusibles en el seu camí tenen una freqüència màxima menor. S'utilitza pel rellotge generat internament de 10 MHz i pel extern de 100 MHz.
- Quadrant Clocks (QCLKA, QCLKB, QCLKC i QCLKD): quatre rellotges de menor qualitat on cadascun arriba a un quadrant (una quarta part) de la FPGA. Els seus pins externs s'utilitzen com a I/Os normals.

El clock de 1 MHz ha d'esser realimentat externament al pin de HCLK. En el cas dels routed clock, el clock generat internament pot ser realimentat sense passar per un pin extern mitjançant la macro VHDL CLKINT.

La programació es fa mitjançant el Silicon Sculptor III. Aquesta FPGA donat que és d'antifusible només es pot programar un cop (One Time Programmable) i no és In System Programmable, és a dir, s'ha de posar en un sòcol en el Silicon Sculptor III per tal de programar-lo. Un cop programat però es pot depurar mitjançant una connexió JTAG més les senyals PRBA i PRBB connectats al Silicon Sculptor III (Figura 18).

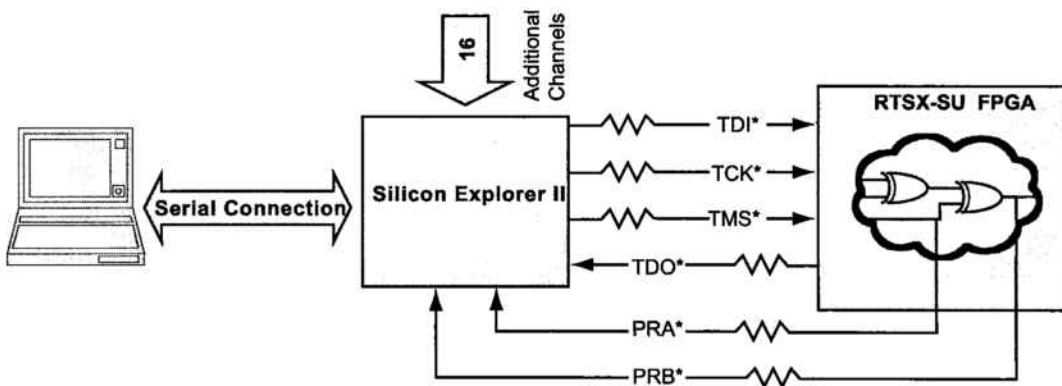


Figura 18. Diagrama de blocs de la connexió del Silicon Explorer

El prototipatge es realitza mitjançant la placa d'Aldec ACT-RTSX-CQ208. Es tracta d'una placa compatible pin a pin i amb uns retards equivalents, però amb l'avantatge que la FPGA que porta és reprogramable.

6.1.10 LT1078

El LT1078 és un amplificador operacional de precisió, baix consum i alimentació unipolar. S'utilitza com a seguidor de tensió de la senyal del RHF1201 VREFF. Utilitzem dos operacionals presents en un únic encapsulat, els dos en seguidor de tensió per la senyal VREFF, però un va al ADC128S102 i l'altre al AD8138.

En la realimentació de la sortida que va al ADC128S102 s'ha posat una resistència per tal de limitar la intensitat de sortida.

En la sortida que va al AD8138 s'ha posat una capacitat de 100 pF per tal d'absorbir els pics d'intensitat al canviar de píxel llegit.

6.1.11 UT54LVDS031LV

El UT54LVDS031LV és un driver LVDS de quatre canals de baix consum CMOS, de baix skew i alta immunitat a la radiació. La senyal EN es fixa a massa i /EN a 3.3V donat que sempre estarà en funcionament. El seu model és representa en la Figura 19.

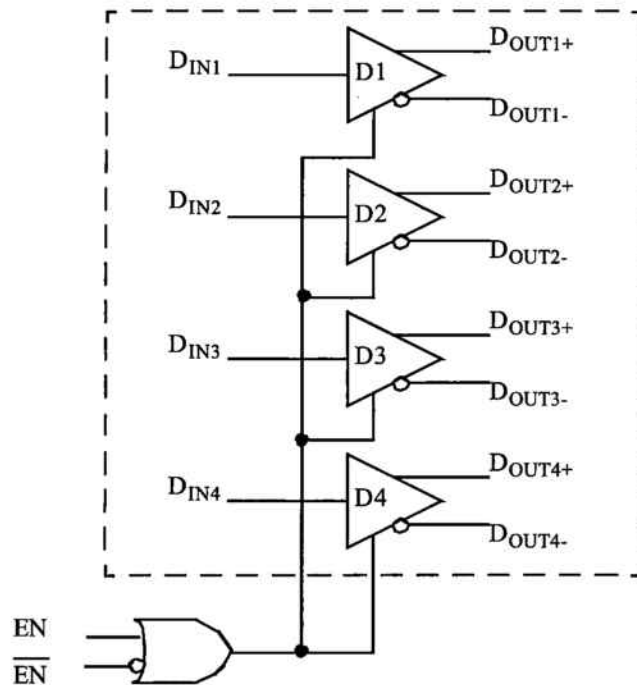


Figura 19. Esquema del UT54LVDS031LV

S'utilitza per enviar a ISS Control les senyals IL_CCLK, IL_IDAT, CL_SINT i CL_MISO.

6.1.12 UT54LVDS032LV

El UT54LVDS032LV és un receptor LVDS de quatre canals de baix consum CMOS, de baix skew i alta immunitat a la radiació. La senyal EN és fixa a massa i /EN a 3.3V donat que sempre estarà en funcionament.

S'utilitza per rebre d'ISS Control les senyals CL_MOSI i CL_SCLK.

6.2 BLOCS DEL FIRMWARE

Donat que aquest projecte està orientat a una missió a l'espai en una FPGA OTP (one time programable), és important donar el màxim de reconfigurabilitat al firmware. Per aquest motiu, s'ha elegit definir un conjunt extens de paràmetres de funcionament (definitos a 5.2.2). Per tal però de no penalitzar la velocitat de funcionament del firmware, que ja funciona proper al límit de freqüència màxima de la FPGA, cada bloc té el seu propi banc de registres. Aquests bancs només seran escrits per l'Image Control Link. Per tant, tot bloc té tres senyals d'entrada addicionals:

- WERegBank (Write Enable Register Bank): senyal d'habilitació d'escriptura al bank de registres.
- AddrRegBank (Address Register Bank): direcció de 3 bits de selecció del paràmetre a modificar.
- DataRegBank (Data Register Bank): dada de 10 bits a escriure en el registre.

El bloc regBankBlock que conté aquests registres i l'accés a ells serà igual en tots els blocs. Es deixa per tant que el sintetitzador sigui qui elimini els registres que no s'utilitzin en els diferents blocs, poden però així reutilitzar regBankBlock i reduint la possibilitat d'error al tenir un únic bloc de registres a verificar.

A més, tot bloc té com a sortida una senyal d'error per indicar que s'ha arribat a un estat indefinit (per efectes externs com un SEU). Aquestes senyals aniran al Control Link qui informará a ISS Control del error d'un bloc i esperarà a que aquest faci un reset per software de CT Camera. En cas que aquest fallés, ISS Control hauria de fer un reset hardware mitjançant l'alimentació de CT Camera.

Totes les màquines d'estat s'han codificat one-hot per obtenir el millor rendiment possible i s'ha realitzat un control de paritat sobre l'estat per detectar possibles SEU [1].

6.2.1 IMAGE SENSOR CONTROL

El procés de lectura d'un píxel es divideix en dos fases. En la primera es llegeix una fila i un cop tenim aquesta fila en els amplificadors de sortida de fila, és possible llegir les columnes d'aquesta fila.

6.2.1.1 TEMPORITZACIÓ DE LA LECTURA I RESET D'UNA FILA

En la Figura 20 es mostra el procés de lectura d'una fila i el reset d'una altra. La importància del reset d'una fila és per poder variar el temps d'integració de les files. El temps d'integració màxim d'una fila és el temps entre lectures consecutives. Si aquest temps és massa gran els píxels estaran saturats i la imatge no ens serà útil per la correlació. Mitjançant el paràmetre del registre Rolling Shutter Offset podem modificar amb quantes files d'antelació és realitza aquests reset, essent per tant 0 el temps d'integració màxim (no és realitza reset) i un el temps d'integració més baix (es realitza el reset un cicle abans de la seva lectura).

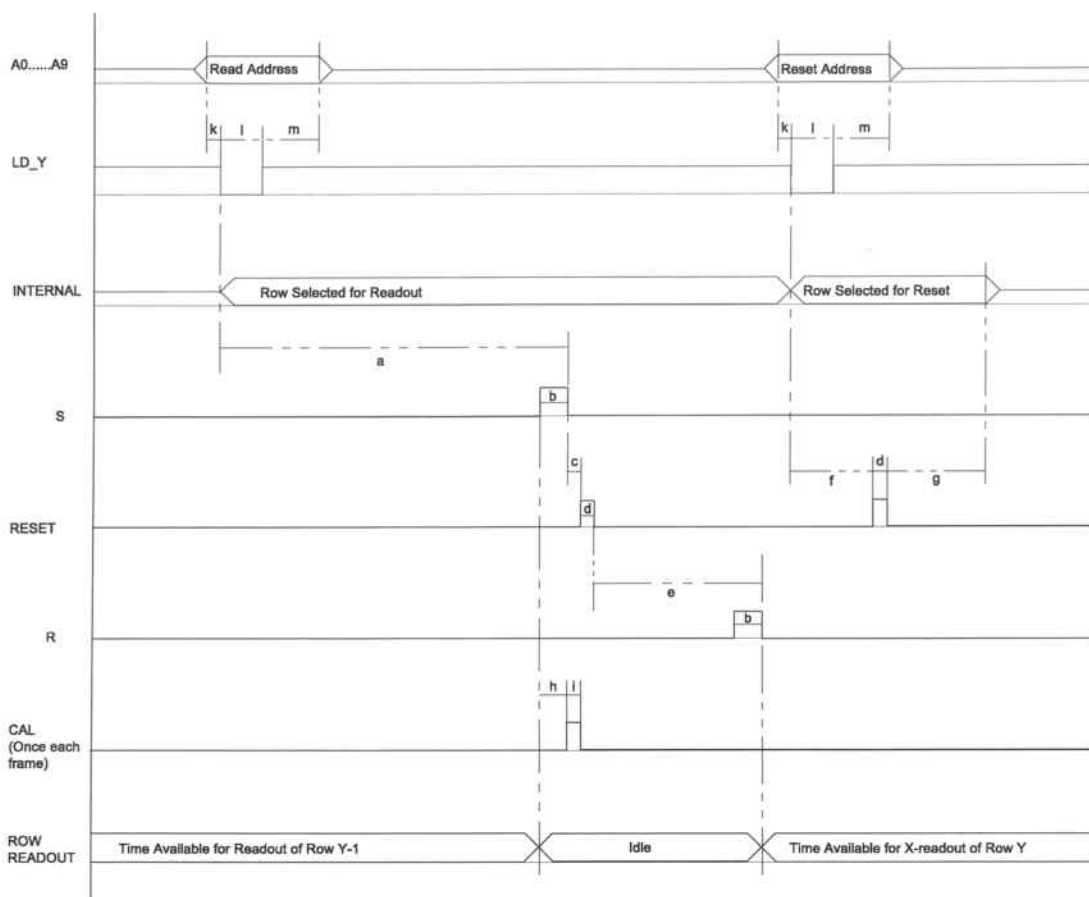


Figura 20. Procés de lectura d'una fila i reset d'una segona

Tenint en compte que aquests bloc funciona a 10 MHz (100 ns), en la Taula VII és mostra els temps de datasheet corresponents a la Figura 20 i els reals implementats.

Símbol	Temps típic datasheet (ns)	Cicles d'espera	Temps d'espera implementat (ns)
a	3600	36	3600
b	400	4	400
c	100	1	100
d	200	2	200
e	1600	16	1600
f	100	1	100
g	100	1	100
h	200	2	200
i	1000	10	1000
k	10	1	100
l	20	1	100
m	10	1	100

Taula VII. Temps per la lectura i reset d'una fila

Per tant, el temps total necessari a la lectura d'una fila correspon a: $k+a+c+d+e = 1+36+1+2+16 = 56$ cicle que equival a 5.6 us. En el cas del reset, el temps necessari correspon a $k+f+d+g = 1+1+2+1 = 5$ cicle que equival a 0.5 us.

S'observa com la contribució més gran al procés de lectura d'una fila correspon al temps d'espera necessari per la selecció interna de la fila (temps a). El datasheet a més ens indica que durant aquests temps la fila anterior és accessible per la seva lectura en els amplificadors de columna. En aquest sentit s'ha desenvolupat un segon mode de funcionament (mode fast) en que es selecciona primer la següent fila, es llegeixen les columnes de la fila anterior a la seleccionada i després es carrega la fila als amplificadors de columna. D'aquesta forma el temps de lectura de fila passarà a ser: $k+l+m+b+c+d+e = 1+1+1+4+1+2+16 = 26$ cicles que corresponen a 2.6 us. En aquests mode reduïm per tant el temps de lectura d'una fila en més de la meitat.

6.2.1.2 TEMPORITZACIÓ DE LA LECTURA D'UNA COLUMNA

Pel procés de lectura dels elements de la columna, s'ha seguit la Figura 21.

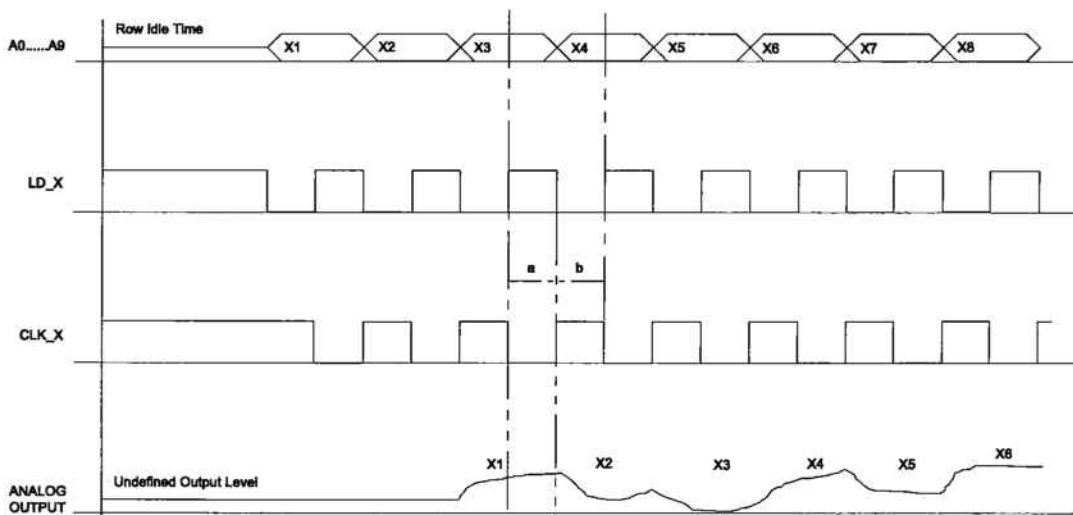


Figura 21. Procés de lectura de les columnes

Per aquests processos es generen dos rellotges de 10 MHz desfasats 180°, les senyals LD_X i CLK_X. La freqüència màxima de lectura dels píxels és de 20 MHz, per tant estarem funcionant al voltant de la meitat de la freqüència màxima.

El valor de la columna a seleccionar és adquirit en el flanc de pujada de LD_X. El valor analògic del píxel llegit està present en la sortida en el tercer flanc de baixada de CLK_X. Per tant, la lectura per part de l'ADC es realitza en el tercer flanc de pujada de CLK_X on el valor de la sortida ja és estable.

Per tal de prevenir possibles problemes de la selecció de múltiples columnes a la vegada degut al leakage del registre de les columnes, mantenim funcionant el senyal CLK_X durant tot el temps que estigui essent alimentat el sensor.

El temps necessari per llegir totes les columnes és igual a el nombre de columnes pel període d'un cicle de rellotge. Per tant, pels valors per defecte de 128 columnes i el rellotge de 10 MHz, necessitem 12.8 us.

6.2.1.3 ANÀLISIS DE LA FREQUÈNCIA D'OBTENCIÓ D'IMATGES

En la Taula VIII es mostra un resum dels temps implicats en l'adquisició d'una imatge.

Acció	Temps (us)
Adquisició d'un fila (mode normal)	5.6
Adquisició d'un fila (mode ràpid)	2.6
Reset d'un fila	0.5
Lectura d'una columna de 128	12.8

Taula VIII. Temps implicats en l'adquisició d'una imatge

Per tant, els temps necessaris per la lectura d'una imatge de 128 per 128 en el cas d'una freqüència de funcionament de 10 MHz és mostren en la Taula IX.

	Sense Reset	Amb Reset
Mode Normal	2.3552 ms 424.6 fps	2.4192 ms 413.4 fps
Mode Ràpid	1.9712 ms 507.3 fps	2.0352 ms 491.4 fps

Taula IX. Temps i freqüència d'adquisició de les imatges

Els valors dels píxels llegits són enviats en temps real a ISS Control pel seu processat mitjançant el Image Link. Aquests bloc només introdueix un retard però no varia la freqüència de transferència d'imatges.

6.2.1.4 SENYALS DEL BLOC

La senyal d'entrada és la següent:

- Start: senyal provinent de Camera Manager que indica quant s'ha de començar a realitzar l'adquisició d'una imatge. En el mode continu es manté constantment a nivell alt.

Les senyal de sortida són les següents:

- processFinished: senyal que indica que s'ha acabat de realitzar una lectura d'un frame. Aquesta senyal va a Camera Manager.
- newFrame: senyal que indica a Image Link que s'ha començat a adquirir una nova imatge.
- eStarLD_X: senyal d'habilitació de LD_X. Aquesta senyal va a Camera Manager.

A més, és controlen les següents senyals de la STAR 1000: StarLD_Y, StarAddr (10 bits), StarRst, StarS, StarR, i StarCAL, i la senyal d'habilitació de la sortida de l'ADC (ADCOEB_n).

6.2.1.5 DIAGRAMES D'ESTATS

S'han definit els següents estats pel procés de lectura del sensor:

- Idle: estat on s'està en espera de que Camera Manager activi la senyal de start del bloc. Totes les altres senyals estan en un estat baix, excepte ADCOEB_n que està en estat alt per tal de tenir la sortida de l'ADC en alta impedància.

- sendRow: estat on s'envien les senyals per tal de seleccionar la següent fila a llegir. Funcionalment és diferència sendRow i sendRowS donat que en el primer cop que s'arriba aquest estat la sortida de l'ADC està deshabilitada.
- readRow: estat on s'envien les senyals per tal de carregar en els amplificadors de columna la següent fila a llegir.
- resetRow: estat on és fa el reset d'una fila segons el paràmetre Rolling Shutter Offset. En cas que el paràmetre sigui zero, s'omet aquest estat.
- readCol: estat on és realitza la lectura de les columnes.
- endADC: estat on és desactiven totes les senyals del STAR 1000, però és manté la sortida de l'ADC habilitada per acabar la conversió dels últims píxels.
- Error: estat en que s'arriba en cas que algun comptador hagi assolit un valor no permès. En aquests estat s'activa la senyal de sortida d'error.

S'han definit dos modes de funcionament. La transició entre estats és produïx mitjançant comptadors, excepte en el cas que s'indiqui una condició. El diagrama d'estats pel mode normal correspon a la part esquerra i pel mode ràpid a la part dreta de la Figura 22.

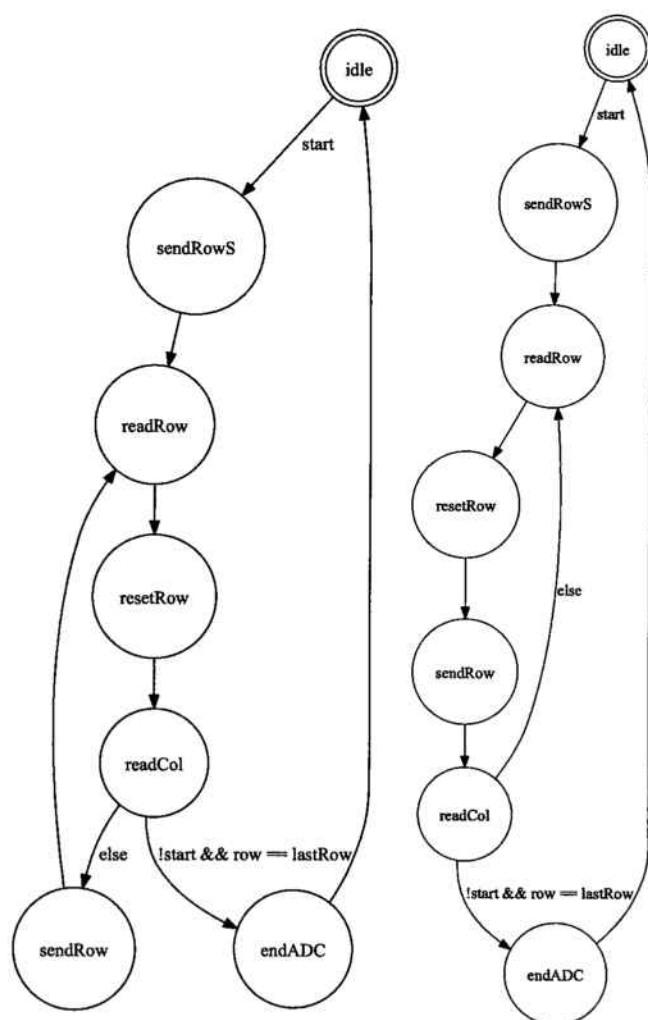


Figura 22. Diagrama d'estats pel mode normal de funcionament (esquerra) i el mode de funcionament ràpid (dreta)

6.2.2 IMAGE LINK

L'Image Link és el bloc encarregat de llegir els valors de la sortida de l'ADC i enviar-los serialitzats amb una trama. La trama consta d'un preàmbul, un camp amb el nombre de bits, les dades i finalment un CRC-16 (Taula X). La longitud total per tant és variable i depèn del nombre de píxels a llegir i la resolució d'aquests.

Bit	1-10	11-20	21-1300	1301-1316
Contingut	Preàmbul (0x111)	Nombre de píxels	Valor dels píxels	CRC-16-CCITT

Taula X. Trama del Image Link per 128 píxels amb una resolució de 10 bits.

L'entrada externa és adquirida amb el flanc de pujada de la senyal de sortida del RHF1201 DR. Aquest valor és registrat dos cops per tal de reduir el possible risc de metastabilitat. En cas que s'hagi seleccionat un guany digital s'aplica al registrar el valor.

Els valors llavors són serialitzats i enviats per la sortida IDAT i al bloc encarregat del càlcul del CRC-16. Un cop enviades les dades s'envia al final el CRC-16-CCITT, que es realitza mitjançant un registre de desplaçament amb portes XOR (Figura 23).

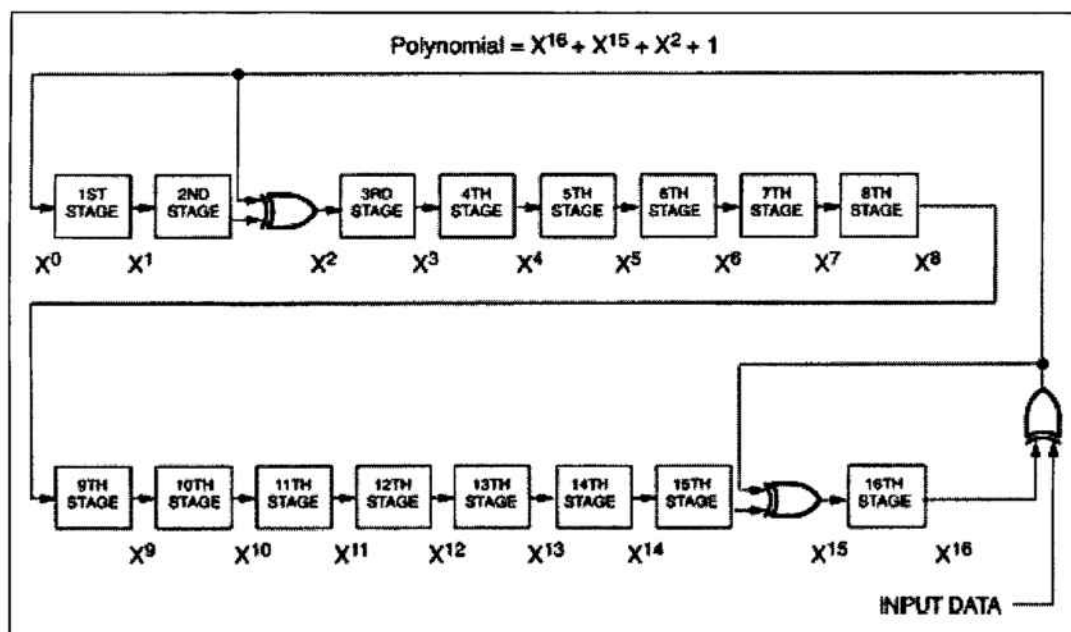


Figura 23. Implementació del CRC-16-CCITT.

A més de les dades s'envia el senyal de rellotge (CCLK) amb el qual funciona el bloc. En el bloc de Simulink es genera una senyal que indica quan s'estan enviant dades enlloc de directament el senyal CCLK donat que no resulta possible. Aquesta senyal (IL_validData) s'utilitza en l'entitat VHDL més superior per tal de treure el rellotge del sistema de forma asíncrona controlada per la senyal IL_validData.

La freqüència de funcionament del bloc és de 100 MHz. Per tal de poder serialitzar els valors dels píxels s'ha de complir que Image Sensor mantingui un mateix píxel tants de cicles de rellotge de Image Link com resolució del píxels a enviar. És a dir, la freqüència del rellotge de Image Sensor ha de ser tants cops més lent com bits de resolució tinguem. Per tant, en el cas de 10 bits de resolució el rellotge de Image Sensor ha de funcionar a 10 MHz, però si enviem 8 bits el rellotge d'Image Sensor funciona a 12.5 MHz.

6.2.2.1 SENYALS DEL BLOC

Les senyals d'entrada són les següents:

- newFrame: senyal provinent de Image Sensor Control que indica quan s'ha de començar a realitzar l'adquisició dels píxels.
- DR: senyal provinent del RHF1201 que indica mitjançant el flanc de pujada el moment en el qual s'ha de realitzar la lectura de la sortida de l'ADC.
- ADC_Data: les dotze senyals provinents de la sortida de l'ADC que contenen el valor digital dels píxels.
- ADC_Out_of_Range: senyal provinent de l'ADC que indica que l'entrada de l'ADC està fora de rang.
- Row: senyal de 10 bits que conté la fila que actualment s'està llegint.

Les senyals de sortida són les següents:

- IDAT: Image Link Data. És la senyal serialitzada que conté la trama d'Image Link.
- validData: senyal que indica en quin instant la sortida IDAT conté informació.
- error_OutRange_col i error_OutRange_row: senyals de 10 bits que contenen la fila i columna del últim píxel llegit, l'entrada analògica del qual estava fora dels límits d'entrada de l'ADC.

6.2.3 CAMERA MANAGER

El bloc Camera Manager és l'encarregat de generar els diferents rellotges mitjançant comptadors, controlar l'estat de funcionament de CT Camera i el comptador del nombre d'imatges processades des de que s'ha entrat en el mode continu.

Només es permet canviar el mode de funcionament si l'estat actual és Idle o si el mode de funcionament al qual canviar és Idle. En cas que passem a Idle és duu a terme un reset síncron sobre Image Link i Image Sensor Control.

6.2.3.1 SENYALS DEL BLOC

Les senyals d'entrada són les següents:

- processFinished: senyal provinent de Image Sensor Control que indica quan s'ha acabat de realitzar l'adquisició i enviament d'una imatge.
- eLD_x: senyal provinent de Image Sensor Control que habilita la sortida de la senyal LD_X.

Les senyals de sortida són les següents:

- enable: senyal que va a Image Sensor Control i indica que s'ha de començar l'adquisició d'una imatge.
- sRst_n: senyal activa per nivell baix que provoca un reset síncron dels blocs Image Link i Image Sensor Control.
- Clk10: senyal de rellotge utilitzat per les zones del codi que funcionen a 10 MHz i pel rellotge del RHF1201 i del STAR 1000.
- LD_X: senyal del STAR 1000 LD_X.
- Clk1: senyal de rellotge utilitzat per les zones del codi que funcionen a 1 MHz.
- G0: bit menys significatiu del guany analògic de la STAR 1000.
- G1: bit més significatiu del guany analògic de la STAR 1000.

- frameCounter: senyal de 10 bits que va a Control Link que indica el nombre d'imatges processades des de que s'ha entrat en el mode continu.
- WorkingMode: senyal de 2 bits que va a Control Link que indica el mode de funcionament actual de CT Camera.
- EnSignalExt i SignalExt: dos senyal utilitzades per generar externament una senyal de 5 MHz quadrada amb valor màxim i mínim el valor de la sortida del STAR 1000. S'utilitza en el mode de test.
- A_SEL1 i A_SELO: senyals que van al STAR 1000 utilitzades per elegir la senyal analògica de sortida del sensor, permeten canviar la sortida del STAR 1000 entre el valor dels píxels llegits i la senyal de test generada per la FPGA.

6.2.4 H/K SENSOR READ

El bloc H/K Sensor Read ha de comunicar-se amb el ADC128S102 per tal d'obtenir el valor actual de totes les senyals de housekeeping. El bloc actualitza totes les senyals cada segon. Per tal d'assegurar la correcta sincronització i minimitzar el soroll s'espera un octau de segon entre llegir cada una de les vuit senyals. Els valors obtinguts són llavors escrits en un conjunt de registres de Control Link per tal de poder ser enviats a ISS Control sota petició.

Donat que la freqüència de comunicació amb el ADC és de 10 MHz, el bloc principal funciona a 10 MHz, però els blocs de generació del senyal de rellotge i els shift registers d'entrada i sortida funcionen a 100 MHz.

6.2.4.1 SENYALS DEL BLOC

La senyal d'entrada és la següent:

- HK_DOUT: senyal de sortida de dades de l'ADC. El ADC modifica el valor de la senyal en el flanc de baixada del rellotge SCLK i la FPGA el llegeix en el flanc de pujada. La senyal és registra dos cops abans de la lògica per reduir el risc de metastabilitats.

Les senyals de sortida són les següents:

- CS_n: senyal activa per nivell baix. Quan és troba en estat alt les sortides de l'ADC és troben en alta impedància.
- HK_SCLK: senyal de rellotge que controla l'intercanvi de dades amb l'ADC.
- HK_DIN: senyal d'entrada de dades de l'ADC. La FPGA modifica el valor en el flanc de pujada de la senyal de rellotge SCLK.

6.2.4.2 TEMPORITZACIÓ DE LA COMUNICACIÓ

La comunicació és similar a SPI (Figura 24). Un cop el master (la FPGA) posa en un nivell baix CS_n, l'ADC llegeix les entrades. Mitjançant la senyal CS_n doncs podem assegurar un punt de sincronisme entre la FPGA i l'ADC independentment del soroll previ que pogués existir en el canal.

En els cicles del rellotge tercer al cinquè la FPGA envia per la senyal DIN el valor de l'adreça a seleccionar pel multiplexor d'entrada de l'ADC, d'aquesta forma s'escull entre les vuit entrades diferents.

En els cicles del rellotge cinquè fins al setzè l'ADC envia mitjançant la senyal DOUT el valor digital del canal d'entrada seleccionat. El primer bit és el més significatiu.

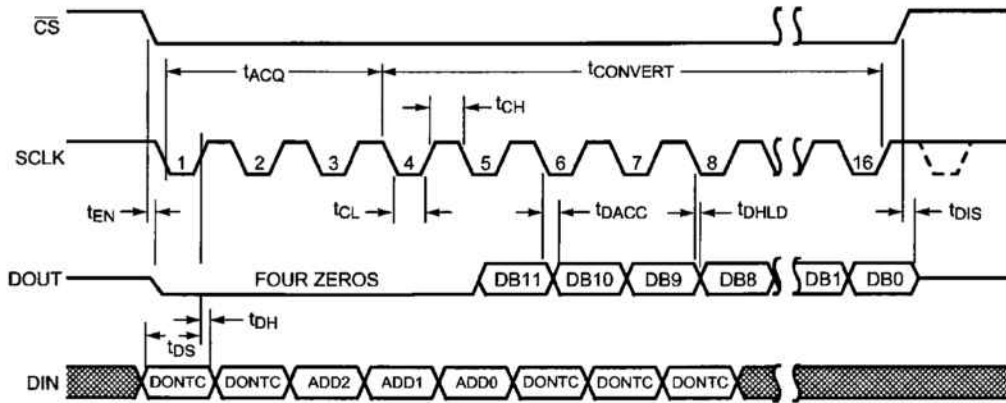


Figura 24. Diagrama de temps de la comunicació amb el ADC128S102

6.2.5 CONTROL LINK

El Control Link és el bloc encarregat de la comunicació amb ISS Control. Aquesta comunicació s'ha implementat sobre una variant SPI on el Control Link funciona com a esclau. El funcionament de la comunicació està descrit a l'apartat 5.2.3.

La implementació consta d'un shift register d'entrada activat pel flanc de baixada de SCLK i que funciona a una freqüència de 10 MHz. En cada cicle de rellotge es comprova si s'ha rebut la seqüència de reset, intentant assegurar d'aquesta forma que sempre és dut a terme el reset, encara que la resta del sistema hagi entrat en un estat indeterminat. En cas afirmatiu, s'executa el reset síncron actiu per nivell baix de tot el sistema. En paral·lel al shift register d'entrada és realitza la comprovació del CRC-8-CCITT.

Per alta banda hi ha el bloc encarregat del shift register de sortida i la senyal SINT. Aquests bloc és el que conté la màquina d'estats (Figura 25). Funciona a una freqüència de 10 MHz i en paral·lel és calcula el CRC-8-CCITT cada cop que és canvia la dada enviada.

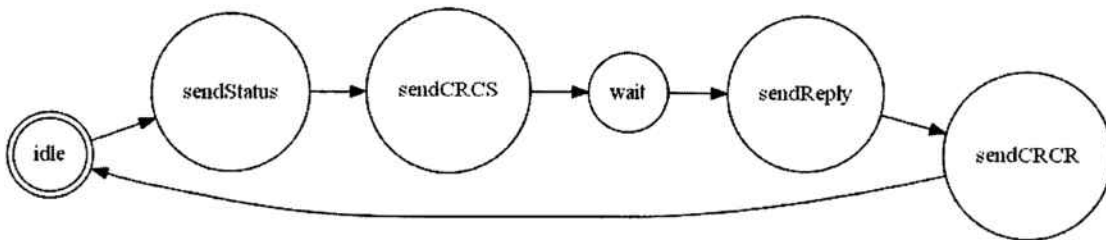


Figura 25. Màquina d'estat del control link

Els estats tenen la següent funció:

- Idle: és manté en aquest estat fins que ISS Control marca l'inici d'una transmissió. La única acció que és fa en aquest estat és quan s'ha produït un error intern en CT Camera, és a dir, s'activa una de les senyal d'error. En aquest cas, mitjançant SINT s'indica a ISS Control que és necessària una comunicació.
- sendStatus: en aquest estat s'envien els 16 bits corresponents als 6 del codi de la comanda Status i els 10 bits del registre d'estat. Un cop acabat d'enviar és passa a sendCRCS
- sendCRCS: en aquest estat s'envien els 8 bits del CRC-8-CCITT corresponent a la trama acabada d'enviar. Després passem a l'estat wait.

- Wait: en aquest estat es posa SINT en un nivell alt i el bloc s'espera a la pujada de SCLK. Un cop es té processada la resposta i SCLK està en el nivell alt, es passa a l'estat sendReply.
- sendReply: en aquest estat s'envia la resposta a la comanda rebuda en sendStatus. En cas que la comanda rebuda fos invàlida o s'hagués produït un error del CRC, s'envia una trama d'estat com a resposta. Un cop acabat d'enviar els 16 bits es passa a l'estat sendCRCR.
- sendCRCR: en aquest estat s'envia els 8 bits del CRC-8-CITT corresponent a la trama acabada d'enviar. Després tornem a l'estat idle.

Finalment, hi ha el bloc que processa les comandes rebudes de ISS Control. Aquest funciona a 1 MHz. És el bloc encarregat també de comprovar que la comanda rebuda sigui vàlida. Una comanda invàlida per aquest bloc vol dir que no s'ha detectat cap error en el CRC però s'ha donat una de les següents situacions:

- La comanda modifica un valor o canvia el mode de funcionament però el mode de funcionament actual no és Idle.
- La comanda modifica un valor a un que no està permès.
- La comanda rebuda té un camp codi desconegut.

En qualsevol d'aquests casos la resposta per part de CT Camera és la el registre d'estat. Cal notar que en cas d'un error en el CRC la resposta també és el registre d'estat, però un bit d'aquest registre indica que hi ha hagut un error en el CRC.

6.2.5.1 SENYALS DEL BLOC

Les senyals d'entrada són les següents:

- frameCounter: comptador del nombre d'imatges enviades des de que s'ha entrat en el mode continu.
- WorkingMode: mode de funcionament actual de CT Camera.
- HKDataReg, HKAddrReg i HKWEReg: conjunt de senyals per escriure els valors adquirits per H/K Sensor Read en el banc de registres que conté els últims valors llegits de les senyals de housekeeping.
- error: conjunt de senyals d'error de cadascun dels blocs.
- SCLK: senyal de rellotge del canal de comunicació SPI amb ISS Control.
- MOSI: senyal de dades del canal de comunicació SPI provinent de ISS Control.

Les senyals de sortida són les següents:

- MISO: senyal de dades del canal de comunicació SPI cap a ISS Control.
- SINT: senyal d'interrupció i sincronisme del canal de comunicació SPI.
- WERegBankOut, AddrRegBankOut i DataRegBankOut: conjunt de senyals per tal de modificar els bancs de registres de la resta de blocs que contenen els paràmetres de funcionament de CT Camera.
- sysRst_n: reset síncron actiu per nivell baix de tot CT Camera.

6.2.6 SENYALS D'ENTRADA I SORTIDA

A continuació es resumeixen totes les senyals de CT Camera.

Les senyals d'entrada són les següents:

- ADC_Data: senyal de 12 bits d'entrada amb les dades del RHF1201
- ADC_DR: senyal Data Ready del RHF1201 que indica quant s'ha de llegir els valors de ADC_Data.
- ADC_Out_of_Range: senyal que indica que el valor analògic de l'entrada del RHF1201 està fora dels marges.
- CL_SCLK: senyal de rellotge del canal SPI amb ISS Control.
- CL_MOSI: senyal de dades d'entrada del canal SPI amb ISS Control.
- ADC_HK_DOUT: senyal de dades del canal SPI amb el ADC128S102.

Les senyals de sortida són les següents:

- ADC_CLK: senyal de rellotge del RHF1201.
- ADC_OEB_n: senyal d'habilitació de la sortida del RHF1201.
- CLK1: senyal de rellotge de 1 MHz.
- CLK10: senyal de rellotge de 10 MHz.
- IL_IDAT: senyal de dades de Image Link a ISS Control.
- IL_validData: senyal d'habilitació del rellotge del canal Image Link (IL_CCLK).
- StarCLK_X: senyal de rellotge per la selecció de columna del Star 1000.
- Star_Addr: senyal de 10 bits indicant l'adreça (columna o fila) del Star 1000.
- Star_LD_Y: senyal de selecció de fila.
- Star_LD_X: senyal de selecció de columna.
- Star_Rst: senyal de reset de fila del Star 1000.
- Star_S i Star_R: senyals de lectura de fila.
- Star_CAL: senyal de calibratge activada un cop per imatge.
- Star_G0 i Star_G1: senyals de guany analògic del Star 1000.
- Star_ASEL1 i Star_ASEL0: selecció de la senyal analògica de sortida del Star1000.
- EnSignalExt: activació de la senyal de test analògica.
- SignalExt: senyal de test analògica.
- CL_MISO: senyal de dades del canal SPI de sortida del Control Link.
- CL_SINT: senyal d'interrupció i sincronisme del canal SPI del Control Link.
- ADC_HK_CS_n: senyal d'activació de les entrades i sortides de l'ADC128S102.
- ADC_HK_SCLK: senyal de rellotge del canal SPI amb l'ADC128S102.
- ADC_HK_DIN: senyal de dades del canal SPI amb l'ADC128S102.

6.2.7 GENERACIÓ VHDL

S'ha generat a partir del model en Matlab R2011b amb Simulink 7.8 mitjançant el HDL Coder 2.9. Per tal de generar el codi s'han activat les següents opcions:

- Balance delays
- Represent constant values by aggregates
- Use "rising_edge" for registers
- Loop unrolling
- Inline VHDL configuration
- Concatenate type safe zeros
- Emit time/date stamp in header

- Scalarize vector ports
- Minimize intermediate signals
- Include requirements in block comments

Sobre el codi VHDL generat s'ha creat una entitat VHDL que conté la generada per Matlab per tal de realitzar les següents funcions:

- Generar la senyal IL_CCLK. Aquesta senyal és igual al rellotge de 100 MHz del sistema, activada quant IL_validData estigui en nivell alt.
- Generar les senyals ADC_Slew_Rate i ADC_Data_Format, les quals estan fixades a un nivell alt.
- Utilitzar la macro CLKINT per tal d'utilitzar el rellotge generat de 10 MHz com a routed clock sense la necessitat de treure'l i tornar-lo a entrar per un pin.
- Utilitzar la macro d'Actel TRIBUFF (motivació explicada en 6.1.7), que conté un buffer amb sortida d'alta impedància. La senyal d'activació del buffer va controlada per la senyal CLK_X generada per Image Sensor Control. L'entrada serà un nivell baix constant. D'aquesta forma aconseguim una sortida del tipus open-drain.

6.2.8 SÍNTESI I LAYOUT

La síntesi del codi s'ha fet amb el Synplify® Premier with Design Planner F-2011.09-SP1. S'ha desactivat la compilació de les màquines d'estat per tal d'evitar que s'optimitzi i s'elimini l'estat error. A més, donat que la codificació ja era one-hot no és necessari l'optimització en aquest aspecte. La freqüència màxima del rellotge de 100 MHz, el més ràpid i per tant el més crític, estimada per aquesta eina és de 87.1 MHz. Aquest valor només és una estimació donat que l'eina no sap quin és el retard associat amb la propagació per la net. En el cas del rellotge de 1 MHz la freqüència màxima s'estima a 30.1 MHz i pel rellotge de 10 MHz s'estima a 24.6 MHz.

En total, s'han utilitzat 1786 cel·les combinatòries (44% del total disponible) i 830 cel·les seqüencials (41% del total disponibles) de la RTSX72SU. La potència total consumida en el pitjor cas per condicions militars (125 °C i 10% de disminució de potència) és de 590.38 mW.

El Placement s'ha realitzat amb el Libero IDE v9.1.5.1 amb les opcions següents actives:

- Timing-driven
- Use Multiple Passes, amb 25 passes elegint el resultat que en el pitjor cas dona el millor slack.
- En opcions avançades, seleccionant Extended run amb el timing-driven amb un effort level de 400 i timing weight de 150.

El pitjor cas s'ha definit com una temperatura de 85 °C, amb condicions militars de voltatge (2.25 V i 3.0 V per les alimentacions de 2.5 V i 3.3 V respectivament) i un radiació de 100 Krad. Amb aquests valors aconseguim una freqüència màxima de funcionament en el worst case de 128.1 MHz pel rellotge 100 MHz, 33.0 MHz pel rellotge de 10 MHz i 32.3 MHz pel rellotge de 1 MHz.

7 VIABILITAT TÈCNICA

7.1 REQUISITS

És necessari el disseny d'una PCB que té com a elements principals el sensor CMOS APS, un ADC d'altres prestacions i la generació d'un firmware per una FPGA. Tots els components han d'estar qualificats per l'espai. El hardware i firmware a més han de complir també amb les especificacions necessàries per ser qualificades.

7.2 DETECCIÓ I ANÀLISI DE DEBILITATS I FORTALESES

7.2.1 PUNTS CRÍTICS

El control de la càmera i la lectura de la seva sortida és el punt més crític. S'ha tingut especial cura en el disseny de la PCB per tal que la senyal analògica tingui el mínim soroll possible. En aquests sentit ha estat necessari tenir pistes curtes i d'amplada adaptada a la impedància de sortida i entrada dels integrats. A més, s'han dimensionat correctament les capacitats de desacoblament i la seva quantitat pels integrats analògics per minimitzar l'oscil·lació de l'alimentació.

En quant al control de la càmera a realitzar per part del firmware s'ha obtingut un consens entre la màxima velocitat de funcionament i mantenir un marge que garanteixi el bon compliment dels temps de hold i setup de les senyals de control d'aquest sensor.

7.2.2 FIABILITAT

La fiabilitat dels elements hardware ha de ser molt elevada donat que una reposició no serà possible i han de funcionar amb uns alts nivells de qualitat durant tot el temps que duri la missió. En aquests sentit s'han elegit elements qualificats per missions espacials amb tolerància a la radiació en que es trobaran. Durant l'execució del projecte es seguirà el procediment del estàndard Q-ST-10C. La PCB i les soldadures d'aquesta hauran de passar també un conjunt de tests exhaustius per garantir la seva resistència mecànica i bon funcionament, seguint les indicacions de Q-ST-70-10C.

El firmware no es veurà afectat pel pas del temps, però la radiació si que pot provocar errors lògics. L'elecció d'una FPGA d'antifusible OTP amb TMR augmenta molt la fiabilitat d'aquests i hauria de permetre arribar als nivells requerits de fiabilitat.

7.2.3 QUALITAT

El control de qualitat de l'execució del projecte ha de ser molt elevat. En aquest sentit és seguiran els procediments descrits en els estàndards Q-ST-20C per l'execució del projecte, Q-ST-60C Rev. 1 per l'elecció de components, Q-ST-70-12C pel disseny de la PCB i Q-ST-60-02C pel desenvolupament del firmware. D'aquesta manera és garanteix la qualitat del producte final amb els procediments requerits per les aplicacions del espai.

7.2.4 FLEXIBILITAT

La PCB té una alta flexibilitat lògica per tal de poder-se elegir el mode de funcionament que permeti una fiabilitat i qualitat més elevat. El firmware també és reconfigurable mitjançant el Control Link per tal de modificar els paràmetres de funcionament als més adients per ISS Control en cada moment. S'inclouen també totes les operacions que és puguin creure necessàries encara que no siguin usades i aquestes s'han de poder activar si fos necessari també a través del Control Link. D'aquesta forma tot i que sigui OTP es pot donar més flexibilitat al seu funcionament.

8 VIABILITAT ECONÒMICA

8.1 COSTS D'INVERSIÓ

En la Taula XI es fa una estimació del cost total dels components d'enginyeria del prototip a partir d'uns possibles components a utilitzar. El valor total dels components d'enginyeria s'estima a 4000€.

Descripció	Nom	Quantitat	Preu (€)	Subtotal
Sensor APS	STAR1000	1	3000	3000
Amplificador Operacional	AD8041	1	2	2
	LT1078	1	8	8
Amplificador Diferencial	AD8138	1	10	10
ADC	TSA1203	1	30	30
Transceptors	74ALVC164245	2	2	4
ADC HK	ADC128S102	1	9	9
Capacitats	0603	150	0.2	30
Resistències	0603	70	0.1	7
TOTAL:				3100

Taula XI. Estimació del cost dels components del prototip

El cost de fabricació de les PCBs estimat, suposant una tecnologia de 6 capes, poliimida, de dimensions de pistes de classe 6 i dimensió 170x50 mm és de 500€.

El cost de personal pel projecte és calcula per a dos treballadors, un pel disseny hardware i l'altre pel firmware amb un sou de 2000€ mensual i cinc mesos de temps de disseny, implementació i testeig.

És realitzaran un total de tres plaques, encara que només s'adquirirà una càmera degut al seu cost. El cost total doncs del projecte (Taula XII), amb un 10% de marge, s'estima en 30250 €. S'ha suposat que és disposa de tota la resta d'equipament necessari (placa de desenvolupament del firmware, ordinadors, software, etc) per dur a terme el projecte.

Concepte	Preu (€)
Components	3300
PCB	500
Personal	20000
SUBTOTAL:	23800
Marge de seguretat (10%)	2380
TOTAL:	26180

Taula XII. Estimació del cost total del projecte

8.2 FINANÇAMENT

El projecte estarà finançat pel govern espanyol en el marc del Programa Nacional del Espai.

9 CRONOGRAMES D'EXECUCIÓ

9.1 DEFINICIONS DE TASQUES I TEMPS

- A. **5 dies:** adaptació, generació i estudi de la documentació necessari pels membres del equip.
- B. **40 dies:** disseny de la PCB. Es realitzaran simulacions de les diferents parts per tal d'anar assegurant que s'estan complint els requeriments de soroll i temps en el disseny.
 - B.1. **15 dies:** disseny del esquemàtic.
 - B.2. **10 dies:** placement i routing.
 - B.3. **15 dies:** simulació de les diferents parts (analògica, alimentació i digital) per separat i en conjunt i la correcció dels incompliments trobats.
- C. **15 dies:** fabricació de la PCB i soldadura dels components.
- D. **20 dies:** test elèctric i funcional de la PCB.
- E. **80 dies:** disseny i test del firmware.
 - E.1. **15 dies:** disseny i test del bloc Image Sensor Control.
 - E.2. **15 dies:** disseny i test del bloc Image Link.
 - E.3. **10 dies:** disseny i test del bloc Image Manager.
 - E.4. **15 dies:** disseny i test del bloc Control Link.
 - E.5. **5 dies:** disseny i test del bloc H/K Sensor Read.
 - E.6. **20 dies:** integració i verificació del firmware.
- F. **20 dies:** verificació completa del conjunt del sistema.

9.2 DIAGRAMES PERT

En la Taula XIII és mostra la matriu de activitats precedents, de conseqüents i de duració PERT seguin la nomenclatura de l'apartat anterior.

Activitat	Activitat precedent	Activitat conseqüent	Duració (dies)
A	---	B	5
B	A	C	40
B.1	A	B.2	15
B.2	B.1	B.3	10
B.3	B.2	C	15
C	B.3	D	15
D	C	F	20
E	A	F	80
E.1	A	E.2	15
E.2	E.1	E.3	15
E.3	E.2	E.4	10
E.4	E.3	E.5	15
E.5	E.4	E.6	5
E.6	E.5	F	20
F	D, E	---	20

Taula XIII. Matriu de activitats precedents, de conseqüents i de duració PERT

En la FIGURA 26 és mostra el diagrama de PERT amb el camí crític marcat en vermell que correspon al procés de desenvolupament del firmware.

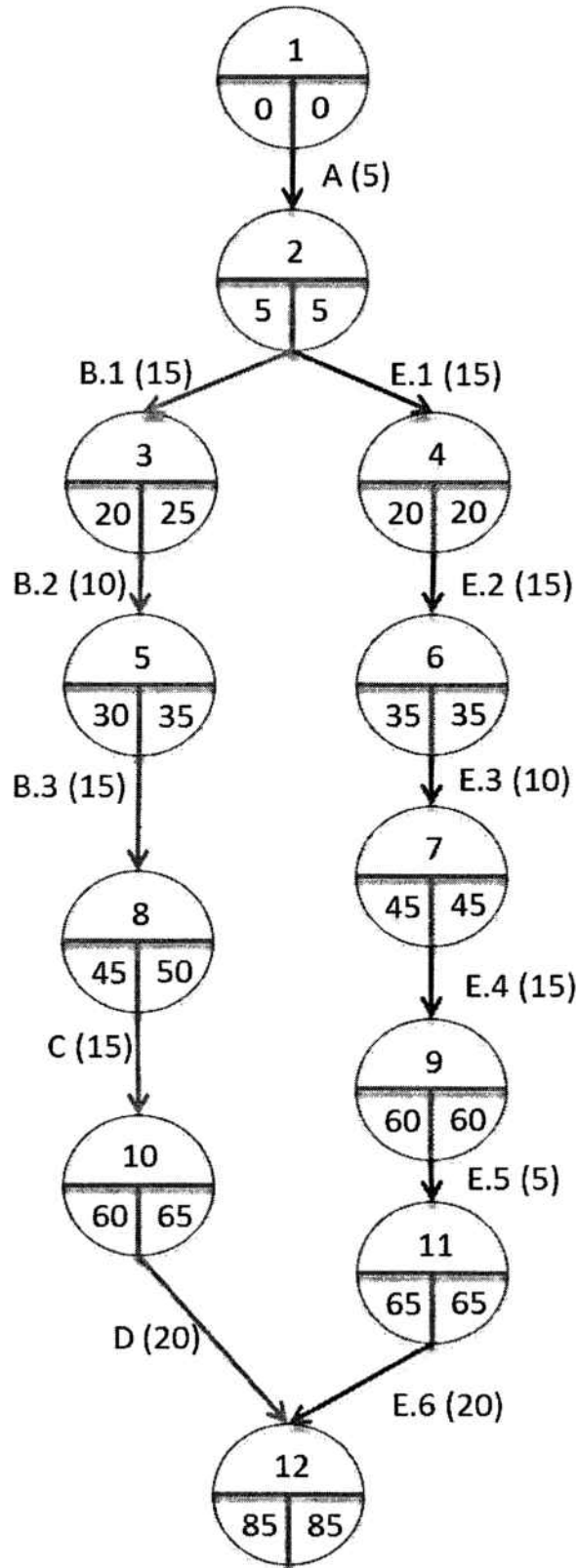


Figura 26. Diagrama PERT

9.3 DIAGRAMA GANTT

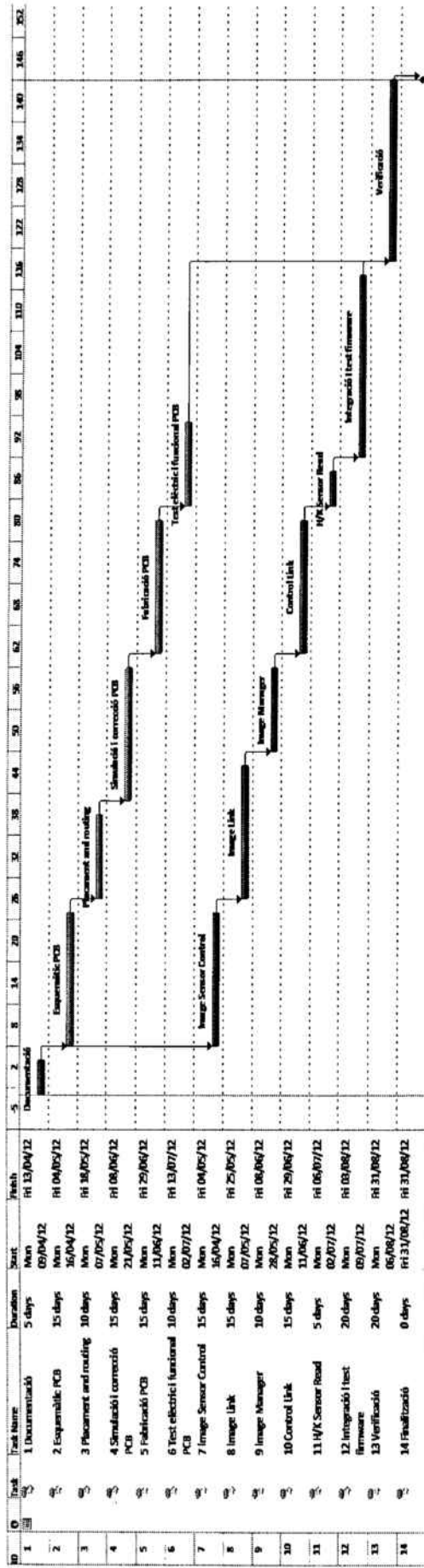


Figura 27. Diagrama de GANTT

10 CONCLUSIONS

S'ha aconseguit desenvolupar el firmware i comprovat el seu funcionament amb els paràmetres per defecte, tant en software com en una PCB. Resta però desenvolupar una verificació exhaustiva del seu funcionament amb les diferents combinacions de paràmetres.

A més, encara que el firmware de la FPGA ja està preparat per programar en la placa de prototipatge d'Aldec, queda pendent programar-la i comprovar en la PCB definitiva que s'han assolit els objectius establerts.

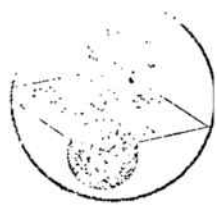
La freqüència màxima de funcionament que s'ha aconseguit permet assegurar que en les condicions més adverses suposades la FPGA continuarà funcionant correctament. En cas però que la freqüència de funcionament és vulgui superior als 100 MHz del rellotge principal o baixar per sota de 10 bits la resolució dels píxels és necessari ajustar els temps d'espera per la STAR 1000. Aquesta modificació no ha de modificar de forma rellevant la freqüència màxima de funcionament ni el comportament del sistema, però sí que pot canviar el temps d'adquisició per imatge depenent de com és decideixi realitzar. No sembla necessari generar un domini de rellotge separat donat que l'únic altre element que pot ser un factor limitant és l'ADC de H/K i la seva freqüència màxima és de 16 MHz. La seva freqüència mínima però, de 8 MHz, sí que és un factor limitant per l'extrem inferior, no permeten disminuir la freqüència del cristall de 96 MHz en el cas que és vulgui una resolució 12 bits per píxel.

Per tant, resulta necessari decidir en funció del frame rate que és desitgi quina freqüència de rellotge és vol i quina resolució de píxel resulta necessària. A partir d'aquests valor és pot reajustar els temps de la STAR 1000 i de l'ADC de H/K si fos necessari. En cas que sigui necessari generar un altre domini de rellotge encara queda un quadrant clock que no s'ha utilitzat i pot ser el mateix per tota la FPGA.

En tot cas, resulta convenient abans de realitzar aquests canvis comprovar el bon funcionament del sistema en la PCB pels valors per defecte dels diferents paràmetres.

11 BIBLIOGRAFIA

- [1] Jet Propulsion Laboratory, «Safe and efficient one-hot state machine,» 2005. [En línia]. Available: <http://trs-new.jpl.nasa.gov/dspace/bitstream/2014/37456/1/05-2039.pdf>. [Últim accés: 7 Juny 2012].
- [2] ESA, «Active Pixel Sensor,» 2 Oct 2004. [En línia]. Available: <http://sci.esa.int/science-e/www/object/index.cfm?fobjectid=36027>. [Últim accés: 2 Apr 2012].
- [3] D. Fritsch i R. Spiller, «CCD versus CMOS - has CCD imaging come to an end?,» *Photogrammetric Week 01*, pp. 131-137, 2001.
- [4] Actel, «Total System Power in FPGAs,» 2006. [En línia]. Available: <http://www.actel.com/documents/UnderstandingFPGAPower.pdf>. [Últim accés: 2 Apr 2012].
- [5] Actel, «Total System Power,» 2008. [En línia]. Available: http://www.actel.com/documents/Power_PIB.pdf. [Últim accés: 2 Apr 2012].
- [6] Russel i R. Russel, «Windows to the universe,» National Earth Science Teachers Association, 4 May 2010. [En línia]. Available: <http://www.windows2universe.org/sun/mission.html>. [Últim accés: 3 Apr 2012].
- [7] Wikipedia, «Wikipedia,» Wikimedia Foundation Inc., 28 Dec 2011. [En línia]. Available: http://en.wikipedia.org/wiki/List_of_projects_of_the_European_Space_Agency. [Últim accés: 3 Apr 2012].
- [8] ESA, «European Cooperation for Space Standardization,» [En línia]. Available: <http://www.ecss.nl>. [Últim accés: 5 Apr 2012].
- [9] G. Cook, «Catalogue of parametrised CRC algorithms,» 02 Mar 2012. [En línia]. Available: <http://regrex.bbcmicro.net/crc-catalogue.htm>. [Últim accés: 07 Apr 2012].
- [10] ITU, «International Telecommunication Union,» ITU, 10 Sep 2001. [En línia]. Available: <http://www.itu.int/rec/T-REC-V.41-198811-I/en>. [Últim accés: 07 Apr 2012].
- [11] CHEMANDY ELECTRONICS Ltd, «Coplanar Waveguide With Ground Characteristic Impedance Calculator,» CHEMANDY ELECTRONICS Ltd, 15 May 2012. [En línia]. Available: <http://chemandy.com/calculators/coplanar-waveguide-with-ground-calculator.htm>. [Últim accés: 3 Juny 2012].
- [12] J. Karki, «Analysis of fully differential amplifiers,» *Analog Applications Journal*, pp. 48-53, November 2000.



- [13] Actel Corporation, «A Power-On Reset (POR) Circuit for Actel Devices,» September 1997. [En línia]. Available: http://www.actel.com/documents/POR_Circuit_AN.pdf. [Últim accés: 6 Juny 2012].
- [14] Actel Corporation, «Actel eX, SX-A and RT54SX-S I/Os,» Juny 2002. [En línia]. Available: http://klabs.org/richcontent/fpga_content/DesignNotes/SX_And_SX-S/antifuse_io_an_july_02.pdf. [Últim accés: 6 Juny 2012].