



UNIVERSITAT DE
BARCELONA

Laboratorio de Diseño Microelectrónico

del Grado de Ingeniería Electrónica de Comunicaciones de la Universidad de Barcelona

Ángel Diéguez

Departamento de Ingeniería Electrónica y Biomédica

Martí i Franquès, 1

08028 Barcelona (Spain)

Índice

INTRODUCCIÓN	4
LAB 1. CONFIGURACIÓN DEL ENTORNO Y LAS HERRAMIENTAS CAD.....	5
COPIAR LOS ARCHIVOS DE CONFIGURACIÓN	5
CREAR UNA BIBLIOTECA DEL CURSO EN VIRTUOSO.....	6
APÉNDICE A: COMANDOS BÁSICOS DE LINUX	9
LAB 2. CREACIÓN DE UNA CELDA.....	11
INSTANCIACIÓN DE LOS COMPONENTES.....	12
CONEXIÓN DE LOS COMPONENTES	14
AÑADIR ETIQUETAS.....	14
EDICIÓN DE PROPIEDADES DE OBJETO	14
AÑADIR COMENTARIOS.....	14
CREACIÓN DE PINES	15
OBSERVACIONES:	16
CREACIÓN DE SÍMBOLOS	16
ATAJOS DE TECLAS ÚTILES EN LA VISTA ESQUEMÁTICA:	18
LAB 3. SIMULACIÓN DE LA RESPUESTA TRANSITORIA DEL INVERSOR	19
CREACIÓN DEL TESTBENCH Y SIMULACIÓN.....	19
OPTIMIZACIÓN DEL INVERSOR: SIMULACIÓN PARAMÉTRICA	28
LAB 4. INTRODUCCIÓN AL LAYOUT	32
CREACIÓN DE UN DISEÑO	32
CREACIÓN DE UN TRANSISTOR PMOS	34
VERIFICACIÓN DE REGLAS DE DISEÑO CON ASSURA	36
MÉTODOS ABREVIADOS DE TECLADO ÚTILES EN LA VISTA DE LAYOUT:.....	39
TRUCOS DE EDICIÓN DE LAYOUT	40
LAB 5. CREACIÓN DEL LAYOUT DEL INVERSOR	42
REALIZACIÓN DEL INVERSOR COMPLETO: DEL DIAGRAMA DE STICKS A LA CAPA FÍSICA.....	42
REALIZACIÓN DE LAS CONEXIONES.....	42
CONEXIONES DE SUSTRATO.....	44
COLOCACIÓN DE PINES	46
LAYOUT VS. SCHEMATIC (LVS).....	47
EXTRACCIÓN DEL LAYOUT	49
LAB 6. USO DE P CELLS (CELDAS PARAMETRIZABLES)	50
LAB 7. DISEÑO DE UNA NAND O NOR	51
NOTA PARA EL PRÓXIMO LAB	51

PRE-LAB 8: PREPARACIÓN PARA EL LABORATORIO 5	52
LAB 8. DISEÑO DE UNA FUNCIÓN BOOLEANA COMPLEJA.....	54
PARTE 1: NAND O NOR DE 3 ENTRADAS	55
PARTE 2: INTERCAMBIO DE PUERTAS	55
PARTE 3: FUNCIÓN BOOLEANA.....	56
RESTRICCIONES DE DISEÑO:	57
APÉNDICE: GENERACIÓN DEL LAYOUT DESDE EL ESQUEMÁTICO.....	58
LAB 9: DEPURACIÓN DE UN DISEÑO	61
LAB 10: ESTUDIO DE UN FLIP-FLOP D	62
DISEÑA UN TESTBENCH.....	62
TIEMPOS DE SETUP Y HOLD.	63
FLIP-FLOPS D EN CASCADA	63

Introducción

En este laboratorio se te pedirá que diseñes circuitos, observes los efectos de diferentes parámetros de diseño en el rendimiento del circuito integrado (CI) y saques conclusiones de los datos recopilados. Generalmente no se te darán instrucciones explícitas sobre qué medir o hacer, y no se te dará una plantilla de informe de laboratorio para completar. Especialmente a medida que avanza el semestre, se te desafiará a completar una tarea general y luego se espera que descubras cómo lograr esa tarea por tu cuenta. No te frustres si tienes problemas con algunos de los laboratorios o si sus diseños no funcionan en el primer intento. La mayor parte del aprendizaje que ocurre en el laboratorio de DM no proviene de los resultados específicos, sino del proceso de obtención de esos resultados.

En el laboratorio se hará un uso extensivo de la plataforma Virtuoso, que es un conjunto de herramientas de Cadence para el diseño, simulación, diseño y validación de CIs. Cadence Virtuoso, una plataforma comercial, es uno de los conjuntos de herramientas más utilizados disponibles en la industria del diseño de circuitos integrados y es extremadamente potente. Existe una curva de aprendizaje significativa asociada con el uso productivo del conjunto de herramientas de Cadence, pero los laboratorios están estructurados para ayudar a navegar esta curva de aprendizaje.

Debes mostrar los resultados de tu trabajo en los laboratorios que se requiera mediante la realización de un informe. Especialmente debes incluir en tu informe la respuesta a las preguntas que se plantean en el guion. Para generar las imágenes puedes usar las herramientas de exportación de imagen que hay en Cadence. **Es muy importante que sintetices la información que entregas en el informe. Te recomendamos que seas breve pero que ilustres tu trabajo con la información apropiada.**

En los laboratorios que se requiera entregar informe, este deberá estar subido en el campus el día de antes del siguiente laboratorio antes de las 24h. No subirlo a tiempo implicará un 20% de reducción en la nota por día de retraso. Solo se permitirá un intento de envío.

El informe consiste en hacer una presentación en PowerPoint. Asegúrate de que tus esquemas, y capturas sean claros y legibles. Asegúrate de etiquetar claramente y poner pies de figuras en tus esquemas y figuras. El objetivo es crear un informe conciso que pueda evaluarse rápidamente. Finalmente, convierte el informe en un archivo pdf antes de subirlo al campus. **Usa el siguiente nombre: nombre.apellidos.labX.pdf** donde X indica el número de laboratorio.

Además, en todos los laboratorios has de enseñar tu trabajo a los profesores que tomaran nota de tu progreso.

En este laboratorio **NO** tienes que entregar informe. 1 sesión.

Lab 1. Configuración del entorno y las herramientas CAD

La herramienta para diseño de circuitos analógicos y digitales sencillos en Cadence se llama Virtuoso. Ejecutar Virtuoso por primera vez requiere completar los siguientes pasos: copiar los archivos de configuración y crear una biblioteca del curso en Virtuoso.

Copiar los archivos de configuración

Abre un terminal

Ve a tu carpeta raíz

`cd ~` o `cd` (vigila el espacio después de `cd`)

Crea un directorio de trabajo (le puedes llamar `dm`)

`mkdir dm` (vigila el espacio después de `mkdir`)

Cambia al directorio de trabajo

`cd dm` (vigila el espacio después de `cd`)

Tenemos un fichero de configuración preparado para arrancar Virtuoso. Copia el fichero de configuración en vuestro directorio desde su ubicación:

`cp /eda/tech/GPDK45nm/conf/conf45 .` (el `.` al final indica el directorio actual)
(vigila el espacio después de `cp` y antes de `.`)

El comando `cp` copia 1 fichero y `cp -r` copia recursivamente todos los ficheros que haya en el directorio de origen.

Ahora debes ejecutar ese script para establecer la configuración para Cadence y el kit de diseño y otras herramientas

`bash` (cambia al gestor `bash` de línea de comandos)

`source ./conf45` (esto ejecuta el script `conf45`)

(vigilad el espacio antes de `./`)

Copia también estos ficheros:

`cp /eda/tech/GPDK45nm/conf/assura_tech.lib .`

`cp /eda/tech/GPDK45nm/conf/pvtech.lib`

También debes crear links simbólicos a ciertos ficheros:

```
ln -s /eda/tech/GPDk45nm/gpdk045_v_6_0/models
```

Ten en cuenta que siempre hay un espacio entre el comando y sus argumentos.

El último paso es copiar el fichero 'cds.lib' en tu directorio. Este fichero tiene librerías básicas de cadence y del proceso escogido y en el se irán añadiendo las librerías que tú crees.

```
cp /eda/tech/GPDk45nm/conf/cds.lib
```

Comprueba que en este fichero están definidas las librerías. Para ello lee el fichero por pantalla:

```
more ./cds.lib
```

Debería sacar por pantalla:

```
[alumno@localhost 45]$ more cds.lib
INCLUDE /eda/tech/GPDk45nm/gpdk045_v_6_0/cds.lib
UNDEFINE analogLib
DEFINE analogLib /eda/cadence/2021-22/RHELx86/IC_6.1.8.210/tools/dfII/etc/cdslib/artist/analogLib
INCLUDE /eda/tech/GPDk45nm/lan/flow/tlu1/reference_libs/GPDk045/gscLib045_svt_v4.4/cds.lib
INCLUDE /eda/tech/GPDk45nm/lan/flow/rfkit/reference_libs/GPDk045/giolib045_v3.3/cds.lib
```

Los pasos anteriores solo los tendrás que hacer una vez. En las siguientes sesiones solo deberás cambiar al directorio de trabajo, y ejecutar el script de configuración:

```
bash
```

```
cd dm
```

```
source ./conf45
```

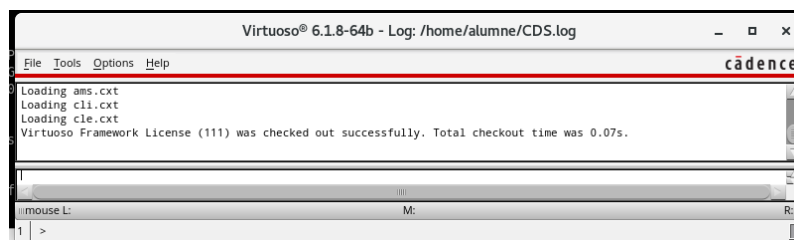
Crear una biblioteca del curso en Virtuoso.

A continuación, vamos a ejecutar Virtuoso y crear tu primera librería en Cadence:

```
virtuoso &
```

 (el & al final hará que la ventana no quede bloqueada por el programa y puedas seguir usándola)

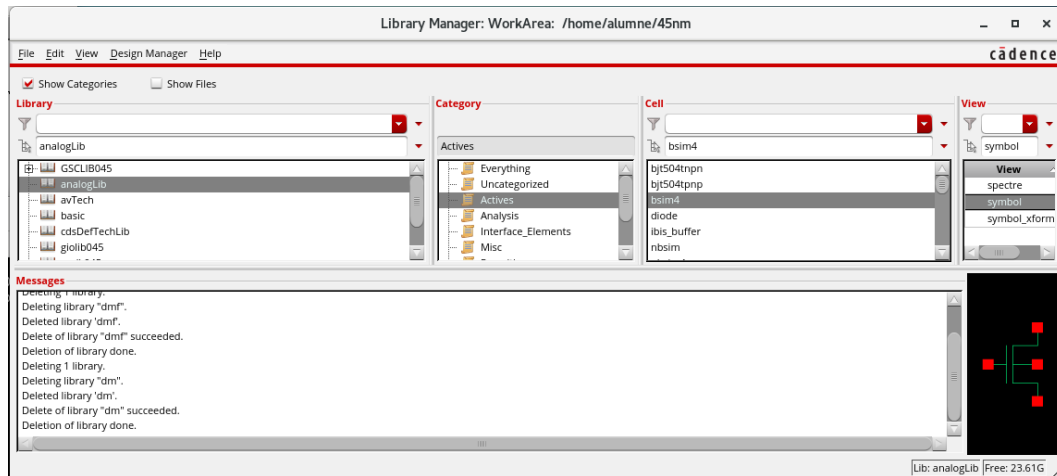
Debería abrirse la ventana del intérprete de comandos (CIW),



Todos los errores y advertencias se comunican al usuario a través del CIW, así que asegúrese de usarlo siempre como guía al solucionar problemas.

Abre la ventana de Library Manager (gestor de librerías, LMW). Para ello haz

Tools→Library Manager



El gestor de bibliotecas se utiliza para organizar los datos en bibliotecas y celdas.

Observa detenidamente la ventana de Library Manager. Es especial,

Marca Show Categories

Clica en una librería y observar la columna Category

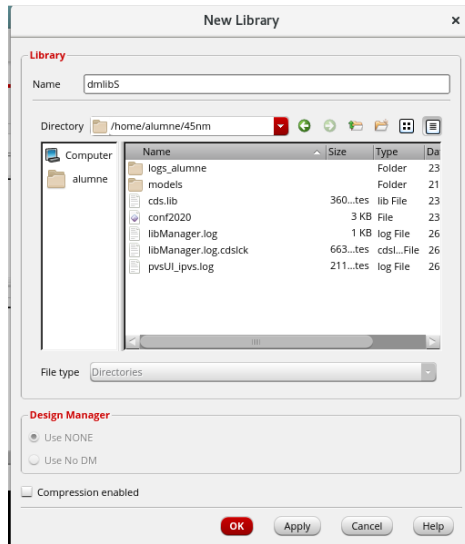
Clica en una categoría y observar las celdas (columna Cell)

Observa los tipos de vista de una celda (columna View).

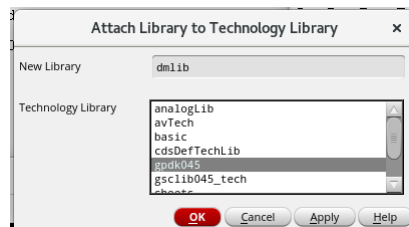
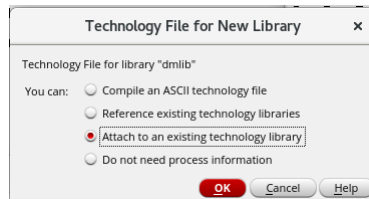
Ahora necesitamos hacer nuestra propia biblioteca. Agruparemos nuestros diseños en librerías. Cada librería puede contener múltiples "Celdas" (Cells) y cada celda puede tener múltiples "Vistas" (Views). Primero creamos una nueva biblioteca llamada "dmlib" y después crearemos celdas para cada laboratorio en dmlib.

Crea una librería nueva con nombre por ejemplo dmlib:

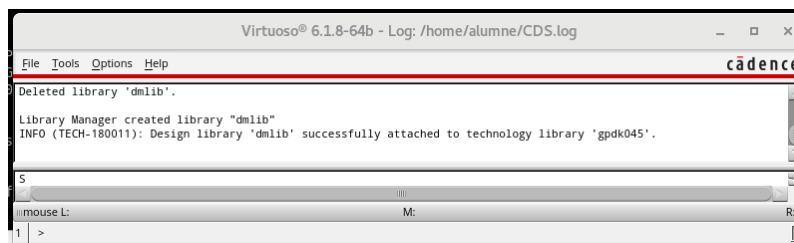
File→New Library



La tecnología que usaras corresponde a un proceso genérico CMOS de Cadence llamado Generic Process Design Kit ("GPDK045") de 45nm. Has de asociar tu librería dmlib al proceso tecnológico gpdk045. Para ello, marca 'Attach to an existing technology library',



En la ventana principal de Virtuoso debería aparecer:



Ya puedes cerrar el programa.

En CIW File→Exit

Apéndice A: Comandos básicos de Linux

Este apéndice presenta algunos comandos básicos de UNIX de uso común. Los comandos de Unix, así como los nombres de archivo, distinguen entre mayúsculas y minúsculas.

`ls -l directorio`

Enumera el contenido del directorio. Si no se proporciona ningún nombre de directorio, se muestra el contenido del directorio actual.

`cp source_file target_file`

Copia el `source_file` en un nuevo archivo denominado `target_file`.

`mv old_filename new_filename`

Mueve o cambia el nombre del `old_filename` a `new_filename`.

`rm trash_file`

Elimina/elimina el fichero `trash_file`. Tenga en cuenta que el archivo eliminado no se puede "recuperar", así que asegúrate de saber lo que vas a eliminar.

`mkdir new_directory`

Crea un nuevo subdirectorio denominado `new_directory` dentro del directorio actual.

`cd directorio`

Cambia el directorio actual al directorio dado. Si no se proporciona ningún nombre de directorio, el directorio actual cambiará al directorio principal del usuario.

`pwd`

Muestra el directorio de trabajo actual

`rmdir directorio`

Elimina el directorio.

Un par de símbolos especiales útiles

~

El símbolo `~` se utiliza para denotar el directorio de inicio del usuario. Si la ruta completa del directorio de inicio resulta ser `/home/username/`, entonces usando `~` representa esa cadena completa. Por ejemplo, si desea ver el contenido de un archivo en el directorio principal, los siguientes comandos producen el mismo resultado

```
more /home/username/myfile
```

```
more ~/myfile
```

```
&
```

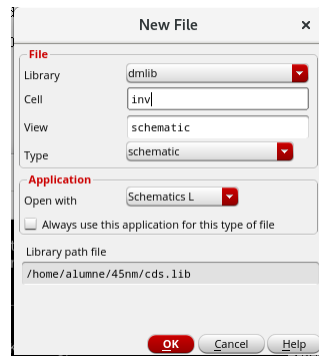
Al iniciar un programa que se abre en una nueva ventana, colocar un "&" al final de la línea de comandos permite al usuario mantener el acceso a la línea de comandos, es decir, el "&" indica al programa que se ejecute en segundo plano.

En este laboratorio **NO** has de entregar informe. 1 sesión.

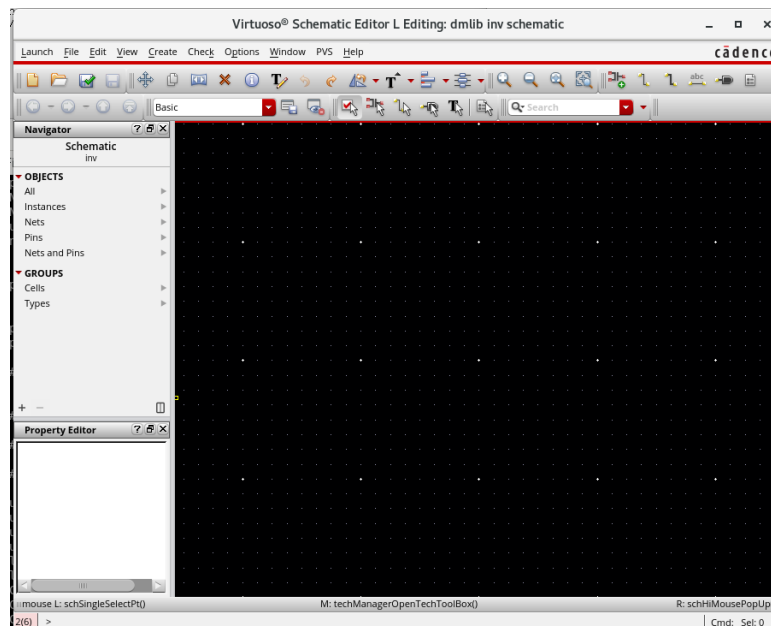
Lab 2. Creación de una celda

Las celdas se organizan dentro de librerías dentro de dflib y pueden tener diferentes tipos (views): symbol, schematic, layout, extracted, ... Por ejemplo, un schematic (esquemático) es una vista de celda que describe las conexiones eléctricas de la celda. Un layout es un vista de celda que describe la ubicación física y el enrutamiento de los elementos contenidos en la celda. Un symbol (símbolo) es una vista de celda que describe la forma en que la celda se representará gráficamente si se usa en otras celdas. Si aún no entiendes completamente esto, no pasa nada; te familiarizarás con las celdas y las vistas de celdas a medida que las uses en el laboratorio.

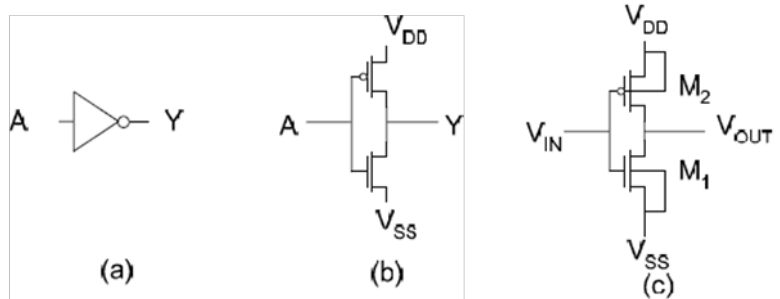
Abre Virtuoso y el Library Manager. Selecciona tu librería dmlib creada en el laboratorio anterior clicando en su nombre y crea una celda tipo esquemático. En esta práctica vamos a crear una celda inversora. Llámala "inv". Haz File→New→Cell View



Aparecerá la ventana de edición de esquemáticos vacía.



Es posible que en las clases de teoría aun no hayas visto como es un inversor CMOS. En la siguiente figura se muestra el símbolo más comúnmente usado (a), un esquemático simple (b) y un esquemático detallado con todas las conexiones (c). Su función es la de invertir la señal de entrada A en la salida Y. Usaremos la figura (c) como referencia para implementar tu diseño. El transistor M1 es un transistor nMOS y M2 un pMOS. La conexión de sustrato de M1 va a VSS (gnd) y la de M2 a VDD. **¿Puedes explicar por qué?**



Instanciación de los componentes

Para colocar todos los componentes en la ventana de edición de esquemáticos, haz clic en el elemento de menú

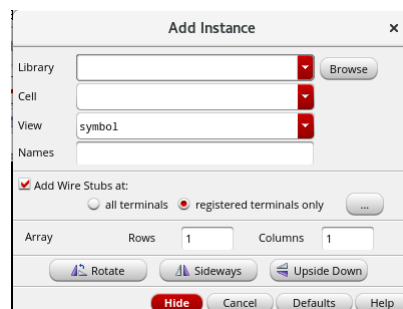
Create→Instance



o en el menú superior clicas en

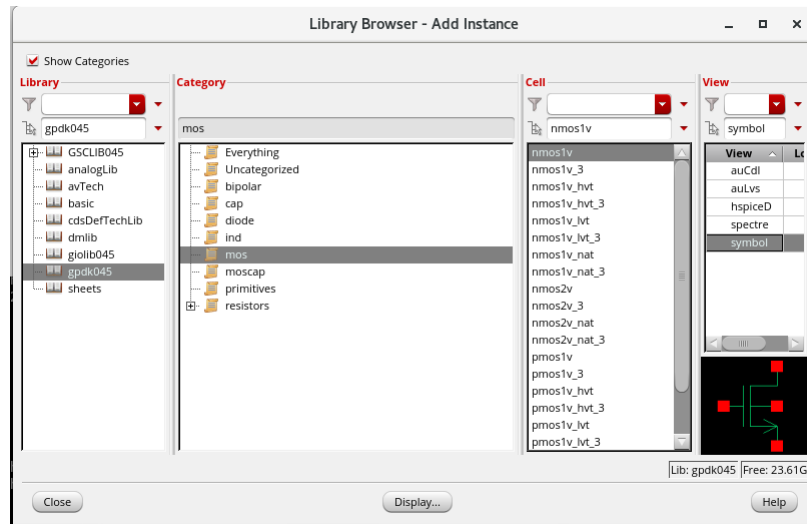
Puedes utilizar métodos abreviados de teclado para tareas comunes (hotkeys). Estos pueden mejorar en gran medida la velocidad y la eficiencia. Por ejemplo, en el editor de esquemáticos "i" sustituye "Create Instance". Los métodos abreviados de teclado se enumeran junto a sus entradas de menú y se proporciona una lista de comandos útiles al final de este documento.

Aparecerá la siguiente ventana




Clicando en Browse podremos seleccionar el componente desde la ventana de selección de componentes (es similar al Library Manager). En el "Library Browser", cambia la biblioteca a la de nuestra tecnología

"gpdk045". Si haces clic en "Show Categories" veras las celdas ordenadas por tipo. Para insertar un nMOS debes clicar la Category mos y la Cell nmos1v. Has de elegir la View symbol.



Observa cómo cambia el formulario "Add Instance" para cambiar mostrar los parámetros de un nMOS. Los transistores nMOS que coloques en el esquemático tendrán, por defecto, un ancho de 120nm y una longitud de 45nm. Pero puedes cambiar el valor tanto de ambos parámetros. Para hacer esto debes modificar el campo "Width" y "Length". Ten en cuenta que al introducir números en el entorno de diseño y simulación de Cadence puedes utilizar notación ingenieril como k (10^3), M (10^6), m (10^{-3}), μ (10^{-6}), n (10^{-9}), etc. El sufijo debe escribirse justo al lado del número sin espacios ni unidad. Por ejemplo, 1nm se puede escribir como "1n" o "1e-9", pero no como "1 n", "1nm" o "1 nm". Puedes dejar todos los parámetros por defecto.


Si mueves el cursor sobre un espacio vacío en la ventana de edición de esquemáticos verás un nMOS de color amarillo "flotando" con el cursor. Si haces clic con el botón izquierdo del ratón en cualquier lugar de la ventana, se colocará una copia del nMOS. Hazlo para insertarlo. Si necesitas un componente en una orientación diferente, haz clic con el botón derecho del ratón, o haz clic en "Rotate", "Sideways" o "Upside Down" en el formulario "Add Instance" o en el símbolo .

Observaras que se siguen añadiendo nMOS hasta que des a la tecla ESC.

Para completar tu inversor deberás insertar un pmos1v (librería gpdk045).

Los componentes que se han de fabricar (transistores, resistencias, capacidades, ...) se han de escoger de las librerías del proceso tecnológico (gpdk045). Los componentes que no se han de fabricar sino que se insertan solo por motivos de la simulación (por ejemplo una capacidad ideal en la salida) o las fuentes de alimentación, se escogen de las librerías de Cadence, en particular de analogLib.

Conexión de los componentes

Para interconectar los componentes haz Create→Wire (Narrow) o , y clic origen, clic final (También podéis dar a la tecla w). Los componentes se interconectan en los terminales rojos que tienen. Si cometes un error y deseas salir del modo de ruteado, presiona la tecla "Esc" en el teclado. Puede deshacer la última acción presionando "u" y rehacerla presionando "Shift u".

Otra forma de agregar conexiones es primero llevar el puntero del ratón sobre el terminal rojo del terminal de un componente, hacer clic on el botón izquierdo y arrastrar el ratón. Verás un cable iniciado. Puedes soltar el botón y el ruteado continuará. Presionas "Esc" en cualquier momento para cancelar.

Añadir etiquetas

A medida que conectas los componentes, a cada conexión se le asigna automáticamente un nombre como net1, net2, etc. Estos nombres son perfectos para el software, pero no son fáciles de recordar para nosotros. Agregar etiquetas a los cables nos ayuda a interactuar con las herramientas de manera más eficiente. Para agregar una etiqueta a un cable, haga clic en el elemento de menú Create→Wire Name (o usa el acceso directo "I"). En el formulario, escribe "In Out". Clica en Hide. Deberías ver In "flotante" junto al cursor. Haz clic con el puntero del ratón en la red que deseas llamar In. Observa como aparece la siguiente etiqueta de la lista que escribiste en el formulario una vez que ha colocado la primera etiqueta. Esta es una forma conveniente de agregar múltiples etiquetas sin tener que ir y venir entre el formulario y la ventana de edición de esquemáticos.

Las etiquetas aportan funcionalidad además de ser ayudas visuales. Si dos redes no conectadas tienen el mismo nombre, se consideran conectadas eléctricamente (esto puede ser útil más adelante cuando se conectan varios componentes a VDD y VSS). Esta característica puede permitirte crear esquemas con menos desorden.

Edición de propiedades de objeto

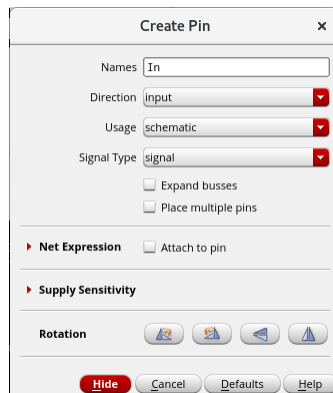
Si una vez colocado el componente deseas modificar algún parámetro, debes editar sus propiedades. Para ello clica en el componente y haz Edit→Properties→Object (letra q en el teclado para el método abreviado). También puedes modificar algunas propiedades en la sub-ventana 'Property Editor'.

Añadir comentarios

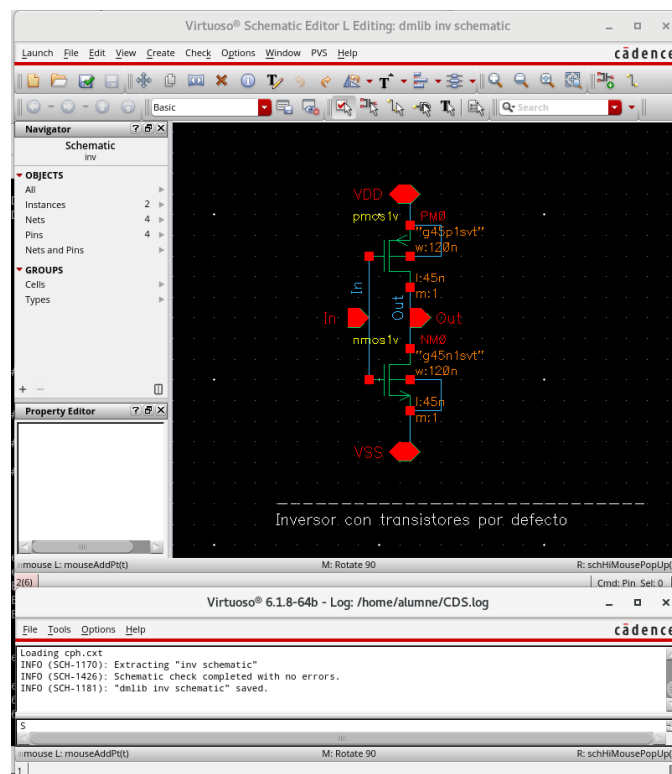
Especialmente para diseños más grandes, es una buena práctica agregar comentarios a los esquemas. Haz clic en Add→Note→Text... y rellena el formulario. Los comentarios son recordatorios útiles para ti mismo sobre el esquema en particular y puede útil proporcionar instrucciones para otros si compartes tus esquemas.


Creación de pines

Nuestro objetivo es diseñar este inversor para que podamos usarlo en futuros laboratorios. Por lo tanto, debemos crear entradas y salidas para que otros diseños puedan interactuar con este inversor. Para ello, debemos crear pines para cada conexión. Los pines pueden ser de diferentes tipos dependiendo del uso previsto del pin. Para agregar pines, ve a Create→pin (o presiona "p" en el teclado). Esto abrirá una pantalla "Create pin" que te permitirá definir nombres de pin y tipos de E/S.



Crea pines para cada conexión. Haz que el pin "In" sea un pin de entrada y el pin "Out" sea un pin de salida. Los pines de VDD y GND han de ser InputOutput. Ten en cuenta que, si has etiquetado los cables, los nombres de los pines deben coincidir con las etiquetas de los cables. Cuando hayas hecho esto, debes tener un esquema que se parezca a este:



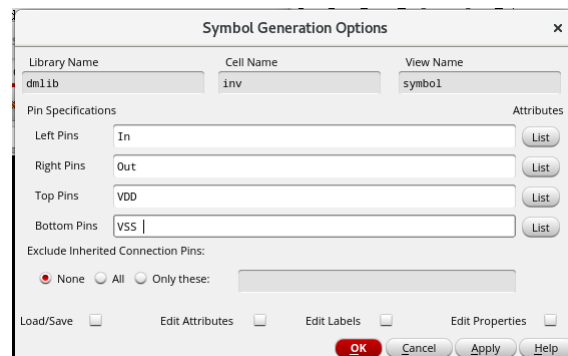
Una vez acabes, verifica y guarda el esquemático. Para asegurarnos de que no hay componentes flotantes o problemas de conexión, debemos hacer "Check and Save" del diseño. Para ello haz File→ Check and Save o clicas en . Comprueba la ventana CIW para asegurarte de que el diseño se guardó sin errores. La información generada en el CIW puede ser abrumadora al principio, pero se recomienda que te tomes tiempo para entenderla. El CIW es una herramienta crítica para depurar problemas en Virtuoso.

Observaciones:

- 1) Observar la parte inferior de la ventana de edición de esquemáticos. Siempre indica la acción a realizar cuando se ejecuta un comando.
- 2) Los comandos se pueden ejecutar mediante hotkeys. Las hotkeys se muestran al lado del comando en los menús. Algunas ya las hemos visto.
- 3) Graba el trabajo de vez en cuando. **No se hacen copias automáticas.**

Creación de símbolos

Para usar nuestro inversor en otros diseños, necesitamos crear un símbolo para nuestro diseño. Mientras estés en el editor de esquemáticos, en la barra de menús, haga clic en Create Cellview→From Cellview. Comprueba que la ubicación en los campos "Library name" y "Cell name" sea correcta y luego haga clic en OK. Se abrirá una ventana de generación de símbolos. Asegúrate que tu pin In esté en la sección "Left Pins", tu pin Out esté en la sección "Right Pins", VDD esté en la sección "Top Pins" y el pin VSS esté en la sección "Bottom Pins", como se ve a continuación:



Una vez hecho esto, haz clic en OK. Aparecerá una nueva ventana con un símbolo rectangular básico en ella. Elimina los cuadros rojo y verde, dejando solo los pines, y usa la paleta de edición disponible en la barra de herramientas para crear un símbolo que se parezca a un inversor. Puedes encontrar las herramientas de línea y círculo particularmente útiles.

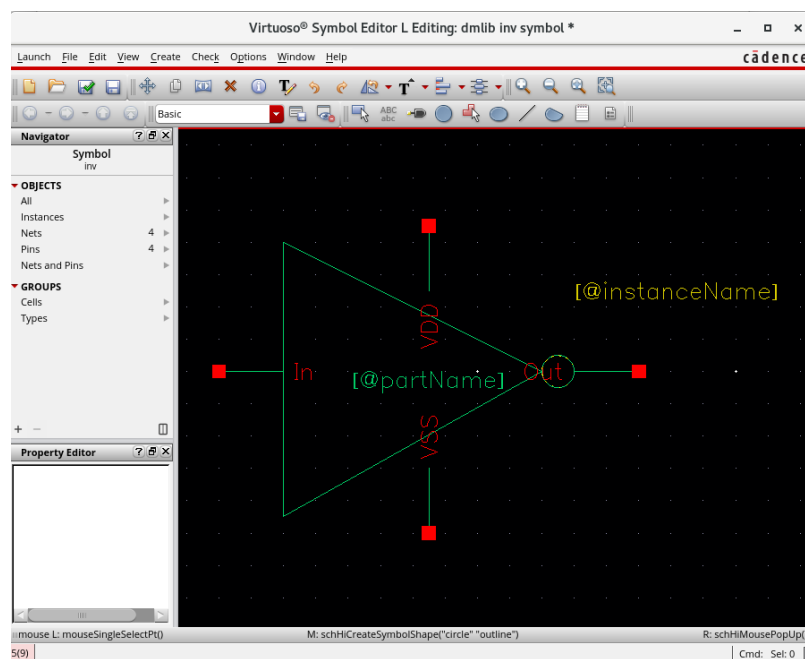


Ten en cuenta que los únicos elementos en este editor que tienen propiedades eléctricas son los cuadrados rojos creados por el generador de símbolos, que son los pines del inversor a los que se

conectará más adelante en este laboratorio. Las líneas y formas verdes son puramente gráficas y no tienen conectividad eléctrica. Puedes mover los pines rojos para que encajen bien en el símbolo de tu inversor.

Puede ser tentador omitir este paso porque no es eléctricamente importante, sin embargo, te recomendamos que no lo hagas. En futuros laboratorios, utilizarás este inversor y te darás cuenta rápidamente de que es mucho más fácil analizar un circuito cuando tiene símbolos familiares que describen la función del componente. La creación de símbolos descriptivos es un paso importante en el proceso de diseño.

Cuando hayas acabado, es posible que tenga un símbolo que se parezca a la imagen de abajo. No lo olvides comprobar y guardar antes de continuar.



Atajos de teclas útiles en la vista esquemática:

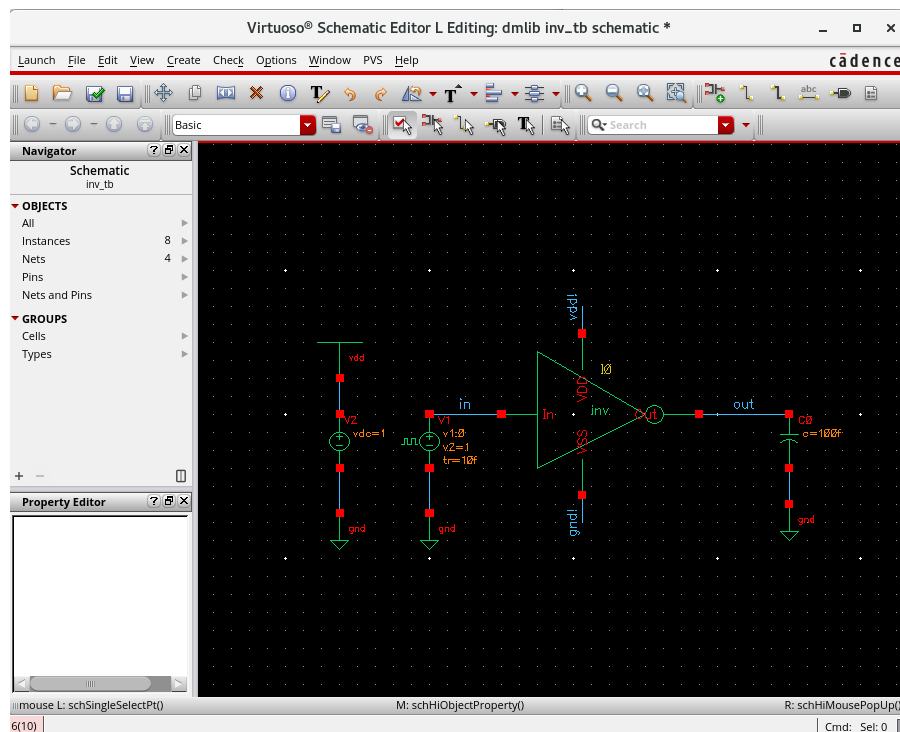
Acción	Tecla
Agregar instancia	i
Agregar pin	p
Wire	w
Deshacer	p
Rehacer	mayús +u
Propiedades	q
Rotar	r
Copiar	c
Comprobar y guardar	F8
Mover	m
Dar nombre a net	l
Resetear zoom (fitear)	f
Hacer zoom	arrastrando con el ratón (clic en botón derecho)

En este laboratorio SI has de entregar informe. 2 sesiones.

Lab 3. Simulación de la respuesta transitoria del inversor

Creación del testbench y simulación

Ahora que tenemos un símbolo para nuestro inversor, vamos a configurar el banco de pruebas (testbench) para hacer una simulación en el tiempo de éste. Crea una nuevo esquemático y llámalo inv_tb en la librería dmlib. A continuación, se muestra un banco de pruebas recomendado.



Los componentes los podéis encontrar en:

- Inversor, en vuestra librería dmlib
- vdc en analogLib, independent sources
- vpulse en analogLib, independent sources
- gnd en analogLib, globals
- vdd en analogLib, globals
- cap, analogLib, passives

Fijaos que la fuente global Vdd se define en el testbench conectándole una fuente de con un cierto valor.

Los parámetros para las fuentes son:

vdc, 1.0V

vpulse, V1=0V, V2=1.0V, Period=10ns, Rise time=10fs, Fall time=10fs, Pulse width=5ns

Property	Value	Display
Library Name	analogLib	off
Cell Name	vpulse	off
View Name	symbol	off
Instance Name	V1	off

User Property	Master Value	Local Value	Display
Ignore	TRUE		off

CDF Parameter	Value	Display
Frequency name for 1/period		off
Noise file name		off
Number of noise/freq pairs	0	off
DC voltage		off
AC magnitude		off
AC phase		off
XF magnitude		off
PAC magnitude		off
PAC phase		off
Voltage 1	0 V	off
Voltage 2	1 V	off
Period	10n s	off
Delay time		off
Rise time	10f s	off
Fall time	10f s	off
Pulse width	5n s	off
Temperature coefficient 1		off
Temperature coefficient 2		off
Nominal temperature		off
Type of rising & falling edge		off

y para la capacidad a la salida:

cap, 100fF

Recuerda que para fijar los parámetros de los componentes debes editar las propiedades del componente,

Seleccionar componente

Edit-Properties-Objects o  o q

Introducir el valor del parámetro SIN unidades (es correcto 10f, pero NO 10fF)

También podéis modificar los parámetros usando el recuadro izquierdo de la ventana de virtuoso.

Una vez grabado el testbench haz Check & Save y lanza el entorno de simulación (ADE L),

Launch→ADE L

Escoge algunos parámetros del simulador si no están ya puestos:

Setup→Environment

Escribe en Switch View List 'spectre cmos_sch cmos.sch schematic veriloga'

Escribe en Stop View List 'spectre'

El paso anterior busca en orden las vistas spectre cmos_sch cmos.sch schematic veriloga y simula con la primera que encuentra.

Selecciona el tipo de análisis,

Analysis→Choose→tran

Escribe en Stop Time 50ns

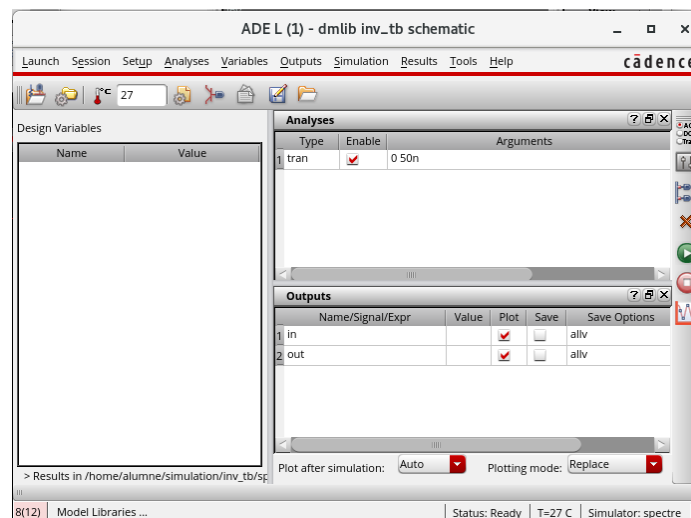
Selecciona las ondas a dibujar,

Outputs→To be plotted→Select on Design

Clica sobre las líneas in y out

NOTA: clica sobre las líneas o labels para tensiones y sobre los pines para corrientes

La ventana de AD-L debería quedar así:



Para grabar el estado de la simulación,

Session→Save State

Aquí podéis elegir Directory y un nombre de estado:

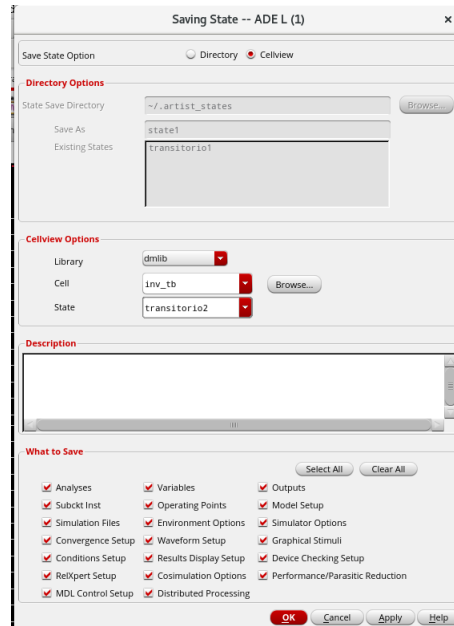


Con este método si otro día queréis recuperar el estado para no definir todo de nuevo, simplemente hay que hacer

Session→Load State

Y escoger el estado.

También podéis escoger la opción Cellview:



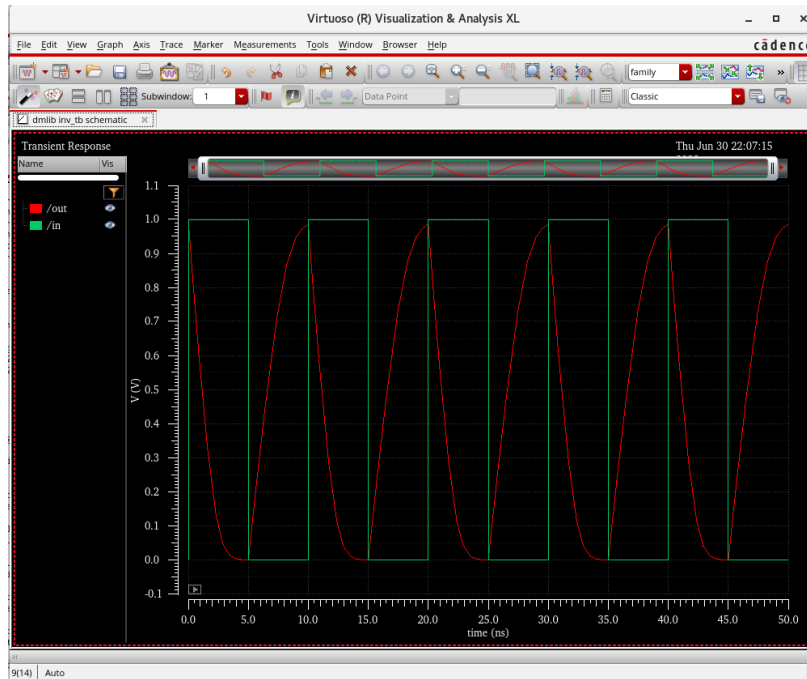
La ventaja de este segundo método es que podréis abrir directamente la simulación desde el Library Manager.

Lanza la simulación,

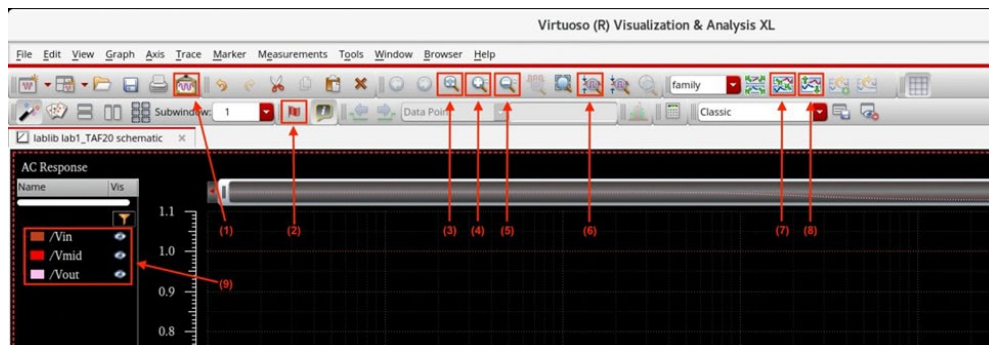
Simulation → Netlist and Run o 

Si no se ha hecho un Check and Save del esquemático la simulación no correrá. Si la simulación no funcionase observad los mensajes de error en CIW.

Debería aparecer la ventana de ondas con un resultado similar a




El visor de formas de onda de Virtuoso, al igual que todo lo demás con Virtuoso, es potente. En esta clase, sin embargo, solo usaremos las herramientas básicas que se ofrecen en el visor. La imagen a continuación resalta una serie de botones en el visor; debajo de la imagen, se proporciona una descripción de lo que hace cada botón.



Número	Nombre (Hotkey)	Función
1	Guardar imagen	Guarda una imagen de alta calidad de la forma de onda trazada.
2	Crear marcador	Le permite crear marcadores de punto (tecla de acceso rápido: M), verticales (tecla de acceso rápido: V) y horizontales (tecla de acceso rápido: H) en el gráfico. Esto es útil para recopilar datos.

3	Ajustar zoom (f)	Ajusta todas las formas de onda tanto en el eje X como en el eje Y.
4	Acercar por 2 (I)	Se acerca por un factor de dos
5	Alejar por 2 (I)	Aleja por un factor de dos
6	Ajusta Y a Visible X	Ajusta el eje Y
7	Combinar todos las ondas analógicas	Combina formas de onda en una gráfica superpuesta.
8	Separa en sub-trazas	Divide las formas de onda en parcelas individuales. A menos que desees que las gráficas se superpongan, usa esto.
9	N/A	Las propiedades de cada señal se pueden modificar haciendo clic con el botón derecho en el nombre de la señal. Para mejorar la legibilidad en tu informe de laboratorio, siempre debes cambiar la señal "Width" a "Thick", el "Style" a "Solid" y el "Color" a algo único y fácil de ver sobre un fondo blanco/negro.

En vuestra simulación para visualizar mejor las ondas posiblemente queráis separar las dos ondas (entrada y salida,

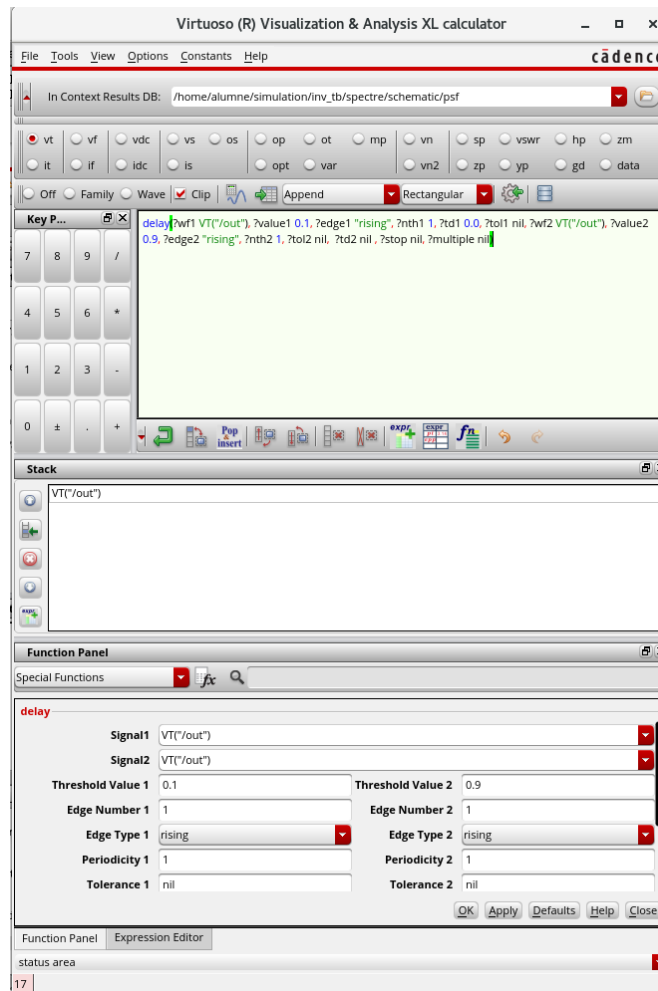
Graph, Split current strip o 

Podéis extraer determinados parámetros del circuito simulado mediante la calculadora,


Tools→Calculator

Por ejemplo, vamos a calcular el tiempo que la señal de salida tarda en conmutar del 10% al 90% (tiempo de subida). Necesitáis:

- poner la tensión de salida (out) en el buffer de la calculadora para operar con ella. Para esto debéis clicar en 'vt' (transitorio) y luego en la línea 'out' del esquemático.
- Evaluar la función delay entre el 10% y el 90% de la señal de salida. En esta función se define la diferencia de tiempos entre dos eventos. En este caso los dos eventos ocurren en la misma señal (out), durante el flanco de subida, el primero cuando se llega al 10% de la señal (0.1V) y el segundo cuando se llega al 90% (0.9V). Primero clics en la función delay. Para poner 'VT("/out") en signal1 y signal2, desplegad signal1 y signal2 y elegid 'buffer'. Luego poner Threshold value 1 a 0.1 y Threshold value 2 a 0.9. Escoge Edge number 1 y Edge number 2 el flanco 1. En tipo de flanco escoge Rise en ambos. Finalmente clics en Apply.



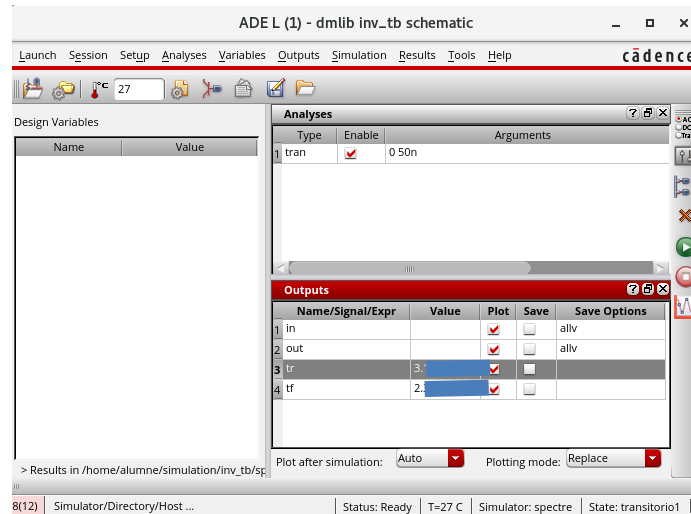
Se mostrará la función en la ventana de la calculadora.

La función definida se puede copiar y llevar al ADE L para que cada vez que se haga una simulación se evalúe. Para ello clicas en  y observa que se ha añadido la función en el simulador.

Realiza el mismo ejercicio para definir el tiempo de bajada en out (entre el 90 y el 10% de la señal de salida). Deberás escoger flancos de bajada en este caso.

Podéis dar nombre a las expresiones clicando 2 veces sobre la expresión y modificando el parámetro 'name'. Es conveniente poner por ejemplo trise al tiempo de subida y tfall al de bajada.

Si hacéis de nuevo la simulación se verán los tiempos en la ventana de ADE L:



Grabad el entorno con todos los parámetros de simulación.

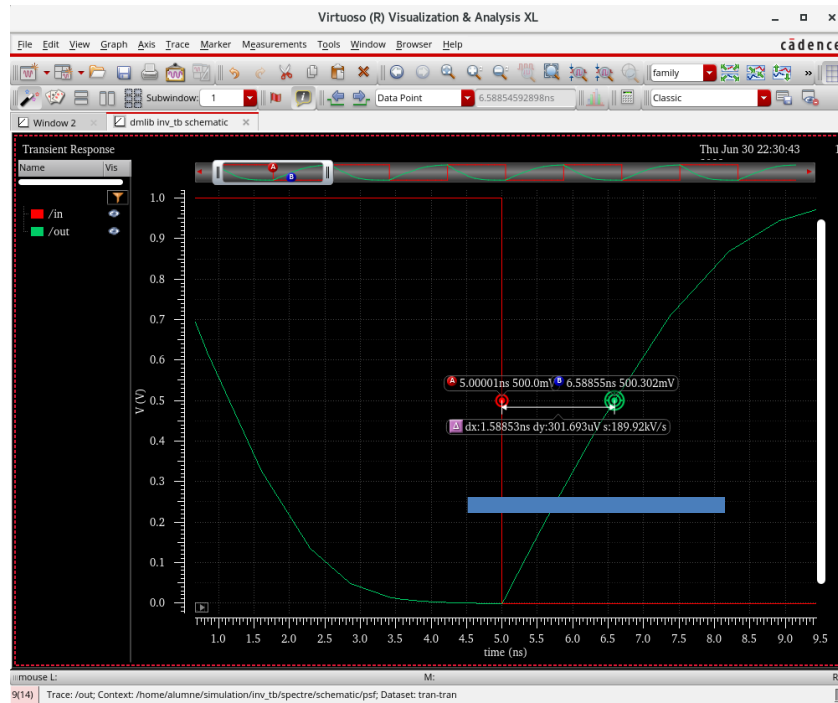
¿Qué tiempos de conmutación han salido con los tamaños por defecto de los transistores?

Hay otra forma manual de evaluar los resultados de tus simulaciones muy útil para observar resultados rápidamente sin tener que acudir a la calculadora. Para ello vamos a calcular el tiempo de propagación. El tiempo de propagación se mide entre el 50% de la señal de entrada y el 50% de la señal de salida. Como en un inversor hay dos conmutaciones se define el tiempo de propagación para pasar de nivel bajo a alto y el tiempo para pasar de nivel alto a bajo (t_{pLH} y t_{pHL}). Finalmente, para obtener el tiempo de propagación del inversor t_p se hace un promedio de ambos.

Para calcular el tiempo de propagación para pasar de nivel bajo a alto,

- primero haz zoom en una transición de bajada de la entrada y una de subida de la salida. Para ello selecciona la zona de interés presionando el botón derecho del ratón y describiendo un cuadrado alrededor de esta zona.
- ponte sobre la onda de entrada y pulsa 'a'. Aparecerá un círculo en la pantalla. Muévelo hasta que esté aproximadamente en el 50% del flanco de bajada.
- ponte sobre la onda de salida y pulsa 'b'. Aparecerá otro círculo en la pantalla. Muévelo hasta que esté aproximadamente en el 50% del flanco de subida.

Con este procedimiento los dos círculos te indican el tiempo y tensión que buscabas y además en la pantalla te indica la diferencia en tiempo y tensión. Esta diferencia en tiempo es el tiempo que buscas:



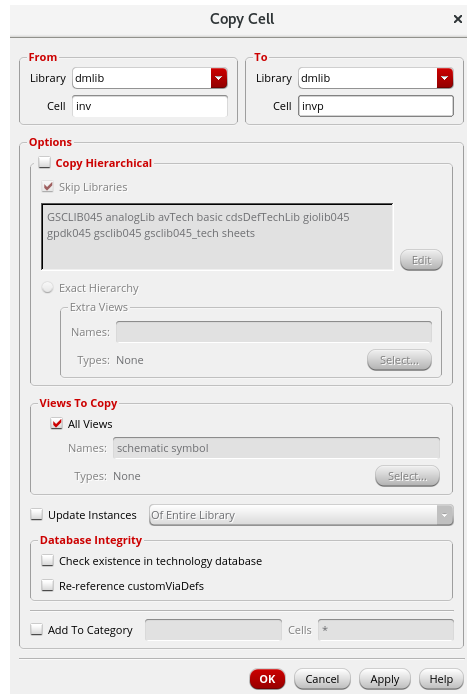
Halla el tiempo de propagación para pasar de nivel alto a bajo y el tiempo de propagación del inversor.

¿Qué tiempo de propagación para pasar de nivel alto a bajo sale y cuál es el tiempo de propagación del inversor con los tamaños por defecto de los transistores?

Optimización del inversor: Simulación paramétrica

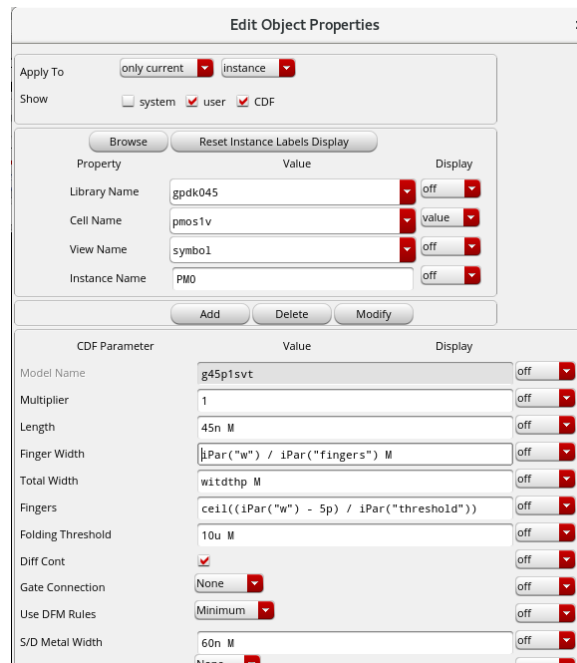
Diseñar un circuito quiere decir determinar los valores de sus componentes. En el caso de puertas digitales se trata de determinar el tamaño de los transistores. Para ello realizaremos una simulación paramétrica haciendo variar los tamaños de los transistores en un determinado rango.

En primer lugar copia tu celda inv en invp. Para ello ve al Library Manager, clics en tu celda con el botón derecho y selecciona Copy. En la celda destino pon invp:



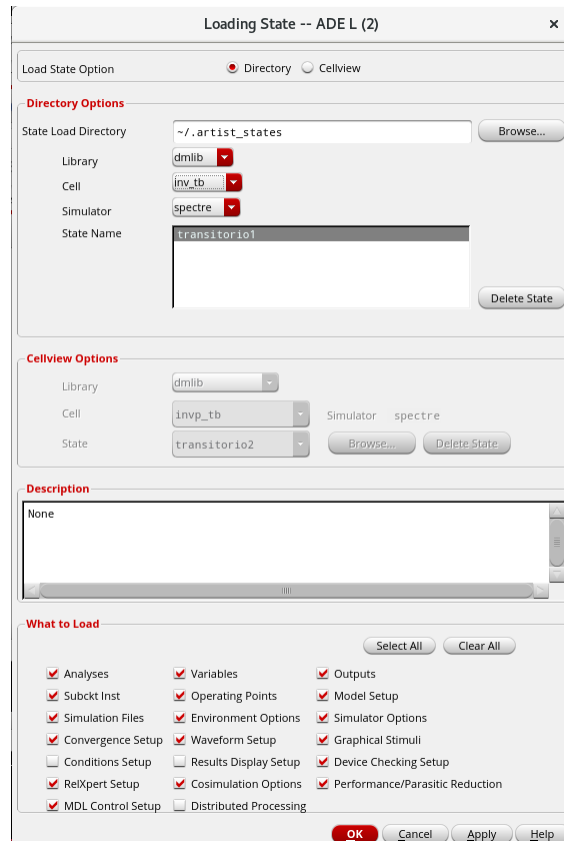
Haz lo mismo con el testbench (de inv_tb a invp_tb).

Ahora vamos a editar estas dos celdas. Abre la celda invp y cambia las propiedades del pMOS (tecla q) para definir su anchura variable con un parámetro widthp. Simplemente escribe widthp en Total Width:



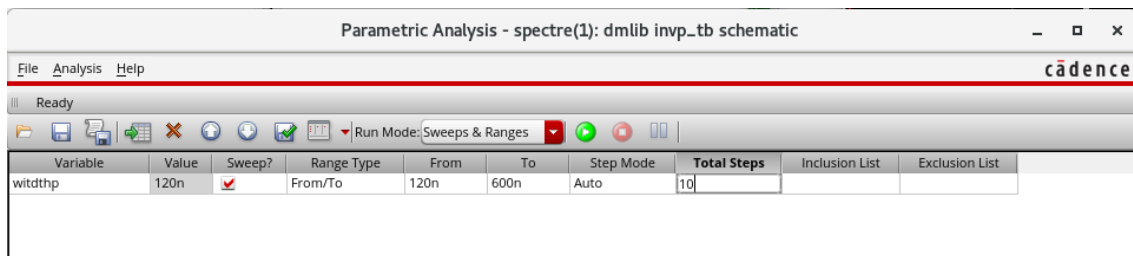
Graba la celda. No es necesario que edites el símbolo puesto que es el mismo.

Ahora abre la celda invp_tb y cambia el símbolo de la celda inv por el de la celda invp. Solamente has de clicar q y en el nombre de la celda cambiar inv por invp. Graba la celda y abre el ADE L. Vamos a cargar el estado definido anteriormente. Haz Session→Load State. Carga el estado definido antes seleccionado la celda inv_tb:



Si ahora lanzas la simulación va a producirse un error porque la variable widthp no está definida. Para definirla escribe un valor en value. Lanza de nuevo la simulación y observa que ahora si se hace correctamente. También podrías haber evitado el error haciendo Variables-Copy from Cellview, y dando valor a las variables que aparecen en el simulador.

Ve a Tools→Parametric Analysis, y selecciona la variable widthp entre 120n y 600n con 10 pasos:



Ejecuta la simulación con Analysis→Start All o la flecha verde.

Con estas simulaciones se ha cambiado la anchura del pMOS desde 120n a 600n. Ahora deberían aparecerte dos graficas de salida. Una que tiene todas las ondas de salida para las 10 simulaciones y otra que tiene las gráficas del tiempo de subida y tiempo de bajada. Si no es así, has de definir los tiempos de subida y bajada como hicimos anteriormente y lanzar otra vez la simulación.

¿Para que valor de la anchura los tiempos de conmutación son iguales? ¿A que es debido esto?

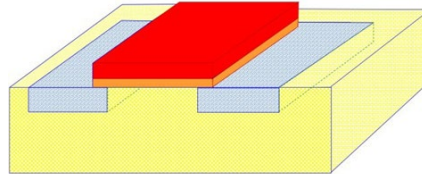
Para obtener la máxima puntuación de esta práctica no tendrás ayuda de los profesores en el siguiente apartado. Escoge el tamaño del pMOS que iguala los tiempos de conmutación y haz un paramétrico de la capacidad de salida para que tome exactamente los valores 10fF, 100f y 1pF. Tendrás que incluir estos puntos en "Inclusion List" en el análisis paramétrico.

¿Qué se observa? ¿Has tenido que cambiar algo de tu testbench para poder hacer la simulación?

En este laboratorio **NO** has de entregar informe. 1 sesión.

Lab 4. Introducción al layout

En clase de teoría verás que los circuitos integrados se crean capa por capa repitiendo los mismos pasos básicos de procesado una y otra vez, agregando y eliminando material de áreas del circuito en cada capa. Esto permite crear de forma precisa un objeto tridimensional que se compone de regiones de diferentes materiales y concentraciones de dopaje. Por ejemplo, la siguiente figura muestra una imagen simplificada de cómo se ve un NMOS.

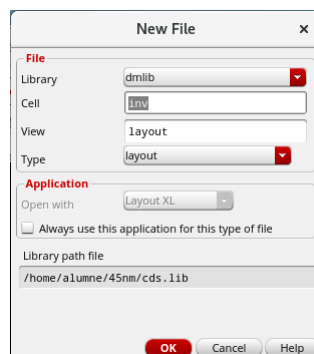


Al igual que el proceso de fabricación construye circuitos integrados capa por capa, los diseñadores diseñan sus circuitos capa por capa, pero no mirando una vista transversal. En su lugar, los diseñadores ven el CI desde una vista superior 2D. La razón de esto es simple: debido a que los diseñadores no pueden cambiar las dimensiones verticales de las capas agregadas, o su posición unas encima de otras, no hay razón para que vean el exceso de información presentada por la tercera dimensión.

En esta sección del laboratorio, comenzarás a familiarizarte con esta forma de ver los circuitos integrados. Lo harás creando tu propio dispositivo PMOS, con su propia puerta, drenador, fuente y conexiones de sustrato.

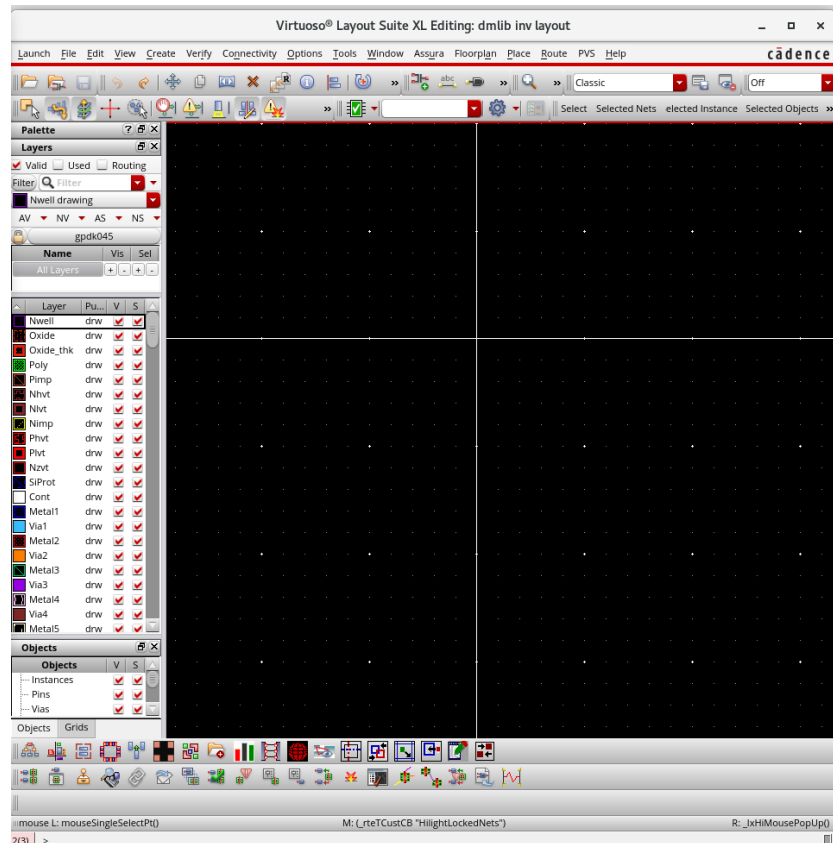
Creación de un diseño

Para comenzar, crea una vista "layout" para la celda inv que creaste anteriormente en dmlib. Esto se puede hacer desde el esquemático seleccionando Launch→Layout XL o desde el Library Manager a través de File→New→Cell View→Layout clicando en la celda INV.



Lo primero que debes verificar cuando abras un nuevo diseño por primera vez es asegurarte de que el archivo de tecnología esté asociado correctamente. Para hacer esto, verifica las capas disponibles (ubicadas a la izquierda de la pantalla) y asegúrese de que cada capa tenga un color diferente (consulte la

imagen de abajo). Donde aparecen las capas se llama LSW (Layer Selection Window). Si las casillas no son de diferentes colores, primero cierra Virtuoso y comprueba que ejecutaste el comando "virtuoso" desde el interior de la carpeta "dm". Si lo hiciste, y todavía hay un problema, pregunta al profesor.



Las capas que aparecen en LSW representan las capas de un chip. En la ventana LSW puedes hacer visibles solo las capas que tiene un layout (clicando en used), las capas para interconexión (clicando en Routing) o todas (clicando en Valid). Hay cuatro botones AV, NV, AS, y NS. AV significa All View, y permitirá que todas las capas sean visibles. NV significa No View, lo que esconderá todas las capas excepto la capa seleccionada. Tras clicar en NV, las capas vuelven a ser visibles si se va seleccionando una a una. AS y NS son similares, pero significa All Selectable y None Selectable, y permite activar o desactivar la selección de las capas. Usar esto estratégicamente puede ayudarte a hacer un layout.

Además, puedes ocultar capas si clicas en V o hacer que no sean seleccionables si clicas en S. Puedes hacerlas todas visibles clicando en AV (All View) y todas seleccionables clicando en AS (All Selectable).

Las dos básicas que usaremos hoy son Poly (verde), que es de lo que se compone la puerta de los dispositivos MOS, y Metal 1 (azul), que es la capa de metal más cercana al sustrato y de lo que estarán hechos la mayoría de las conexiones de una celda. Además de estas dos, utilizaremos vías. Las vías se colocan para interconectar dos capas verticalmente. En este laboratorio, usaremos vías para conectar nuestras capas de Metal 1 a Poly.

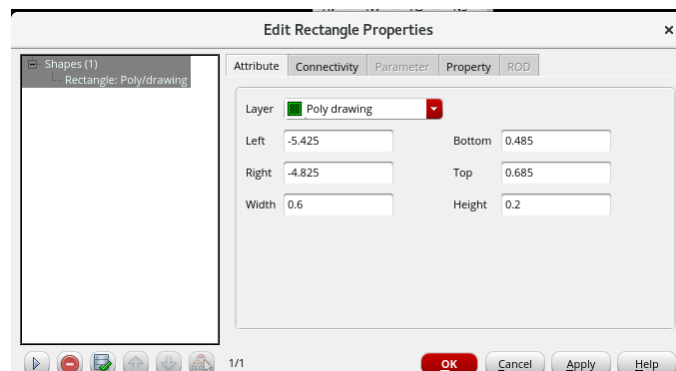
Lo primero que hay que hacer en la vista layout es acostumbrarse a cómo funciona. Para ello,

comencemos dibujando un rectángulo. Selecciona una capa en la ventana LSW y haz Create→Shape→Rectangle (tecla de método abreviado 'r'). Esto traerá un pequeño cuadro con opciones, que ignoraremos por ahora.

Ve a la ventana central (la parte central del layout) y haz clic con el botón izquierdo de ratón una vez. A continuación, mueve el ratón. Haz clic de nuevo y el programa hará un rectángulo. Tenga en cuenta que Hacer clic y arrastrar no creará un rectángulo, debes hacer clic en cada una de las esquinas opuestas del rectángulo. Con esto, estarás haciendo un rectángulo en la capa seleccionada.

A continuación, creemos un rectángulo que es exactamente de $0.32\ \mu\text{m}$ por $0.045\ \mu\text{m}$. Para hacer esto, crea un rectángulo de cualquier tamaño. Después presiona ESC. Clica sobre el rectángulo y abre sus propiedades (q). Escribe Width y Height de las dimensiones indicadas. Ahora puedes copiar este rectángulo a otra posición con Edit→Copy (tecla c), o moverlo con Edit→Move (tecla m). También puedes estirar el rectángulo. Para ello debes deseleccionarlo. Haz clic en cualquier otro sitio de la pantalla o pulsa ctrl+D (esto deseleccionaría todo). Haz Edit→Stretch (tecla s). Si te acercas a un borde del rectángulo veras que cambia a amarillo. Clicando podrás estirar modificar ese borde. Puedes borrar los rectángulos seleccionándolos y dando a Supr. Para seleccionar puedes clicar de uno en uno o puede arrastrar con el ratón en un área clicando el botón izquierdo. Si necesitas hacer zoom en un área puedes hacerlo arrastrando el ratón clicando el botón derecho. Para hacer una fit de todo, pulsa f. También puedes hacer zoom con la rueda del ratón.

Aunque pueden definirse los rectángulos escribiendo sus dimensiones, no es un método muy práctico. Es mejor estirar. Puedes usar la regla para verificar las dimensiones (tecla shortcut "k"). Si la pantalla se llena de reglas, ve a Tools→Clear All Rulers (tecla de método abreviado "Mayús+K").



Intenta experimentar con el menú o los botones superiores para sentirte cómodo moviendo, copiando, estirando, recortando o rotando un rectángulo; las opciones son infinitas.

Creación de un transistor PMOS

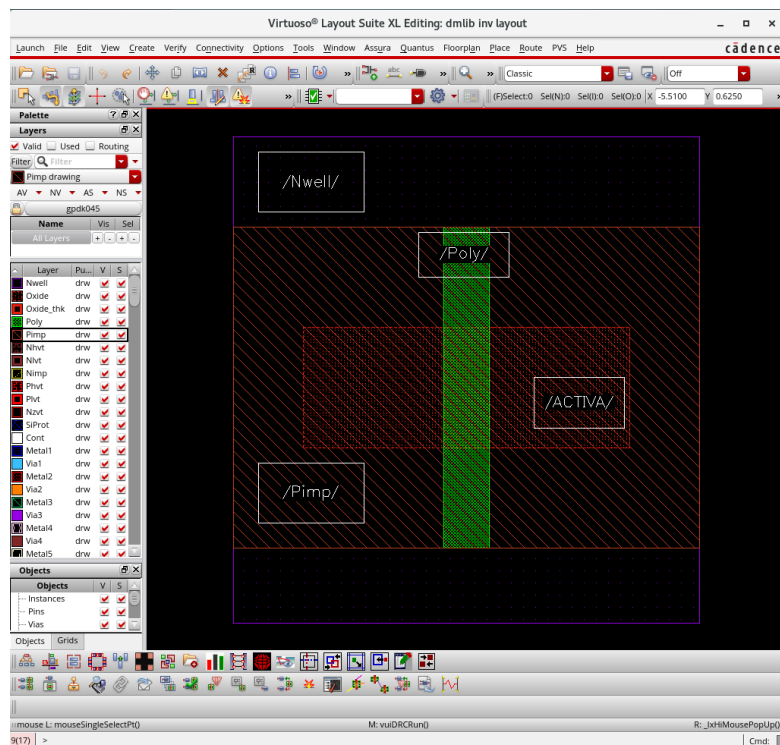
Borra todos los rectángulos. Ahora pasaremos por el proceso de creación de un solo de transistor. El diseño físico (layout) de transistores está hecho de muchas partes:

- Well (pozo), una región ligeramente dopada alrededor del transistor que se dopa lo opuesto a la

región activa. Los transistores NMOS necesitan un pozo P y los transistores PMOS necesitan un pozo N. Debido a la configuración de este proceso asumimos un sustrato P, por lo que no necesitamos colocar una capa Pwell para dispositivos NMOS. Solo usaremos la capa Nwell (en LSW Nwell) .

- Área activa (en LSW capa Oxide): la región activa es la región donde se pretende que los dopantes penetren en el sustrato. En un transistor es la parte del cuerpo principal del transistor, indicando su tamaño. La zona de la puerta de polisilicio hará de barrera de forma que al final quedaran implantadas la zona de fuente y drenador (libres de esta barrera). En transistores PMOS ha de ser rodeada por implantación P (en LSW capa Pimp) y en NMOS por implantación N (en LSW capa Nimp).
- Gate (puerta): esta es una capa de polisilicio que pasa a través del área activa. (En LSW capa Poly)
- Source / Drain (Fuente / Drenador): Físicamente idénticos en nuestro proceso, la fuente y el drenador son las dos regiones en las que se divide el área activa por la puerta.

Vamos a crear un transistor PMOS longitud de canal mínima y ancho mínimo. Puedes consultar la imagen que se muestra a continuación para obtener ayuda. Esencialmente, estamos superponiendo diferentes rectángulos en diferentes capas y diferentes materiales para obtener la funcionalidad deseada.



Para conseguir este layout ten en cuenta las siguientes reglas:

- la mínima L del pMOS es 45nm
- la mínima W del pMOS 120nm
- la capa Pimp ha de recubrir la capa activa por más de $0.07\mu\text{m}$
- La mínima distancia que la capa Pimp debe salir del borde de la gate es $0.1\mu\text{m}$
- La mínima área de Nwell es $0.18\mu\text{m}^2$

- Es buena idea mantener el tamaño mínimo de todas las capas.

Verificación de reglas de diseño con Assura

Antes de continuar, tenemos que pasar por algunos de los controles. La primera de estas comprobaciones es DRC (Design Rule Check). Esta herramienta comprueba tu diseño para asegurarse de que los diferentes tamaños, formas y posicionamiento de tu diseño sean compatibles con el proceso de fabricación. Normalmente queremos ejecutar DRC tan pronto como sea posible y muy a menudo en el proceso de diseño para no tener que hacer muchas correcciones al final. A veces es difícil ver dónde Cadence encuentra un error, así que ejecuta la verificación de DRC a menudo para saber dónde necesitas realizar cambios. Sin embargo, debe enfatizarse que la herramienta DRC verifica solo los errores de las reglas de diseño y no los errores de circuito.

Si hay una violación de las reglas de diseño, la herramienta DRC identificará dónde está. Por ejemplo, en el proceso con el que estamos trabajando, si el ancho más pequeño de una tira de poly es de $0.45\ \mu\text{m}$ y se dibujó una de $0.2\ \mu\text{m}$, entonces la comprobación de reglas de diseño imprimirá un error y creará una marca en el layout. Este símbolo no desaparecerá hasta que corrija el error y vuelva a ejecutar DRC. Si el DRC no encuentra ningún error, el circuito no debe fallar cuando se fabrica debido a problemas relacionados con las reglas.

La verificación DRC no garantiza que tu diseño sea correcto aparte de cumplir con los requisitos físicos del proceso de diseño. No comprueba si tu diseño coincide con los requisitos de rendimiento o incluso con tu esquemático.

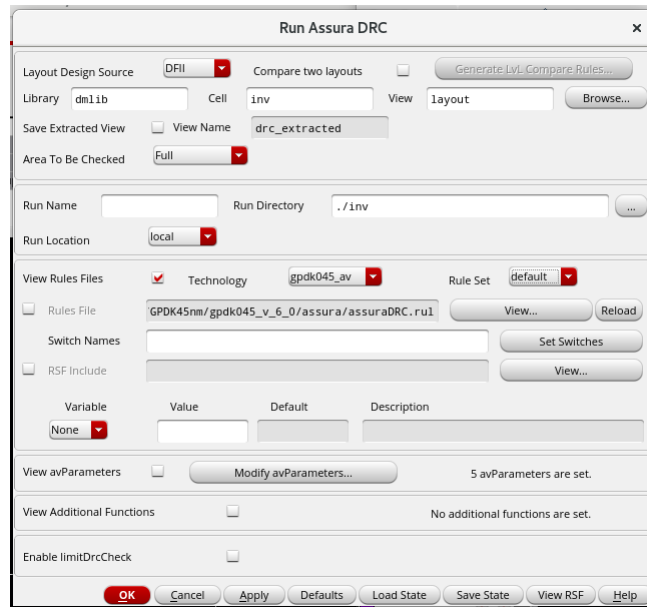
A continuación comprueba que has seguido casi todas las reglas del proceso. Para ello ejecuta Assura → Run DRC (Design Rule Check). En la ventana emergente, rellena

Directory, escribe ./inv

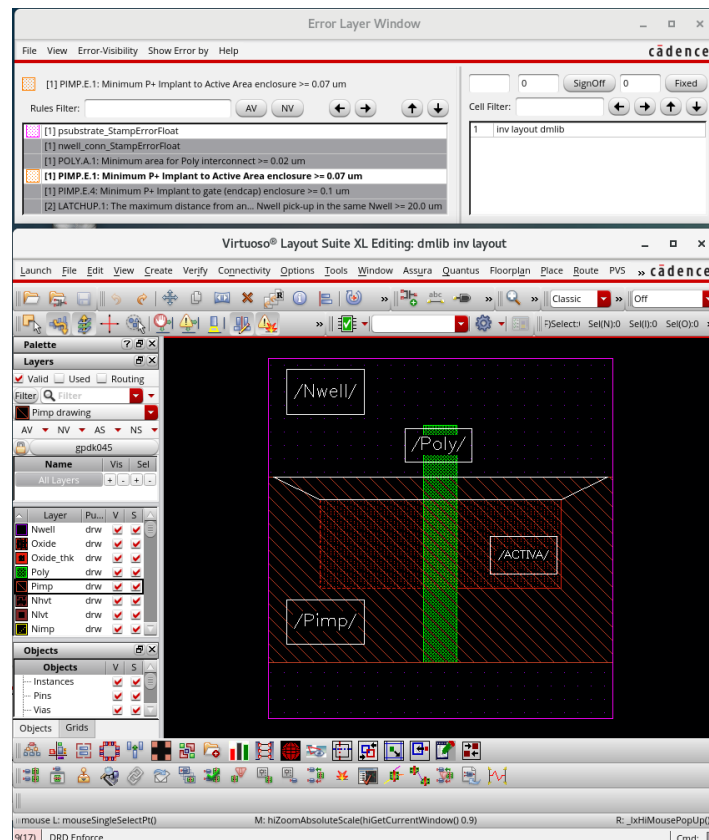
Technology, selecciona gpdk045

Rule set, selecciona default

La ventana debería quedar algo como esta:

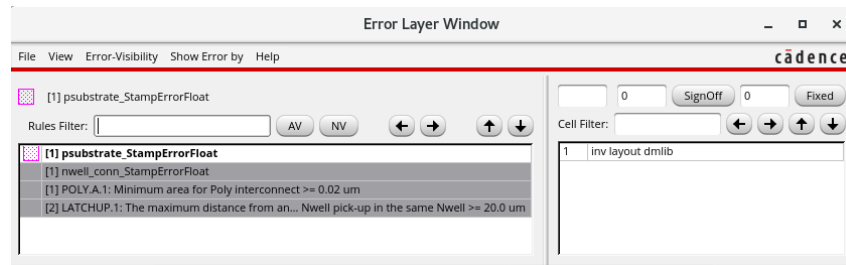


Clica OK . La ventana que aparecerá muestra los errores del diseño.



Los errores se muestran en la ventana Error Layer Window. Para recorrerlos, has de clicar en el error y luego en la flecha →. En la ventana de Virtuoso se hará un zoom sobre el error y se marcará parpadeando, indicándote cual es el error. En el ejemplo anterior el error PIMP.E.1 dice que la capa Pimp ha de cubrir al

menos 0.07 toda la capa activa. Debes corregir todos los errores dejando únicamente los que se muestran a continuación:



En el próximo laboratorio veremos cómo agregar "pines" a este diseño para que podamos encadenar componentes. Por ahora, deberías ver que el rectángulo verde central hecho de Poly es la puerta de tu PMOS. La capa activa forma tu canal y, por lo tanto, es un rectángulo completo que va debajo del rectángulo de Poly. Un lado actuará como el drenador y el otro actuará como la fuente. Además, esta capa activa debe rodearse de Pimp para que este implantada generando la fuente y el drenador. Todo debe estar dentro de un poco N.

Faltaría conectar el contacto en el sustrato del PMOS, que se conectaría al N-Well y añadir todos los contactos de fuente, drenador y puerta.

Consejo: Familiarízate con la interfaz de usuario antes de pasar al siguiente laboratorio. Así ahorrarás mucho tiempo las próximas semanas. Comprueba también los métodos abreviados de teclado en la página siguiente.

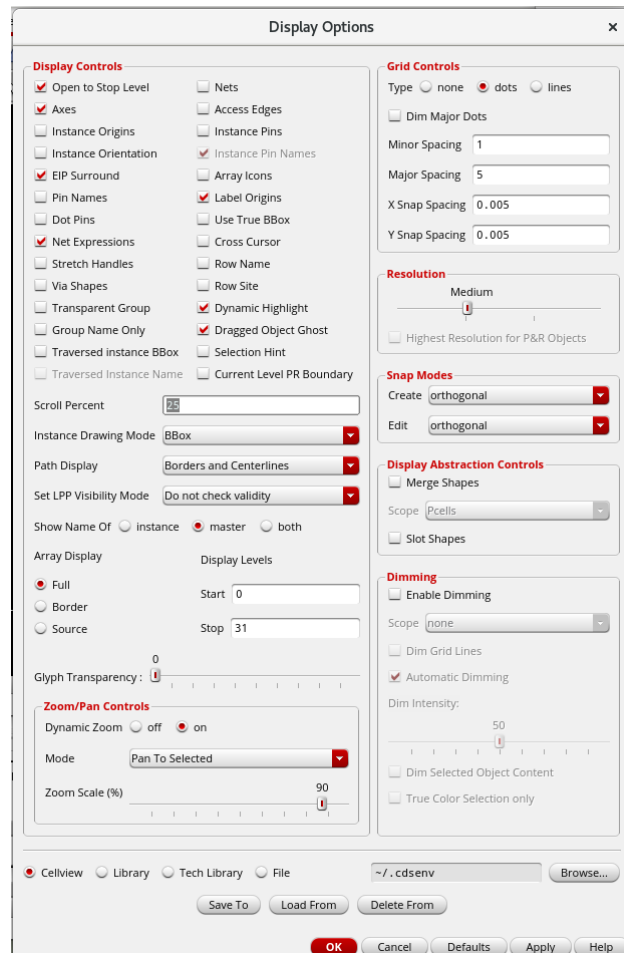
Métodos abreviados de teclado útiles en la vista de layout:

Acción	Tecla
Crear rectángulo	r
Más detalles en el diseño	mayús + f
Menos detalles en el diseño	CTRL + f
Estirar rectángulo	s
Hacer path	p
Resetear zoom (fitear)	f
crear regla	k
Borrar todas las reglas	mayús + k
Deshacer	u
Rehacer	mayús + u
Copiar	c
Propiedades	q
Hacer zoom	Rueda del ratón
Moverse por el layout	Teclas de flechas

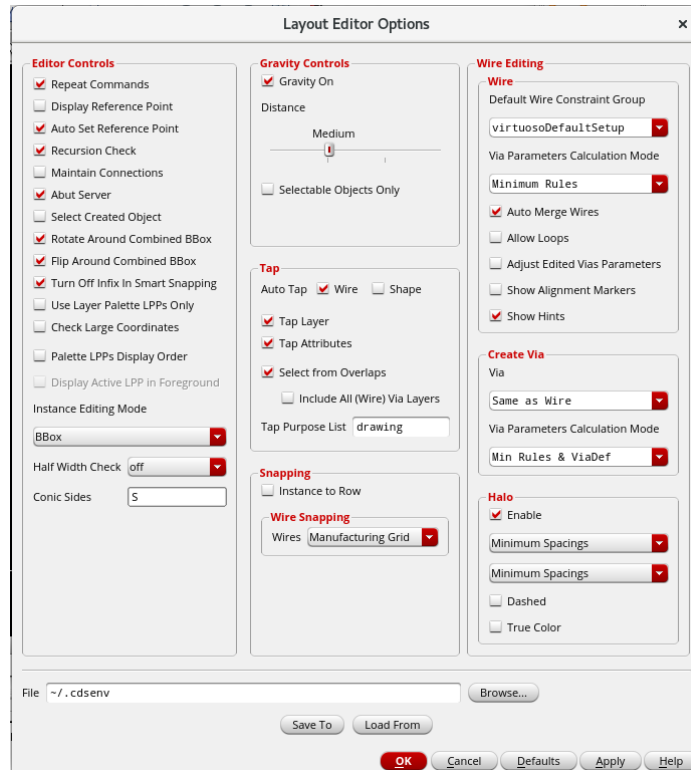
Trucos de edición de layout

1.- Para ver todas las capas: En la ventana de layout de Virtuoso XL selecciona Options→Display (hotkey e) y pon Display Levels: Stop = 31. Alternativamente puedes hacer “Shift+F” y “Ctrl+F” para alternar entre diferentes niveles predeterminados de detalle.

2.- El X/Y Snap Spacing del menu Options→Display se define como de fino es el incremento con el que puedes editar tus figuras. Puedes ponerlo a 0.005.



3.- Antes de dibujar un path, un rectángulo o poner una regla puedes desactivar la opción Gravity. Esta opción intenta llevar el motivo al objeto mas cercano y a veces es muy engorroso. Para activar o desactivar Gravity presiona ‘g’. Deberias ver en la ventana CIW un mansaje que dice si se activa o se desactiva. Alternativamente puedes hacer Options→Editor (Mayus+E) y desactivar Gravity On.



4.- Este truco permite evitar algunos errores de DRC. Selecciona Options→DRD Edit. Selecciona Notify. Selecciona en Interactive→Hierarchy Range 'current to bottom', de forma que obtengas mensajes de todos los niveles de la jerarquía. Finalmente, despliega detro de Interactive 'Display' y selecciona 'Arrows', 'Edges', 'Rule Text' y 'Halo'.

5.- Para hacer zoom de alguna parte del layout puedes usar la rueda del ratón o usar hotkeys:

- z y selecciona un area, hace zoom del area seleccionada
- Ctrl+z, Zoom 2x
- Shift+z, Zoom -2x
- f, ajusta todo a la ventana

En este laboratorio SI has de entregar informe. 1 sesión.

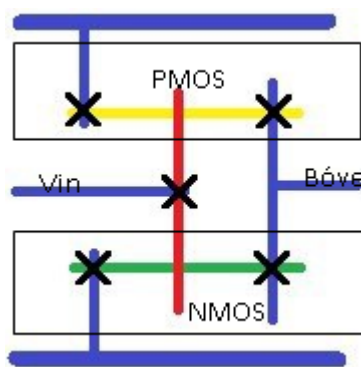
Lab 5. Creación del layout del inversor

Abre la vista de layout del inversor que creaste en el laboratorio anterior. Para este primer diseño, no nos preocuparemos por el tamaño, pero en diseños posteriores será importante hacer que los transistores tengan el tamaño adecuado.

Antes creamos un transistor de canal p. Ahora agregaremos un transistor nMOS al diseño, añadiremos las interconexiones necesarias, las conexiones de sustrato y los pines, para crear un inversor.

Realización del inversor completo: del diagrama de sticks a la capa física

Una forma de ver el layout físico de un circuito a nivel un poco más alto que un layout es con una representación denominada diagrama de sticks. En este diagrama se omiten las reglas de diseño pero se conserva la topología del circuito. El diagrama de sticks para un inversor está en la siguiente figura:



donde

- Líneas azules: Metal 1
- Líneas amarillas: difusión P
- Líneas verdes: difusión N
- Líneas rojas: Polisilicio
- X negra o punto negro: Conexión (Vía)

Vamos a acabar el inversor agregando un transistor NMOS y las conexiones necesarias para que tu diseño se parezca al diagrama de sticks. Ya tienes el PMOS, por lo que deberás agregar el NMOS a una cierta distancia justo debajo. También deberás agregar una línea Metal 1 en la parte superior para VDD y una en la parte inferior para VDD. También tendrás que conectar los drenadores y las fuentes de los dispositivos de canal n y canal p con vías y Metal 1.

Añade el NMOS y a continuación describiremos como hacer las conexiones.

Realización de las conexiones

Se necesitan múltiples vías para conectar eléctricamente partes del transistor. Algunas de las vías que

utilizaremos serán:

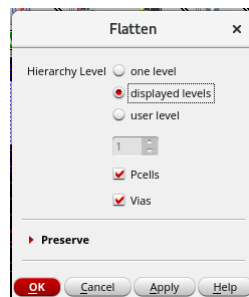
- M1_PIMP: se utiliza para conectar metal 1 a las zonas P. Por tanto, a la fuente y el drenador para dispositivos PMOS, así como la conexión a sustrato (bulk) para dispositivos NMOS.
- M1_NIMP: se utiliza para conectar el metal 1 a las zonas N, por tanto, a la fuente y el drenador para dispositivos NMOS.
- M1-NWELL: se utiliza para conectar el sustrato de los dispositivos PMOS (N-Well). Este se compone de un pozo N y una vía. Debes conectarlo fuera del área activa.
- M1-PO: se utiliza para conectar la puerta de Poly a Metal 1.

Las vías se añaden con Create→Via (hotkey o) y en Via Definition eliges la que desees.



Para ver la vía haz Mayús+F.

Observa un momento de que capas se compone la vía M1_Pimp, por ejemplo. Para ello, inserta una vía M1_Pimp, selecciónala y haz Edit→Hierarchy→Flatten. Marca las opciones como en la figura y haz OK.



Este comando ha separado una celda en sus componentes. De esta forma puede seleccionar cada una de las capas (y jugar con su visibilidad) y ver que está compuesta por Oxide (Activa), Pimp, Cont, y M1. Has de imaginar como es este dispositivo realmente en vertical: implantación P, oxido atravesado por un material conductor y metal 1. La capa Cont es un agujero en el óxido relleno de un conductor. Cont se usa para conectar M1 con el sustrato y también para conectar M1 con el Poly. Para el resto de vías se usa Via1

(M1-M2), Via2 (M2-M3), etc. A continuación, borra la via M1_PIMP generada.

Necesitamos abordar las conexiones de drenador y fuente tanto con NMOS como con PMOS. Estas conexiones deben realizarse con las regiones activas P y N. Utiliza un M1_PIMP y M1_NIMP para zona activa P y N respectivamente. Después usa rectángulos de Metal 1 para enrutar la conexión donde la necesites. También puedes usar el comando Create→Shape→Path (hotkey p) para trazar una ruta de punto a punto mucho más cómodamente. En este comando cada vez que hagas clic se podrá girar. Para acabar haz clic dos veces con el botón izquierdo.

Según el diagrama de sticks has de unir las dos gates. Como están hechas de Poly, únelas con una tira de Poly. Como el polisilicio es un material no demasiado conductor, normalmente se hace una conexión a M1. Hazla en algún sitio donde no se superponga con la capa de área activa, ya que esto modificaría el transistor. Usa la vía M1_PO para pasar de la capa Poly a Metal 1.

Una nota sobre el enrutamiento: A medida que subes en capas metálicas estas son más gruesas y menos resistivas, por lo que pueden propagar una señal más rápido. PERO las vías que conectan las capas metálicas son muy resistivas y lentas. Por tanto, las vías pueden no compensar la mayor velocidad de las capas metálicas más altas. Una regla general es enrutar las señales locales en capas metálicas bajas y las señales globales en capas metálicas superiores. Otra regla general útil, para diseños más complejos, es hacer que todas las capas metálicas pares (M2, M4, ...) vayan de este a oeste y todas las capas de metal impares (M1, M3, ...) de norte a sur solamente, o viceversa. Esto hará que el enrutamiento de circuitos más complejos sea mucho más fácil, ya que no tendrás que pensar en cómo enrutar alrededor de algún metal que se interponga en el camino de tu camino.

Conexiones de sustrato

Generalmente miramos los dispositivos de canal n y canal p como si fueran componentes con tres terminales, hechos de solo una puerta, drenador y fuente. Aunque estos son típicamente los únicos terminales que nos importan, así no es cómo se ven realmente los MOSFETs. En realidad, los MOSFETs tienen cuatro terminales, siendo el cuarto el "bulk". En el editor de esquemáticos, la conexión de sustrato para el nmos1v o pmos1v es el terminal ubicado entre el drenaje y la fuente.

La conexión de sustrato tiene varios propósitos en el funcionamiento de un MOSFET, incluido tener un efecto en la tensión umbral del dispositivo. Lo que es importante tener en cuenta en este momento es que, cuando se fabrica un MOSFET, se crean una serie de uniones PN en todo el dispositivo. Recordemos que una unión PN forma un diodo, como se muestra en la siguiente imagen:



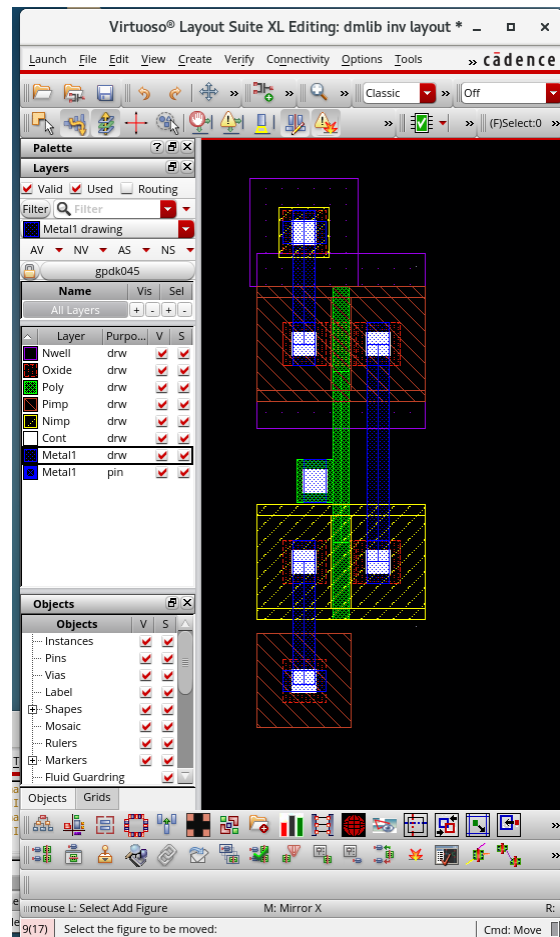
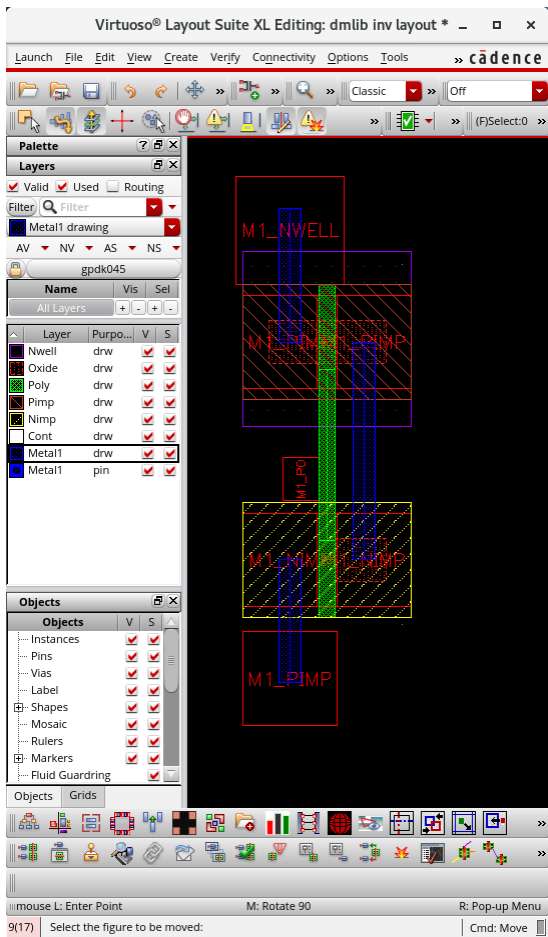
Considera si uno de estos diodos de alguna manera se pone en directa. Debido a que la resistencia que ven en serie con ellos es mínima, si un solo diodo se pone en directa, puede comenzar a conducir grandes

cantidades de corriente, en última instancia, suficiente corriente para destruir el dispositivo MOS en el que se encuentra. Por esta razón, es fundamental que estos diodos parásitos se mantengan en inversa. Este es uno de los propósitos de la conexión de sustrato del MOSFET. En la imagen de arriba, la región p a la izquierda del NMOS y la región n a la derecha del PMOS forman las conexiones de sustrato. En un NMOS, el sustrato es tipo p, por lo que es deseable que esté conectado a la tensión más baja presente en el circuito (es decir, VSS). Debido a que el NMOS se conecta al sustrato y solo hay un sustrato en un circuito integrado, técnicamente solo es necesario tener una conexión en el circuito. En realidad, para mantener la tensión por todo el chip conviene poner una de tanto en tanto. En un PMOS, el sustrato se conecta al pozo n, por lo que a menudo es deseable que este sustrato se conecte al voltaje más alto presente en el circuito (VDD). Debido a que el sustrato de los PMOS son los diferentes pozos, se debe hacer una conexión al menos por pozo. Es posible colocar varios PMOS en un solo pozo n. En este caso la conexión de sustrato sería la misma para todos los que compartan pozo.

Así pues, cada región activa p requiere una conexión de sustrato. Para el PMOS, se utiliza una vía llamada "M1_NWEL". Las zonas activas n también necesitan un sustrato, por lo que para estas usaremos la vía "M1_PIMP". Es normal tener más de una conexión de sustrato para evitar un fenómeno no deseado que puede hacer que el circuito falle durante el funcionamiento normal que se denomina "latchup". Las conexiones de sustrato en las celdas estándar se colocan en la parte superior de la celda para el PMOS y en la parte inferior para el NMOS.

Coloca las conexiones de sustrato para el transistor NMOS y para el PMOS.

Tu diseño ahora debería verse algo como esto:

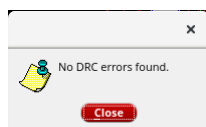


Colocación de pines

El paso final para completar tu diseño será poner entradas y salidas para tu circuito. Esto se hace para que cuando uses el diseño de tu componente en otros diseños, puedas ejecutar una verificación para asegurarte de que todo esté conectado a los puertos correctos.

Para crear un pin, selecciona la capa donde deseas crearlo y ve a Create→pin. Asegúrate de que los pines sean coherentes con el esquemático: nombres y tipos de E/S. Los nombres de los pines distinguen entre mayúsculas y minúsculas. Marca la casilla Create Label y Physical Only. Clic en Options y selecciona un tamaño Height de 0.05. Cuando vaya a colocar el pin deberás crear un cuadrado y poner la cruz de la etiqueta que aparecerá dentro de ese cuadrado.

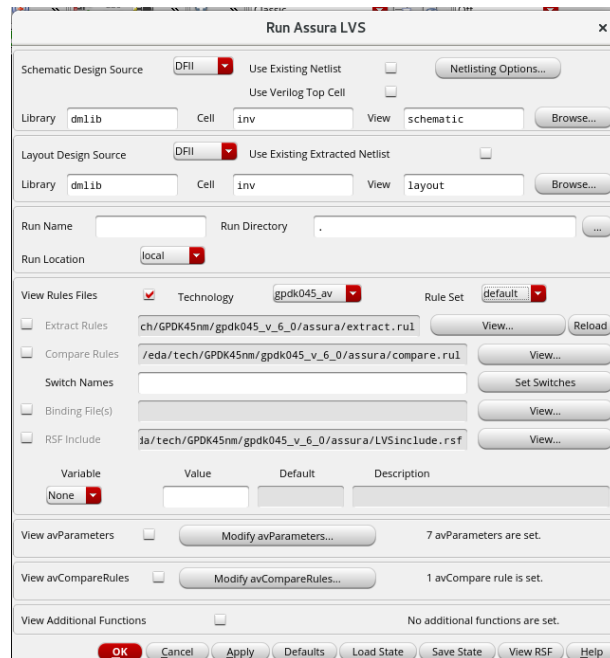
Crea los pines para tu entrada, salida y VSS y VDD. Una vez completado, ejecuta un DRC en tu circuito. Es necesaria una salida con cero errores en la ventana CIW para este laboratorio.



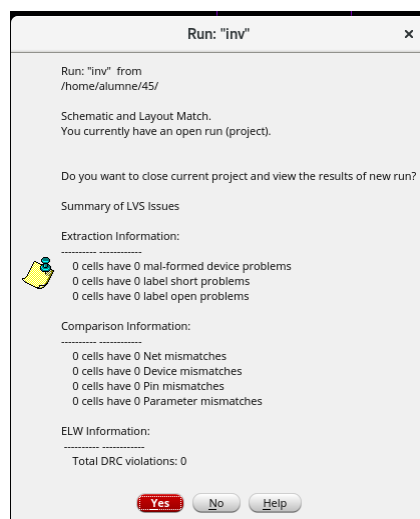
Layout vs. Schematic (LVS)

Después de verificar que se cumplen las reglas de diseño debes ejecutar otra comprobación sobre él. Layout vs Schematic (LVS) se asegura que ambas vistas de tu diseño son idénticas. Es especialmente útil para diseños más grandes.

Para ejecutar LVS en el entorno de Cadence, ve a Assura→Run LVS. Asegúrate de que estás comparando el esquemático y el layout correcto. Si no lo son pulsa en Browse y selecciona las correctas. Elige en el desplegable Technology 'gpdK045_av' y el Rule set 'default'. Presiona OK cuando estés listo para ejecutar el LVS.



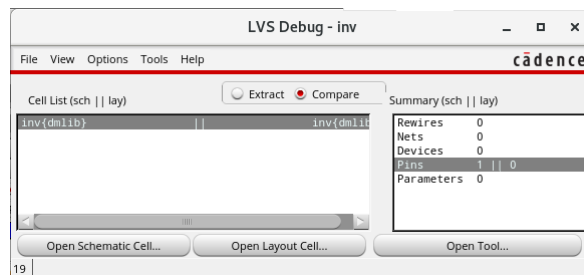
Si la vista extraída coincide con tu esquemático, obtendrás una ventana emergente que confirma las coincidencias:



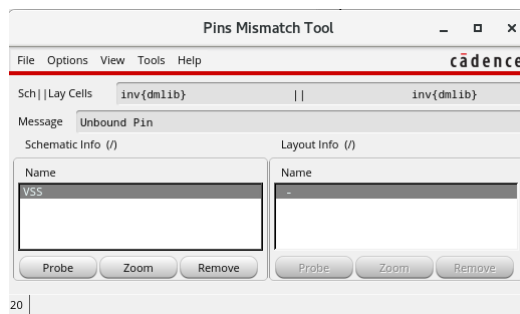
En el caso de que falle el LVS, deberás volver al diseño, realizar cambios, ejecutar DRC y extraer nuevamente antes de volver a ejecutar LVS. Por ejemplo, aquí se ha comparado con una celda que en la vista layout no tiene el pin de VSS:



Si haces clic en OK, y en la ventana emergente marcas las celdas comparadas y Pins:



y haces clic en Open Tool:



podrás comprobar en la ventana de esquemático y layout donde está el error mediante Probe y Zoom. La herramienta es muy útil, aunque puede ser un poco complicado encontrar un posible error.

Si no guardas tu esquemático o diseño antes de ejecutar el LVS, recibirás un mensaje de error, así que asegúrate de guardar siempre tu trabajo.

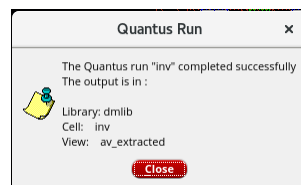
La notificación "Schematic and layout match" en tu inversor es necesaria para finalizar el laboratorio.

Extracción del layout

Un esquemático aunque tiene modelos muy precisos de los transistores no tiene todos los elementos que hay realmente en un layout. Imagina por ejemplo que colocases los transistores muy separados. En este caso habría una resistencia y una capacidad asociadas a la interconexión. Por tanto, en un layout deben poder extraerse estos elementos parásitos y simularse.

Para ello ejecuta Assura→Run Quantus. Asegúrate que en la pestaña Setup, Technology aparece 'gpdk045_av' y en RuleSet 'rcx_typical'. En Output escoge 'Extracted View'. En la pestaña Extraction, pon Extraction Type a 'RC', lo que extraerá tanto resistencias como capacidades parásitas. En celdas tan sencillas sería suficiente con extraer solo las capacidades. Escribe VSS en Ref Node. Finalmente desactiva Enable HRCX. Haz clic en OK.

Si todo ha ido bien debería aparecer una ventana como esta:



Este mensaje indica que se ha creado un esquemático en tu celda con vista 'av_extracted'.

Abre la vista av_extracted generada y fíjate en todos los elementos generados a partir simplemente del conjunto de capas de tu layout. ¿Qué elementos se han creado? ¿De qué orden son (qué valores tienen)? ¿Tus transistores tienen el tamaño que esperabas?

Para ver los elementos pulsa Mayus+F.

En este laboratorio **NO** has de entregar informe. 1 sesión.

Lab 6. Uso de P cells (celdas parametrizables)

Ahora que estás acostumbrado a usar las herramientas de layout, vamos a rehacer el inversor de manera más eficiente. En lugar de crear las celdas PMOS y NMOS a mano, vamos a usar instancias de celdas estándar que automáticamente codifican PMOS y NMOS de tamaño mínimo. Esto es mucho más rápido ya que están prediseñadas y puedes redimensionarlos a la proporción que necesites.

Comienza yendo al Library Manager y selecciona el esquemático inv. Haz clic derecho en él y ve a Copy, en "To" escribe el nombre la celda "inv2". Haz clic en el nombre de la celda inv2 y crea un layout para este nuevo esquemático inv2 (File→New→Cell View→Layout).

En el layout has de añadir un nuevo componente (hotkey "i"). Queremos generar automáticamente un layout de un PMOS, así que seleccionas la biblioteca gpdk045 y la celda pmos1v, con view name layout. Te aparecerá un cuadro rojo que dice pmov1v. Colócalo en el layout y presione Mayús + F. Presiona ESC para no insertar mas componentes.

Ahora verás algo similar al PMOS original que hiciste, pero probablemente más pequeño. La instancia tiene automáticamente un tamaño mínimo, pero podemos cambiar muchas cosas haciendo clic en ella y yendo a Propiedades (acceso directo "q").

Hay muchas cosas importantes que se pueden cambiar aquí, incluyendo el ancho, la longitud, y el número de gates (fingers). Observa que pasa si pones más de un finger, si pones la conexión de sustrato (Bodytie) o si pones la conexión de Gate. Prueba que hace desactivar Diff Cont. Vuelve a dejar el PMOS como estaba originalmente.

A continuación, crea otra instancia de un NMOS y conecta las dos puertas con un Path (tecla "p") de Poly, conecta un lado de cada transistor con Metal 1 y agrega extensiones para ser utilizadas para conectarse a pines y conexiones de sustrato. Hay muchas maneras de diseñar el inversor para ocupar la menor área posible, pero recuerda siempre facilitar la conexión a las entradas y salidas.

Te aconsejamos que siempre coloques VDD en la parte superior, VSS en la parte inferior, todas las entradas a la izquierda y todas las salidas a la derecha. Recuerda agregar las conexiones de sustrato y los pines. Cuando hayas terminado, ejecuta un DRC y ejecuta un LVS.

Debes tener las salidas correctas de DRC y LVS para finalizar esta parte del laboratorio.

En este laboratorio **SI** has de entregar informe. 1 sesión.

Lab 7. Diseño de una NAND o NOR

En el siguiente laboratorio, diseñaras un circuito lógico que implementa una función booleana arbitraria juntamente con otro estudiante. La función booleana se realizará con puertas lógicas NAND y NOR. Un estudiante será responsable de crear una puerta NAND de tres entradas y el otro de crear una puerta NOR de tres entradas.

Encuentra un socio y decide quién será responsable de cada puerta, luego crea el esquemático y el banco de pruebas para la puerta de la que eres responsable. Simula tu banco de pruebas y verifica que tu puerta funciona como se esperaba.

Nota para el próximo lab

La próxima semana crearemos un layout para tu puerta NAND / NOR de tres entradas, intercambiaremos puertas y crearemos el esquemático, el banco de pruebas y el layout para vuestra función booleana. Será un laboratorio largo, por lo que si tienes tiempo, es posible que desees intentar mejorar el diseño de la puerta NAND o NOR ahora o avanzar con el siguiente laboratorio. Además, hay un trabajo Pre-Lab para la próxima semana, incluida la creación de un diagrama de sticks para tu puerta, lo que facilitará la creación del diseño. Para crear el diseño de la puerta, querrás usar pcells y posiblemente usar los fingers adecuados, discutido anteriormente.

En este pre-laboratorio **SI** has de entregar informe. Trabajo en casa.

Lee también la practica siguiente para tener una visión detallada de lo que has de hacer.

Pre-lab 8: Preparación para el Laboratorio 5

Nombre:

Escribe el nombre de tu socio:

Selecciona una puerta NAND o una puerta NOR, tu pareja debe seleccionar la otra.

Puerta que seleccionaste:

Selecciona una de las siguientes funciones booleanas para utilizar en este laboratorio:

$$Y1 = \bar{A}BC + A\bar{B}C + \bar{A}\bar{B}C$$

$$Y2 = \bar{A}\bar{B}C + A\bar{B}\bar{C} + \bar{A}B\bar{C}$$

$$Y3 = (\bar{A} + B + C)(A + \bar{B} + C)(A + B + \bar{C})$$

$$Y4 = (\bar{A} + \bar{B} + C)(A + \bar{B} + \bar{C})(\bar{A} + B + \bar{C})$$

Función seleccionada:

Dibuja un diagrama de sticks para tu inversor y la otra puerta que seleccionaste. Debes guiarte del diagrama de sticks cuando realices el diseño de tu circuito. Considera cómo los fingers en las pcells te ayudarán en el diseño.

Crea en pareja un floorplan (plano de base) de la función booleana que seleccionaste. El floorplan debe mostrar las ubicaciones de los pines de entrada y salida y la ubicación relativa de las puertas. Considerad el diagrama de sticks al crear el floorplan y modificad el diagrama de sticks si es necesario para que sea compatible con vuestro floorplan. Al crear un floorplan para vuestro diseño, es conveniente que VDD y VSS que vayan horizontalmente con las puertas colocadas entre ambos buses, así como fijar la altura de la celda (la distancia a la que están VDD y VSS). Para facilitar la colocación directa de puertas en tu diseño, es conveniente que tanto tu como tu pareja acordéis el espaciado entre las líneas de VDD y VSS (Orientativamente $2\mu\text{m}$ está bien para este proceso). También es una práctica común llevar todas las entradas de una puerta al lado izquierdo en M1 y hacer que todas las salidas salgan en el lado derecho en M1 también.

Adjuntar la prueba que demuestre la implementación correcta de la función booleana a nivel de puerta elegida en el paso 3. Se puede hacer a mano y construyendo una tabla de verdad para tu circuito. Alternativamente, puedes utilizar cualquier otra herramienta de su elección para construir la tabla de la verdad.

Al comienzo del laboratorio, harás el esquema a nivel de puerta de la función booleana compleja en Cadence y luego lo probarás aplicando formas de onda A, B y C. ¿Cuáles serían estos estímulos de entrada

para ejercer todas las combinaciones de la tabla? Dibuja una figura simple que muestre el ancho de pulso, el período, etc., de cada forma de onda de entrada. ¿Qué forma de onda de salida esperas?

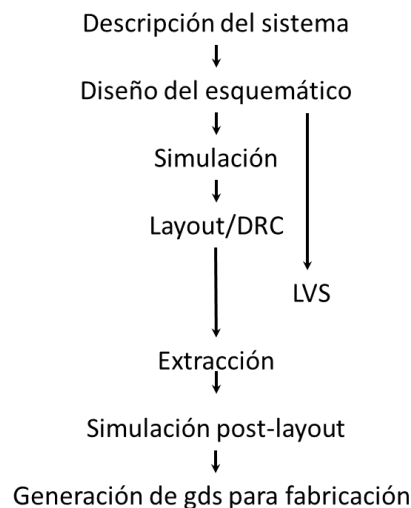
El informe de este Pre-lab ha de entregarse el día antes de realizar el laboratorio.

En este laboratorio SI has de entregar informe. 2 sesiones.

Lab 8. Diseño de una función booleana compleja.

El objetivo de este laboratorio es experimentar el flujo de diseño de un sistema digital desde la descripción del sistema hasta el diseño donde más de un diseñador contribuye en el diseño. Esto se abordará mediante el uso de un sistema booleano simple y dos diseñadores.

En la figura se muestra el flujo de diseño simplificado para un circuito analógico y pequeños circuitos digitales. Del flujo se observa que ya hemos estudiado la mayoría de las habilidades básicas necesarias para hacer un diseño completo de un circuito simple.



En este laboratorio un diseñador deberá crear una puerta NAND de 3 entradas y el segundo diseñador creará una puerta NOR de 3 entradas. Ambos debéis crear un inversor. Compartiendo puertas con un compañero, tendrás las tres puertas necesarias. Como parte del prelaboratorio para este laboratorio, seleccionarás una función booleana que se puede implementar (sin simplificación booleana) con puertas NAND de 3 entradas, puertas NOR de 3 entradas e inversores. A continuación, implementarás la función booleana que seleccionaste en silicio (el layout) dadas las restricciones de área y pines. Posiblemente debas diseñar también un inversor para su uso en este laboratorio.

Es muy importante cuando se comparten puertas que sean compatibles con el floorplan que tienes para tu diseño. En general las celdas estándar se diseñan con líneas horizontales para VDD y VSS separadas una distancia fija, donde se ubican los bloques lógicos (las puertas). Como mínimo, el floorplan de ambos diseñadores debe tener la misma distancia entre VDD y VSS.

Al considerar el floorplan que utilizarás para implementar la función, te resultará útil diseñar tus puertas para que sea fácil interconectarlas. Por ejemplo, además de tener una línea VDD en la parte superior del diseño y una línea VSS en la parte inferior, podría ser conveniente colocar todas las entradas a la izquierda

y la salida a la derecha en las celdas. Con este enfoque, el diseño de la función completa podría implicar poner líneas de señal horizontalmente en el diseño. Si el diseño se vuelve horriblemente largo, los pares VDD/VSS (aún igualmente espaciados) se pueden apilar verticalmente. Pero esto no debería ocurrir para un sistema tan sencillo.

Al acordar entre tú y tu compañero el floorplan, lo más importante es fijar el espaciado entre VDD y VSS, la interconexión de las puertas NAND, las puertas NOR y los inversores.

Los puntos importantes para este laboratorio son los siguientes:

Layout, DRC y LVS de NAND/NOR

Intercambiar puerta NAND/NOR

Esquema a nivel de puerta de la función booleana compleja

Testbench de la función booleana

Layout, DRC y LVS de la función booleana

Esquemático depurado, ADE y DRC y LVS correctos

Estos puntos deben mostrarse al profesor antes de enviar tu informe. Además, debes incluir estos puntos en tu informe de laboratorio.

Parte 1: NAND o NOR de 3 entradas

Como se discutió en el prelaboratorio, crea el layout de un inversor junto con una puerta NAND o una puerta NOR según lo acordado entre tú y tu compañero. Utiliza pcells para los transistores al crear el diseño. Asegúrate de que tus diseños pasen tanto DRC como LVS sin errores.

Al crear las puertas para este laboratorio, usa anchos y longitudes de canal mínimos permitidos para los dispositivos NMOS y PMOS. Aunque no es importante en este laboratorio, muchas aplicaciones requieren tamaños que son más grandes que el mínimo. Por ejemplo, si quisieras tiempo de subida igual a los de bajada ya has visto que el tamaño del PMOS ha de ser diferente al del NMOS en un laboratorio anterior.

Parte 2: Intercambio de puertas

Intercambia puertas siguiendo estos pasos. Aunque estos pasos se describen para intercambiar la celda llamada 'inversor', también se pueden usar para intercambiar otras celdas. Tendrás que "empaquetar" la celda 'inversor' en la biblioteca dmlib en un solo archivo. Cierra Virtuoso, abre una nueva ventana de terminal y, desde la línea de comandos, ejecuta lo siguiente:

```
# Navega a tu carpeta dmlib:  
cd ~/dm/dmlib  
# Modifica los permisos de los archivos que deseas transferir  
chmod 777 -R ~/dm/dmlib  
# Crea un archivo empaquetado de la celda  
tar cvf ~/inversor.tar inversor
```

El fichero `inversor.tar` en el directorio `home` ahora contiene todas las vistas necesarias para usar la celda del `inversor` junto con accesos de lectura, escritura y ejecución (`rwX`) para que otros usen `inversor` y todos los subdirectorios.

Para enviar este archivo a otra persona, simplemente envíalo como un archivo adjunto a un mensaje de correo electrónico o compártelo por `onedrive` o usando cualquier otro método de compartición de ficheros que tengas a tu disposición. Tu compañero debe descargarlo en su directorio de inicio. Los pasos siguientes describen cómo puede utilizar el `'inversor'` en su diseño. Para mantener los diseños importados por separado, crea una nueva biblioteca llamada `'intercambio'` (o algún otro nombre) y adjúntala al proceso `gpdK045`. A continuación, ejecuta lo siguiente:

```
# Mueve inversor.tar de home a intercambiar:  
mv ~/inversor.tar ~/dm/intercambio  
# Muévete al directorio intercambiar  
cd ~/dm/intercambio
```

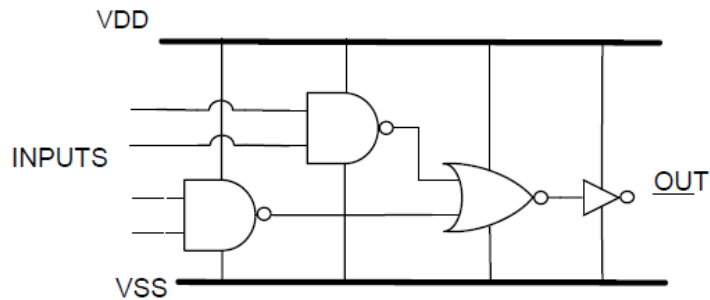
La celda `'inversor'` aparecerá ahora en la biblioteca `'intercambio'`. Instancia el símbolo o cualquier otra vista de esta celda en tu propio diseño.

Parte 3: Función booleana

Implementa la función booleana desde el prelaboratorio pasando por el flujo de diseño completo (esquema, símbolo, banco de pruebas, diseño, LVS). En esta implementación, sigue las restricciones que se detallan a continuación. **Asigna un nombre apropiado para la celda que crees que implemente la función booleana.** En esta implementación, utiliza el `inversor`, tu puerta `NAND` o `NOR` de la Parte 1 y la puerta `NAND` o `NOR` de tu compañero obtenida en la Parte 2.

Al reutilizar las celdas que habéis creado, debes ahorrar un tiempo y un esfuerzo considerable, ya que no deberías necesitar colocar ningún transistor individual, sino puertas enteras ya verificadas. El banco de pruebas debe verificar los valores de salida adecuados para las 8 combinaciones de entrada de `A`, `B`, `C`.

Si sigues la sugerencia de planificación del `floorplan`, o sea, de colocar `VDD` en la parte superior, `VSS` en la parte inferior, entradas a la izquierda y salidas a la derecha, el `layout` de tu circuito lógico que comprende las puertas `INV`, `NAND` y `NOR`, puede tener un aspecto similar a lo que se muestra en la siguiente figura (representada para puertas de 2 entradas en lugar de 3 entradas). Por supuesto, el diseño real será con transistores, no símbolos para las puertas.



Restricciones de diseño:

Solo puedes utilizar la NAND, NOR e INV.

La función booleana seleccionada no debe simplificarse.

La celda completa debe caber dentro de un cuadrado de dimensiones $n \cdot \mu\text{m} \times 2 \mu\text{m}$, donde n es el ancho total de la celda y ha de ser el mínimo que puedas y $2 \mu\text{m}$ el máximo alto de la celda. (Usa una regla)

Las entradas (A, B, C,) para la celda completa deben estar disponibles en el límite izquierdo de la celda y entrar en la celda con M1.

La salida Y de la celda completa debe estar disponible en el límite derecho de la celda y salir con M1.


Utiliza una línea de M1 de $0.12 \mu\text{m}$ de ancho en la parte superior de la celda para VDD y una línea de M1 de $0.12 \mu\text{m}$ de ancho en la parte inferior de la celda para VSS. Utiliza estos railes para suministrar energía a tus puertas. Puedes usar diferentes anchos para las líneas de alimentación internas de la celda o de puertas individuales.

No puedes usar metal M3 o de nivel superior en ninguna parte.

Apéndice: Generación del layout desde el esquemático

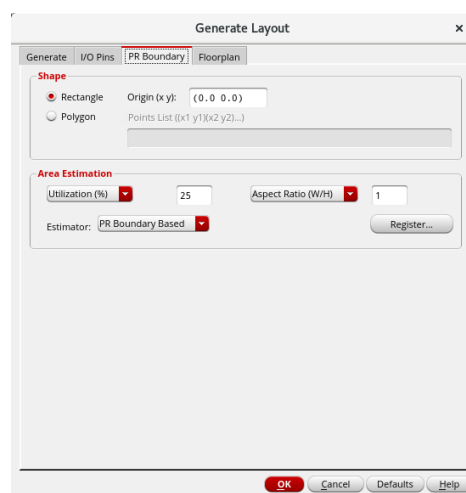
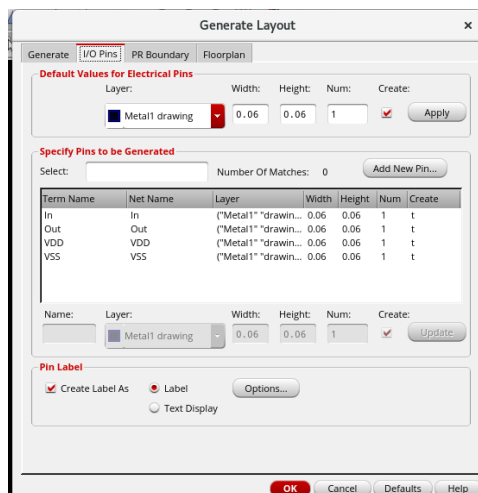
A veces, al hacer el diseño, es más conveniente generar componentes en lugar de instanciarlos. Afortunadamente, Cadence es un software potente y nos permite hacer esto. Sin embargo, el uso de estas herramientas puede no ser intuitivo o fácil de usar. Por lo tanto, esta guía en el apéndice está destinada a explicar cómo generar componentes en un diseño y reducir la cantidad de trabajo que hacemos en la colocación y el enrutamiento de celdas.

Para generar nuestro diseño, primero necesitaremos un esquemático completamente funcional; probablemente querrás tener algo que sepas que funciona, que haya sido verificado mediante un banco de pruebas y que solo contenga componentes que tengan diseños o celdas estándar (no quieres tener nada que tenga fuentes de tensión por ejemplo). Ahora, inicia Layout XL dentro de Cadence como lo haríamos para cualquier otro diseño. Desde aquí, navega hasta la parte inferior izquierda de la ventana y

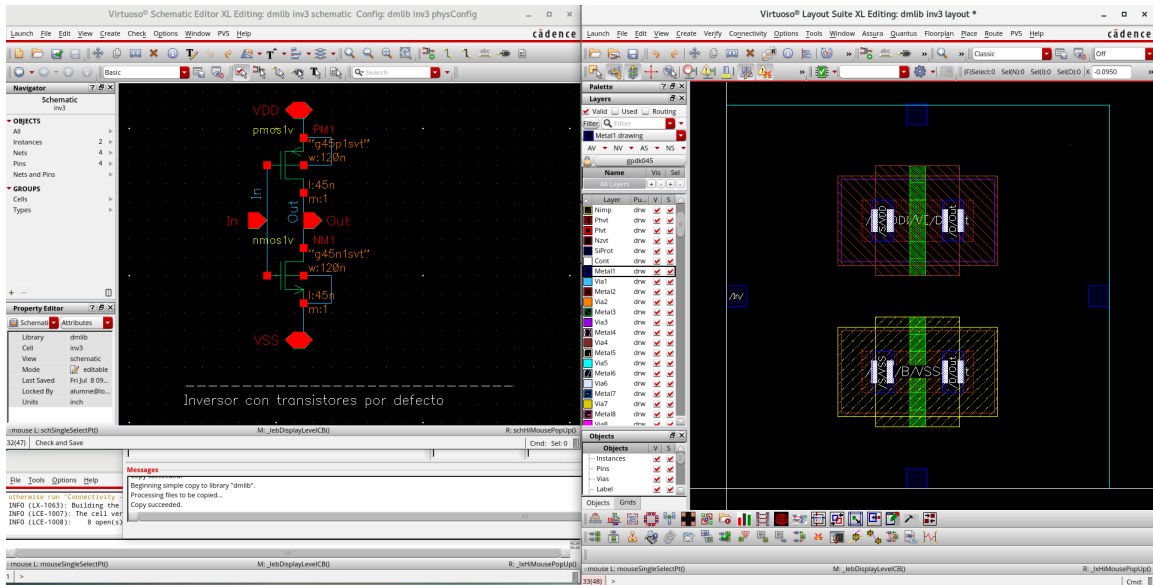
presiona el botón "Generate All from Source" . Esta función también está disponible en el menú desplegable Connectivity→Generate→All from Source.

Pulsando el botón de arriba se debería abrir un menú. Si ya tienes objetos colocados en tu diseño, te preguntará si deseas continuar. Si no te importa lo que ya has colocado, sigue adelante y presiona "yes". De lo contrario, haz una copia de seguridad antes de continuar.

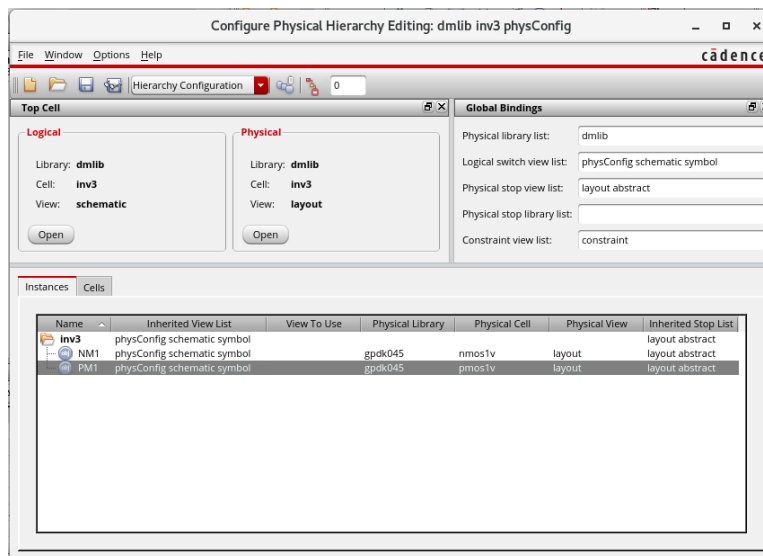
Hay muchas herramientas disponibles en el menú de generación. Hay dos pestañas que queremos usar cada vez que generemos un diseño: la pestaña I/O Pin y la pestaña PR Boundary. La pestaña I/O Pins te permitirá especificar el tamaño, la cantidad y la capa en la que se colocará cada pin. La configuración predeterminada suele ser lo suficientemente buena, y los pines se pueden editar después de que se generan. Sin embargo, si ya tienes un plan en mente, aquí es donde puedes cambiar los pines antes de que se coloquen. El PR boundary te permitirá especificar una región de límite para tu diseño; esto es útil si tienes una cierta restricción de espacio que se debe cumplir con tu diseño. Puedes especificar formas, así como un porcentaje general de utilización de formas y áreas.



Una vez que completes la configuración de generación, presiona el botón "OK" para generar su diseño. Se colocarán pines y celdas en tu diseño, así como la creación de una vista de celda physConfig. Por ejemplo, para el inversor quedaría así:



Si solo ves tus pines en tu diseño y no celdas, querrás editar la vista de celda physConfig. Esta vista de celda contiene toda la información que la herramienta Generate From Source utiliza para colocar el layout en tu diseño. Por ejemplo, si deseas generar un transistor PMOS, debes seleccionar la biblioteca que contiene el proceso que deseas usar para la Physical Library y, a continuación, especificar PMOS en Physical Cell. Esto también funciona si ya has creado un diseño para una celda; seleccionas la biblioteca de laboratorio en Physical library y elige la celda que te interesa en Physical Cell. Una vez que hayas seleccionado todo correctamente, guardas el archivo y vuelves a ejecutar la herramienta Generate From Source. Deberías ver las celdas que estás intentando si no se generaron anteriormente.



Suponiendo que hayas hecho todo correctamente, deberías ver cada celda y pin que necesitas en tu diseño. Además, cada componente de tu layout está asociado a un componente en tu esquemático. La herramienta Generate From Source también extraerá la lista de nets del esquemático correspondiente, dando las conexiones que deberán realizarse dentro del diseño. Esta herramienta resulta valiosa para ver que conexiones debes hacer. Puedes marcar cualquier net en el esquemático y veras donde se debe conectar. Por lo tanto, es menos probable que pierdas una conexión.

Ahora que tienes todas tus celdas y pines generados, puedes mover los componentes donde desees y enrutar todo.

En este laboratorio **SI** has de entregar informe. 1 sesión.

Lab 9: Depuración de un diseño

En este laboratorio practicarás con las herramientas de depuración de Cadence Virtuoso. Comienza descargando los archivos comprimidos 'DebugMe' y 'DebugMe_TB' de la página web del curso y agrégalos a la biblioteca "intercambio" que creaste anteriormente en este laboratorio. Para ello copia los ficheros dentro del directorio 'intercambio' y descomprímelos. Esto creará dos nuevas vistas de celda, llamadas 'DebugMe' y 'DebugMe_TB' que juntas contienen el esquema, el símbolo, el diseño, el banco de pruebas y el estado ADE para la siguiente función booleana:

$$F = \bar{A} + B$$

Se han cometido a propósito una serie de errores en los archivos proporcionados. Los únicos archivos que no tienen errores son el esquemático de la función booleana (la vista "esquemática" ubicada en la celda "DebugMe") y el símbolo de la función booleana (la vista "símbolo" ubicada en la celda "DebugMe"). No cambies estas vistas de celda. Tu tarea es utilizar las herramientas de depuración disponibles para corregir los errores existentes. Al final deberás mostrar un banco de pruebas que demuestre que el circuito funciona correctamente, así como resultados válidos del DRC y LVS. No puedes crear un nuevo banco de pruebas o una instancia en ADE; usa solo los elementos proporcionados (es decir, no crees nuevas vistas). La sesión en ADE se llama state1.

En tu informe de laboratorio, además de mostrar lo que se ha comentado anteriormente, debes mostrar capturas de pantalla de tu diseño, de tu pantalla de configuración ADE y del circuito del banco de pruebas. También debes indicar qué cambios hiciste en cada uno.

Los profesores proporcionarán ayuda limitada en esta parte del laboratorio, aunque si crees que algo está equivocado puedes preguntar.

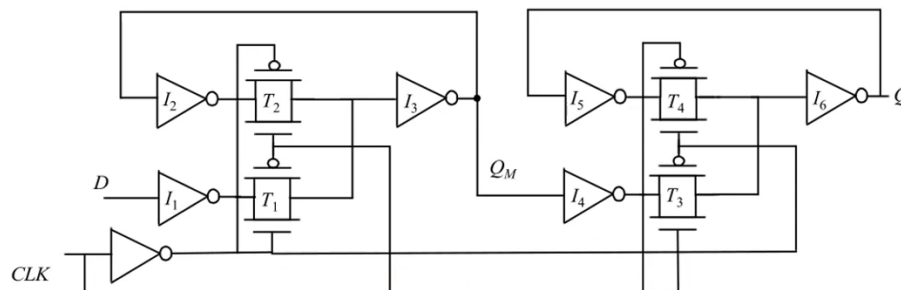
En este laboratorio **SI** has de entregar informe. 1 sesión.

Lab 10: Estudio de un Flip-Flop D

En este laboratorio observarás las propiedades de un FF D activado por flanco positivo. Caracterizarás sus tiempos de setup, hold y propagación.

Después pondrás dos en cascada y analizaras el impacto del skew en este simple registro de desplazamiento.

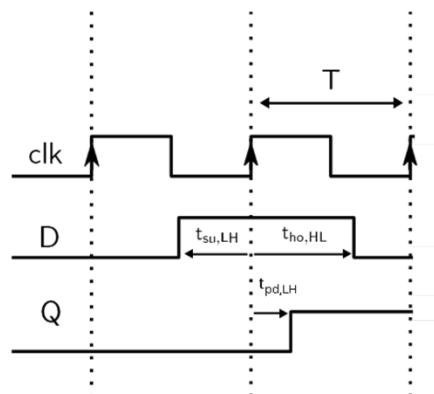
El esquema de un flip-flop D se muestra en la figura siguiente. Es un flip-flop convencional maestro-esclavo disparado por un solo flanco positivo donde dos latches basados en MUXes se colocan en serie. Los latches actúan complementariamente, es decir, en fases opuestas del reloj.



Diseña un testbench

Para hacer esta práctica copia el DFFX1 de la librería gsclib045 en tu librería dmlib.

Diseña un banco de pruebas que le permita medir el tiempo de setup, el tiempo de propagación y el tiempo de hold, como se muestra en la siguiente figura. Aquí, clk y D son entradas y Q es la salida. La salida debe cargar una capacidad de 2 fF y la tensión de alimentación debe ser VDD = 1 V. Tanto para la señal de entrada como para la señal de reloj, utiliza tiempos de subida y bajada de 10 ps. El parámetro T denota el período del reloj (generalmente medido en nanosegundos), y $t_{su,LH}$, $t_{pd,LH}$ y $t_{ho,HL}$ denotan el tiempo de setup de bajo a alto, el tiempo de propagación de bajo a alto y el tiempo de hold de alto a bajo, respectivamente.



En el informe, muestra las formas de onda de entrada y salida para demostrar que tu circuito flip-flop está funcionando. Para hacer esto, elige una configuración que permitan a tu flip-flop muestrear el

valor de entrada. Demuestra que puedes muestrear niveles altos y bajos. No olvides incluir la capacidad de carga de salida en su esquemático.

Tiempos de setup y hold.

Como segundo paso, mide los tiempos de setup y hold de tu flip-flop. Recuerda que el tiempo de setup y hold son el tiempo mínimo antes y después del flanco ascendente del reloj en que la señal de entrada debe permanecer constante para almacenar la señal y generar una salida estable, respectivamente.

Consideraremos (por simplicidad) un solo tiempo de setup y tiempo de hold, para un tiempo de propagación dado. En la práctica, sin embargo, estas cantidades pueden depender de la transición de la señal (es decir, si la entrada va de L a H o de H a L). Vamos a simular $t_{su,LH}$ y $t_{ho,HL}$ para un tiempo de propagación dado $t_{pd,LH}$.

Elije un período de reloj adecuadamente grande, tiempo de hold y tiempo de setup donde las señales de salida sean estables. Ahora, intenta disminuir el tiempo de setup hasta que la señal de salida se vea afectada. Como verás, en vez de que la señal de salida se vuelva repentinamente inestable, su tiempo de propagación aumentará gradualmente hasta que en un punto el flip-flop ya no funciona (la señal de entrada ya no se almacena en el flip-flop). Por lo tanto, el valor de $t_{su,LH}$ puede ser diferente según el $t_{pd,LH}$ que se permita. Haciendo un barrido de $t_{su,LH}$ en un rango razonable, grafica $t_{pd,LH}$. De esta gráfica, extrae el valor de $t_{su,LH}$ para el cual $t_{pd,LH} = 90$ ps.

Ahora configure $t_{su,LH}$ al valor que has medido e intenta disminuir $t_{ho,HL}$ hasta que la señal de salida se vuelva inestable. Verás una tendencia similar en la que $t_{ho,HL}$ depende de $t_{pd,LH}$. Haciendo un barrido de $t_{ho,HL}$ en un rango razonable, grafica $t_{pd,LH}$ y toma el valor de $t_{ho,HL}$ para el cual $t_{pd,LH} = 90$ ps.

Observación: ahora has identificado una pareja de tiempo de setup y hold para tu flip-flop, suponiendo una restricción de retardo de propagación de 100 ps. Ten en cuenta que estos valores solo se aplican a la carga dada; otras cargas darían resultados diferentes.

Flip-flops D en cascada

Suponiendo un pulso de entrada de L-H y H-L, coloca en cascada dos flip-flops conectados a la misma señal de reloj. Aquí, la capacidad de carga final en la salida del segundo flip-flop sigue siendo 2 fF. ¿Funciona este simple registro de desplazamiento? Específicamente, ¿el segundo flip-flop muestrea la señal de entrada después de dos ciclos de reloj? Explica por qué tu configuración funciona/no funciona.

Ahora, supón que hay un retraso de reloj (skew) positivo en la señal de reloj del segundo flip-flop (el reloj del segundo flip-flop está retrasado). Al simular tu circuito, descubre cuál es el skew máximo para el cual el registro de desplazamiento deja de funcionar. Repite todos los pasos anteriores para un pulso de entrada H-L y L-H.