

I INTRODUCCIÓN

I.1 Motivación

Para establecer la motivación de esta tesis, es necesario analizar el estado de la industria microelectrónica actual, y de la de microsistemas en particular.

La tecnología microelectrónica esta entrado a formar parte de la vida cotidiana. Así además del ordenador PC, tanto en los vehículos, como en las viviendas es difícil encontrar equipos o subsistemas eléctricos que no incluyan algún tipo de circuito integrado para su control.

Aspectos como la automatización de viviendas y edificios se empieza a considerar una cuestión clave para la industria informática. Y empiezan a aparecer términos nuevos como “infranet”, acuñado por Echelon, que describen los buses de campo que permiten realizar esta automatización y ser controlados desde internet.

Estos buses de campo precisan de sensores que le informen del estado de la vivienda, industria, vehículo... que se desea controlar, y actuadores que permitan modificar dicho estado.

También es preciso disponer de estándares que faciliten la conexión de estos sensores y actuadores a estos buses de campo. Un ejemplo de esta

tendencia es la norma IEEE 1451, que especifica un nuevo bus digital de conexión para sensores y actuadores inteligentes en un entorno distribuido de instrumentación y control.

Sin embargo, los sensores y actuadores son, en general, sistemas analógicos, con salidas difícilmente estandarizables si no se les incluye una electrónica que acondicione la señal, la convierta en digital, y la adapte a dicho estándar.

La respuesta a esta necesidad la han dado los microsistemas, que permiten incluir en una oblea de silicio sensores, actuadores y la electrónica de control necesaria dando lugar a los llamados sensores y actuadores inteligentes.

Solo es necesario estudiar la evolución del mercado de los microsistemas, para ver, que es una industria con un fuerte crecimiento.

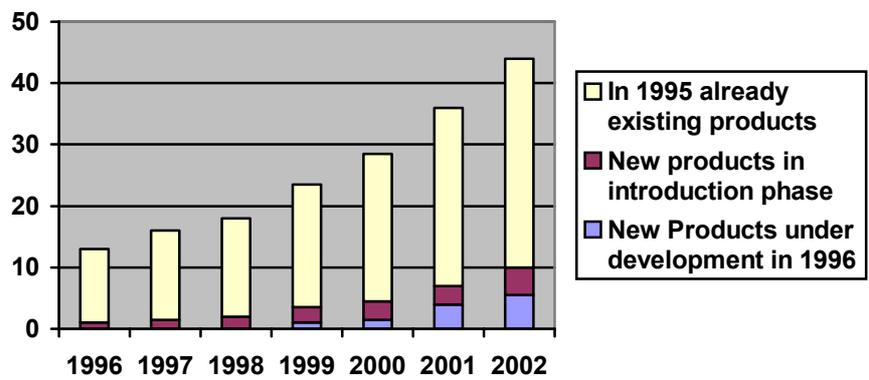


Figura 1. Crecimiento del mercado de los microsistemas por sector (Fuente MiicroParts).

En apenas cuatro años se ha duplicado el mercado, y las previsiones indican que en dos más se volverá a duplicar. Cabe destacar que los productos que estaban desarrollandose en el 1996 alcanzarán un 10% del mercado en el 2002.

Sin embargo, la fabricación de estos microsistemas suele precisar de procesos tecnológicos complejos y costosos, que requieren de etapas que normalmente no se realizan en los procesos CMOS estándar. Esto puede

implicar la necesidad de realizar el sensor/actuador en una oblea distinta de la del circuito, por problemas de compatibilidad entre procesos.

Una tendencia^[Bal96] seguida para el desarrollo de sensores y actuadores basados en tecnología de silicio ha sido la de hacer estos con tecnologías de IC estándar, combinando procesos tecnológicos estándar con etapas de post-proceso que incluyen micromecanizado del sustrato o ataques químicos selectivos en el caso de micromecanización superficial. A modo de ejemplo, citar los proyectos europeos DEMAC^[Dem97] o BARMINT^[Est97]. Éstos han afrontado este reto para sensores mecánicos (presión, aceleración, flujo), dando resultados que han permitido pensar en una explotación industrial de dichas tecnologías.

Así mismo, durante los años previos a la realización de esta tesis, en el Departamento de Electrónica de la Universitat de Barcelona, se desarrollaron una serie de sensores micromecanizados en silicio, que dieron como fruto las tesis "Optimización de Sensores de Presión Piezorresistivos para Instrumentación Biomédica y Aplicaciones a Alta Temperatura", Dr. Santiago Marco (1993), y "Disseny i Realització d'Acceleròmetres Capacitius Pendulars en Silici Monocristal·li", Oscar Ruiz (1996). Este último enmarcado dentro del proyecto Maxima^[Max95].

También se realizaron circuitos de interfaz para estos sensores en la tesis "Mètodes d'Interfície i de Conversió A/D Delta-Sigma, basats en la tècnica dels Corrents Commutats, per Sensors Integrats en Tecnologia de Silici", Carlos Rubio (1999). Por último se estudiaron metodologías para la integración monolítica en "Integració Monolítica de Sensors de Pressió i Circuits de Condicionament amb una Tecnologia CMOS Comercial", Enric Montané (1999). En todos los casos se buscaron soluciones compatibles con las tecnologías microelectrónicas convencionales, y por lo tanto permiten la integración monolítica del sensor con la electrónica de control.

I.2 Objetivos

Esta tesis también se enmarca dentro de este campo, y busca el diseño de un circuito de interfaz para sensores capacitivos micromecanizados en silicio. El motivo de trabajar con sensores capacitivos y no piezoresistivos, es que los primeros son más estables frente a variaciones en el proceso tecnológico, ya que no dependen del dopaje como en el caso de los piezoresistivos. Además presentan una menor dependencia respecto a la temperatura.

Teniendo en cuenta la posible utilización posterior, se ha impuesto que el diseño debe ser compatible con una tecnología CMOS de bajo coste. Esto lleva a realizar el diseño en tecnologías concebidas inicialmente para la implementación de circuitos digitales.

La salida del interfaz debe ser digital, para poder ser conectado fácilmente a un bus digital. Por este motivo, se ha realizado un estudio de las posibles metodologías de conversión.

Por último, se ha buscado un diseño siguiendo una metodología Top-Down, acorde con las utilizadas en las tecnologías digitales. Esto simplifica el proceso de diseño cuando se hacen sistemas mixtos, ya que se pueden realizar los diferentes pasos en paralelo.

I.3 Convertidores A-D

Un aspecto importante a la hora de diseñar un microsistema con salida digital es en que punto del procesado de la señal, ésta debe pasar de formato analógico a digital. Para ello se tienen que tener en cuenta aspectos como el tipo de procesado que se desea realizar, la frecuencia de muestreo, la precisión, el ruido, el consumo, el área que ocupa...

Todos estos aspectos se deben ponderar dependiendo de las prioridades del sistema que se está diseñando. En nuestro caso, se ha considerado que la medida de la señal se debe realizar en el punto más

cercano al sensor. Esto limita el ruido que se puede introducir en el sistema, ya que a partir del momento en que la señal es digital, este es negligible.

Otro aspecto es el modelo de convertidor a utilizar. Para ello se muestra una tabla resumen de los principales tipos de convertidores Analógico Digital^[All87], basándose en las siguientes características:

- Velocidad de conversión
- Resolución
- Complejidad analógica
- Complejidad digital

	Flash	Pipeline	Aprox. Suc.	Sobremues.	Doble Rampa
Velocidad	Alta	Media	Baja	Baja	Muy Baja
Resolución	Baja	Media	Media	Alta	Alta
Complejidad Analógica	Alta	Media	Media	Baja	Media
Complejidad Digital	Media	Media	Baja	Alta	Baja

Tabla 1. Comparativa de los diferentes tipos de convertidores Analógico Digital

Se observa que la complejidad analógica de los convertidores de Nyquist en todos los casos es superior a la de los convertidores sobremuestreado, aunque queda penalizado en velocidad, y complejidad digital. Teniendo en cuenta estos aspectos, el convertidor sobremuestreado es el más adecuado en numerosas aplicaciones.

A continuación se realiza una introducción a su arquitectura. Para ello se realiza una breve exposición del funcionamiento de los convertidores de Nyquist, y después se continúa con la presentación de los sobremuestreados.

I.3.1 Convertidores de Nyquist

Los convertidores de Nyquist son los convertidores A-D (ADC) tradicionales. A continuación se presenta el esquema de bloques de un convertidor de estas características.

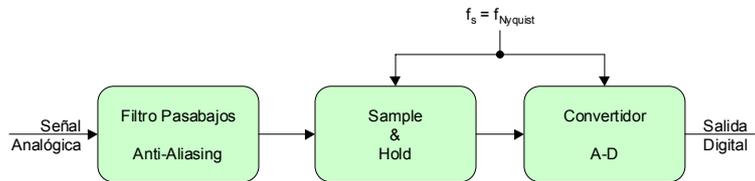


Figura 2. Diagrama de bloques de un ADC de Nyquist.

El proceso de digitalización de una señal analógica consiste en realizar una discretización de dicha señal tanto en amplitud como en el tiempo. Para realizar dicha discretización, el convertidor realiza una cuantificación de la señal de forma periódica. De esta forma, a la salida del convertidor se obtienen una serie de valores digitales.

Según el teorema de Nyquist, la frecuencia de muestreo del convertidor debe ser al menos dos veces la frecuencia máxima de la señal de entrada. A partir de este teorema, es posible calcular la frecuencia de muestreo del convertidor, si se conocen las características de la señal de entrada. Sin embargo, es posible que por efectos de ruido, aparezcan señales de mayor frecuencia en esta señal de entrada. Por este motivo se incluye un filtro a la entrada del convertidor, que limita la frecuencia de la señal de entrada. Esto evita que señales de mayor frecuencia distorsionen la salida del convertidor.

Entre el filtro y el convertidor se introduce un sample & hold que sincroniza la señal de entrada y evita que se modifique su valor durante la conversión.

El ADC realiza una cuantificación de la señal. La gráfica de la función de un cuantificador uniforme se muestra en la Figura 3.

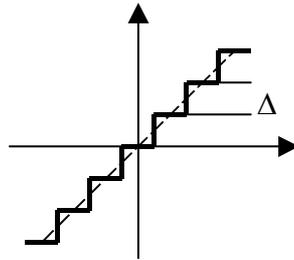


Figura 3. Gráfico de la salida de un cuantificador uniforme.

El convertidor discretiza o cuantifica una entrada continua x . Se puede definir la señal cuantificada como la suma de la señal de entrada más un error (e).

$$y = x + e \quad (\text{Ec. 1})$$

Este error se denomina error de cuantificación, y determina la resolución del ADC. Este error de cuantificación depende del paso de cuantificación que se define como la relación entre el rango a fondo de escala (RFE) por número de niveles (n).

$$\Delta = \frac{RFE}{2^n} \quad (\text{Ec. 2})$$

Si la señal de entrada es suficientemente estocástica, el error de cuantificación puede ser modelado como ruido blanco equidistribuido en la banda de 0 a la mitad de la frecuencia de muestreo. La potencia total del ruido de cuantificación es^[C&T92]:

$$P_{\text{ruido}} = \frac{1}{\Delta} \int_{-\Delta/2}^{+\Delta/2} e^2 de = \frac{\Delta^2}{12} \quad (\text{Ec. 3})$$

La potencia espectral de ruido es:

$$S_{\text{ruido}} = P_{\text{ruido}} \frac{2}{f_{\text{samp}}} = \frac{\Delta^2}{6 f_s} \quad (\text{Ec. 4})$$

La resolución del convertidor se puede expresar a partir de la relación señal-ruido (SNR).

$$SNR_{dB} = 10\log\left(\frac{P_{señal}}{P_{ruido}}\right) = 10\log\left(\frac{1}{\Delta^2/12}\right) = 6,02n + 1,76 \quad (Ec. 5)$$

Este tipo de convertidores precisa de un filtro analógico y de un ajuste de los componentes muy preciso para conseguir una buena resolución. Ambos motivos hacen que sean circuitos de difícil implementación mediante tecnologías CMOS.

I.3.2 Convertidores sobremuestreados

Anteriormente se ha visto que el ruido de cuantificación se puede mejorar disminuyendo el paso de cuantificación. También es posible disminuir el ruido aumentando la frecuencia de muestreo, tal como se muestra en la Figura 4.

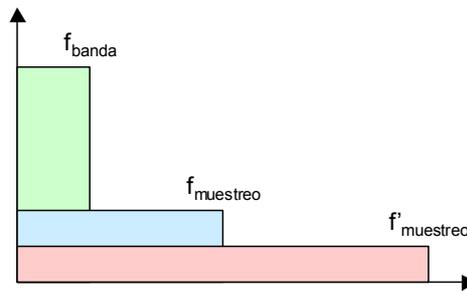


Figura 4. Variación de la distribución espectral del ruido de cuantificación en función de la frecuencia de muestreo.

El ruido de cuantificación se distribuye uniformemente desde la frecuencia 0 hasta la frecuencia de muestreo. Si se aumenta la frecuencia de muestreo, la potencia del ruido disminuye proporcionalmente, y por lo tanto mejora la SNR.

La SNR de un convertidor de Nyquist con un ancho de banda inferior a dos veces la frecuencia de muestreo es:

$$SNR_{dB} = 10\log\left(\frac{P_{señal}}{P_{ruido}}\right) + 10\log\left(\frac{f_{muestreo}}{2f_{banda}}\right) \quad (Ec. 6)$$

Se observa que es posible mejorar la SNR aumentando la frecuencia de muestreo del convertidor. Sin embargo, es necesaria una frecuencia cuatro veces superior para mejorar la resolución 1bit (6dB). Además es necesario

incluir un filtro que diezme la salida del convertidor y la pase a la frecuencia de la banda de la señal. Ambos motivos hacen que no sea muy interesante utilizar este método para mejorar la resolución de un convertidor de Nyquist.

Una posible alternativa consiste en modular el ruido pasando la parte del ruido de cuantificación a altas frecuencias.

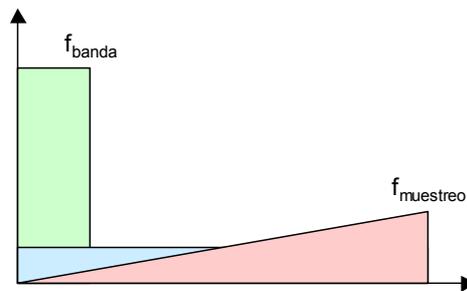


Figura 5. Variación de la distribución espectral del ruido de cuantificación con modulado de ruido.

Se observa que la potencia de ruido dentro de la banda base del convertidor queda muy reducida, ya que ésta ha sido desplazada a altas frecuencias.

El diagrama de bloques de un convertidor de este tipo se muestra en la Figura 6.

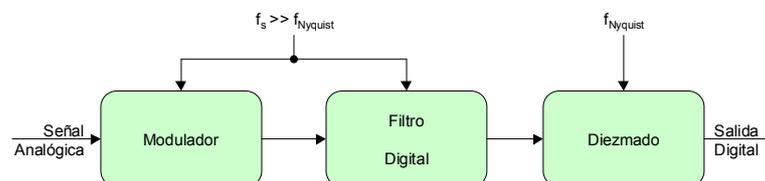


Figura 6. Diagrama de bloques de un convertidor sobremuestreado.

El convertidor sobremuestreado consta de los mismos bloques que un convertidor de Nyquist, pero organizados de forma diferente.

En la entrada se encuentra el modulador que realiza la cuantificación de la señal y la modulación del ruido. Este bloque trabaja a una frecuencia muy superior a la frecuencia de la señal de entrada (de ahí el nombre "sobremuestreado").

El modulador se suele realizar por medio de un filtro pasa-bajos introducido dentro de un bucle de realimentación^[Can74]. Este desplaza el ruido de cuantificación a altas frecuencias sin alterar la señal de entrada.

Seguidamente se encuentra un filtro digital que solo deja pasar las señales dentro de la banda base. De esta forma se elimina todo el ruido de cuantificación que se encuentra en las altas frecuencias, con lo que se aumenta la SNR.

Finalmente se incluye un diezmador^[Can86] que coge muestras a la frecuencia de Nyquist. El resultado final es una salida digital equivalente a la que se obtiene con un convertidor de Nyquist.

A continuación se presentan las características de los posibles moduladores para un convertidor sobremuestreado.

1.3.2.1 El modulador de primer orden

El modulador de primer orden es un ejemplo académico, ya que en la realidad nunca se utiliza debido a limitaciones que presenta, las cuales se expondrán al final de este apartado.

El modulador de primer orden recibe su nombre por tener un filtro pasabajos de primer orden. En este caso es un integrador ideal. El esquema^[Ino62] se muestra en la Figura 7.

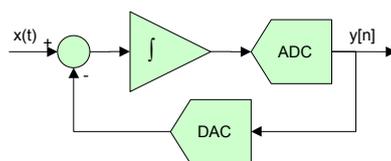


Figura 7. Esquema de un modulador de primer orden.

Como se observa, la entrada del modulador pasa a través de un integrador. La salida de este pasa a través de un ADC, el cual da una salida que es suma de la señal de entrada y del ruido de cuantificación. La señal de salida vuelve a entrar en el bucle a través del convertidor D-A (DAC) y es restada de la señal de entrada.

El modulador va reduciendo la diferencia que hay entre la entrada y la salida en pasos sucesivos. Si se promedia la salida, se observa que poco a poco esta se va acercando más al valor de la señal de entrada. En teoría, si se promedian infinitas muestras a la salida del modulador, el error del sistema

quedaría reducido a 0. Este proceso de promediado es equivalente a la función que realizan el filtro digital y el diezmador para obtener la salida del convertidor.

Cuanto mayor sea el sobremuestreo, menor será la resolución necesaria del ADC para conseguir la misma SNR. Si se lleva esto al extremo, se puede trabajar con un ADC de 1bit o lo que es equivalente, un comparador. Esto asegura la robustez y linealidad del circuito, ya que no hace falta asegurar una separación muy exacta entre niveles (dos puntos siempre forman una recta perfecta).

Para poder estudiar la función de transferencia del circuito es necesario pasar el modulador al plano Z. El diagrama de bloques que se obtiene es el de la Figura 8.

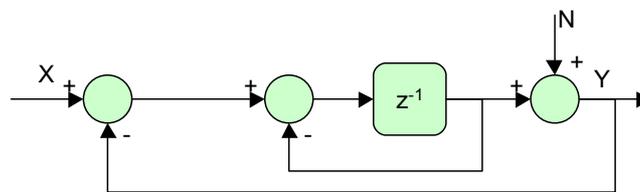


Figura 8. Diagrama de bloques de un modulador de primer orden en el plano Z.

El comparador es un elemento no-lineal, y por lo tanto no se puede pasar de forma sencilla al plano Z. En este caso se ha considerado que es equivalente a un sumador que introduce la señal debida al ruido de cuantización. Para ello es necesario que la señal de entrada sea aleatoria y que no se produzca saturación^[Ben48].

La salida del modulador se puede describir por la ecuación siguiente.

$$Y(z) = z^{-1} X(z) + (1 - z^{-1})N(z) \quad (\text{Ec. 7})$$

En la que podemos ver que el modulador actúa como un elemento de retardo para la señal de entrada (X) y como un filtro pasa-altos para el ruido de cuantificación (N). De esta forma se ha conseguido el modulado del espectro de ruido deseado, sin modificar la señal de entrada.

La densidad de potencia espectral de ruido que se obtiene después del filtro pasa-altos es:

$$S_{q\text{mod1}} = 4S_{\text{ruido}} \sin^2\left(\frac{\pi f}{f_s}\right) \quad (\text{Ec. 8})$$

Se observa que atenúa el ruido a frecuencias próximas a continua, y lo incrementa para frecuencias alrededor de la de muestreo. Si se integra la densidad de potencia espectral se puede obtener el ruido dentro de la banda base.

$$\begin{aligned} P_{\text{Banda}} &= \int_0^{f_B} S_{q\text{mod1}} df = \int_0^{f_B} 4 \frac{2}{f_s} \frac{\Delta^2}{12} \sin^2\left(\frac{\pi f}{f_s}\right) df = \frac{2\Delta^2}{3f_s} \int_0^{f_B} \sin^2\left(\frac{\pi f}{f_s}\right) df \quad (\text{Ec. 9}) \\ &\approx \frac{2\Delta^2}{3f_s} \left\{ \frac{f_B}{2} - \frac{f_s}{4\pi} \left[\frac{2\pi f_B}{f_s} - \frac{1}{6} \left(\frac{2\pi f_B}{f_s} \right)^3 + \dots \right] \right\} = \frac{\pi^2 \Delta^2}{36} \left(\frac{2f_B}{f_s} \right)^3 \end{aligned}$$

La amplitud máxima que puede tener una señal sinusoidal de entrada es $\frac{\Delta}{2}$, por lo que la potencia máxima es $\frac{\Delta^2}{8}$. A partir de ella es posible obtener la SNR.

$$SNR_{dB} = 10 \log\left(\frac{P_{\text{señal}}}{P_{\text{Banda}}}\right) = 10 \log\left(\frac{9M^3}{2\pi^2}\right) = 9,03 \log_2(M) - 3,41 \quad (\text{Ec. 10})$$

Donde M es el factor de sobremuestreo que se define como la relación entre la frecuencia de muestreo y la amplitud de la banda base.

$$M = \frac{f_s}{2f_B} \quad (\text{Ec. 11})$$

La SNR disminuye a medida que aumenta el factor de sobremuestreo. Cada vez que se duplica la frecuencia de muestreo, se mejora el SNR en 1.5bits. Esto implica que con un M de 256, la SNR es de 68,8dB, que equivale a unos 11bits (1bit \cong 6dB).

En este estudio se ha supuesto en todo momento que los componentes del modulador son ideales, así como el filtrado digital. Sin embargo debido a las no-idealidades de todos ellos las prestaciones se ven disminuidas.

Tal como se ha dicho al principio este apartado, este tipo de moduladores tienen una función académica. El motivo es debido a que el propio modulador introduce ruido en la banda base la señal de entrada es continua.

El motivo es que cuando el modulador recibe una señal en continua, intenta llegar a un error de valor nulo, cuando lo alcanza vuelve a empezar la misma búsqueda. Si no hay ruido en la señal de entrada, este proceso es cíclico, con una periodicidad que dependerá del valor de la señal en continua.

Si este periodo es suficientemente largo, su frecuencia entra dentro de la banda base, y por lo tanto el filtro no las elimina. Esto introduce señales periódicas en la señal de salida (*idle tones*)^[Can81].

Existen métodos para solucionar el problema, como añadir ruido a la señal de entrada, de forma que el modulador nunca vea una señal en continua. También existen otras posibilidades como aumentar el orden del modulador. Con ello, además de evitar los *idle tones*^[Can85], se aumenta la SNR para un mismo factor de sobremuestreo.

1.3.2.2 Modulador de segundo orden

El modulador de segundo orden realiza, como su nombre indica, un modulado del ruido de cuantización de segundo orden. Para ello introduce dos integradores dentro del bucle de realimentación. Permite conseguir una resolución de 16bits con factores de sobremuestreo inferiores a 256. El diagrama de bloques del modulador se muestra en la figura.

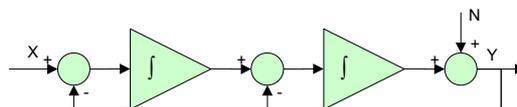


Figura 9. Diagrama de bloques de un modulador de segundo orden en el plano Z.

La ecuación que define el sistema es la siguiente.

$$Y(z) = z^{-2} X(z) + (1 - z^{-1})^2 N(z) \quad (\text{Ec. 12})$$

Se observa que el comportamiento es muy semejante al del modulador de primer orden. Introduce un retardo de segundo orden a la señal de entrada, y un filtro pasa-altos de segundo orden para el ruido.

Se puede repetir el mismo estudio para el modulador de primer orden. La densidad de potencia espectral de ruido después del filtro pasa-altos es:

$$S_{q_{\text{mod}2}} = 16S_{\text{ruido}} \sin^4\left(\frac{\pi f}{f_s}\right) \quad (\text{Ec. 13})$$

La potencia del ruido en la banda base que se obtiene después de integrar la densidad espectral de ruido es:

$$P_{\text{Banda}} \approx \frac{\pi^4 \Delta^2}{60} \left(\frac{2f_B}{f_s}\right)^5 \quad (\text{Ec. 14})$$

De donde se obtiene la SNR.

$$SNR_{dB} = 10\log\left(\frac{P_{\text{señal}}}{P_{\text{Banda}}}\right) = 10\log\left(\frac{15M^5}{2\pi^4}\right) = 15,05\log_2(M) - 11,13 \quad (\text{Ec. 15})$$

En este caso, la duplicación de la frecuencia de muestreo conlleva un aumento de 2,5bits en la SNR. Por lo tanto, sería posible conseguir 18bits de resolución con un M de 256, si el modulador no tuviera otras fuentes de ruido interno (como el térmico o 1/f).

Teniendo en cuenta todos estos aspectos, se ha optado por un modulador $\Delta-\Sigma$, ya que es el que mejor cumple los requerimientos.

I.3.3 Caracterización de convertidores sobremuestreados

En los apartados anteriores se ha presentado la relación señal-ruido para caracterizar un convertidor sobremuestreado, ya que ésta da cuenta de los errores introducidos por el ruido de cuantización. Sin embargo, cuando se diseña un sistema real, aparecen otros efectos que es necesario considerar.

La salida de un modulador frente a una señal sinusoidal se puede describir por las siguientes componentes^[Bos88].

$$y(t) = a_0 + a_1 \cos(2\pi f t + \phi_1) + \sum_{k=2}^K a_k \cos(2\pi k f t + \phi_k) + \eta(t) \quad (\text{Ec. 16})$$

Donde $y(t)$ es la señal a la salida del modulador, a_0 es el offset, a_1 es la señal a la frecuencia de la señal de entrada, a_k son las amplitudes para las componentes armónicas de la señal, f es la frecuencia de la señal de entrada, ϕ es el desfase de cada una de las componentes de la señal y η es el ruido introducido por el modulador, que incluye la cuantificación y la no-idealidad de los componentes del modulador.

Para obtener cada una de las componentes del ruido se realiza una minimización del error sinusoidal, que es equivalente a una regresión sinusoidal. Este método extrae cada una de las componentes sinusoidales de la señal de salida por el método de los mínimos cuadrados.

A partir de ellas es posible extraer la potencia de la señal (σ_{sal}^2) y de la distorsión armónica (σ_{hh}^2).

$$\sigma_{sal}^2 = \frac{a_1^2}{2} \quad (\text{Ec. 17})$$

$$\sigma_{hh}^2 = \frac{1}{2} \sum_{k=2}^K a_k^2 \quad (\text{Ec. 18})$$

y definir la relación señal-distorsión armónica (SDR).

$$SDR = \frac{P_{Señal}}{P_{Distorsión}} = \frac{\sigma_{sal}^2}{\sigma_{hh}^2} \quad (\text{Ec. 19})$$

Una vez obtenidas estas componentes, son substraídas de la señal de salida. Con ello queda únicamente la contribución debida al ruido (η).

$$\eta(t) = y(t) - a_0 - a_1 \cos(2\pi f t + \phi_1) - \sum_{k=2}^K a_k \cos(2\pi k f t + \phi_k) \quad (\text{Ec. 20})$$

Si se realiza la transformada de Fourier de esta señal, se obtiene el comportamiento del ruido introducido por el modulador. Ahora sólo es necesario calcular la potencia del ruido que se encuentra en la banda base, para obtener el ruido introducido por el modulador.

$$\sigma_{\eta\eta}^2 = \frac{1}{f_B} \int_0^{f_B} \eta^2(f) df \quad (\text{Ec. 21})$$

A partir de este resultado se puede calcular la relación señal-ruido de la salida.

$$SNR = \frac{P_{Señal}}{P_{Ruido}} = \frac{\sigma_{sal}^2}{\sigma_{\eta\eta}^2} \quad (\text{Ec. 22})$$

Por último se puede calcular la relación de ambas componentes respecto a la señal, que denominaremos relación señal-ruido y distorsión. Esta se define como:

$$SNDR = \frac{P_{Señal}}{P_{Ruido} + P_{Distorsión}} = \frac{\sigma_{sal}^2}{\sigma_{\eta\eta}^2 + \sigma_{hh}^2} \quad (\text{Ec. 23})$$

Con este método es posible estudiar tanto los resultados obtenidos por simulación, como los experimentales.

I.4 Organización de los capítulos

Tal como se ha indicado anteriormente, se ha seguido una metodología de diseño Top-Down, empezando por un estudio del problema de la medida, y acabando con el diseño físico y el test. Este esquema se muestra en la Figura 10.

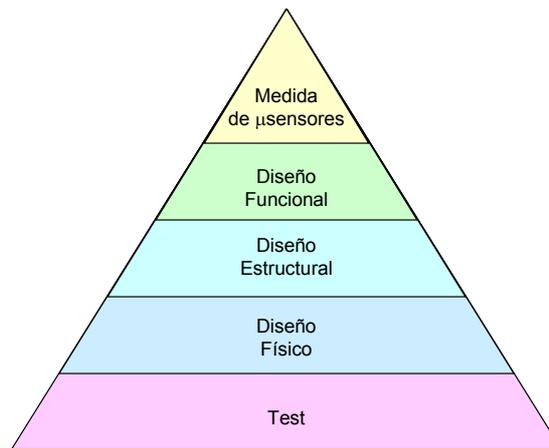


Figura 10. Esquema de diseño según metodología Top-Down

A la hora de escribir esta tesis también se ha seguido el mismo esquema, organizando los capítulos en el mismo orden.

Medida de Microsensores Capacitivos: Describe el problema de la medida, haciendo hincapié en los problemas que se pueden encontrar con un microsensor capacitivo. También realiza el estudio de un microsensor concreto, un acelerómetro xyz para el automovil.

Diseño Funcional: En este capítulo se estudian las posibles opciones para el diseño de la interfaz. Y posteriormente se analiza la estabilidad del sistema sensor-interfaz.

Diseño Estructural: A partir de las decisiones tomadas en el diseño funcional, se baja al nivel de bloques y se estudia que componentes y dispositivos son más adecuados para el diseño a partir de la modelización y simulaciones realizadas.

Diseño Físico: Se explica todo el proceso seguido para el diseño de las máscaras de la interfaz. Para ello se presenta una explicación más detallada de aquellos dispositivos que por sus características son más dependientes de las condiciones de las máscaras.

Test: Este último capítulo presenta la metodología seguida para la caracterización de los circuitos, así como los resultados obtenidos.

I.5 Referencias

- [Bal96] H. Baltes, "Future of IC microtransducers", Sensors and Actuators A, Vol. 56, pp. 179-192, 1996.
- [Dem97] ESPRIT Project No. 8756, "Design and Technology Methodology for ASIS Cells", Final Report, July 1997.
- [Est97] D. Esteve, "Basic Research for Microsystems Integration", Cépaduès Éditions, ISBN 2-854-28-465-8, 1997.
- [Max95] ESPRIT III Project No. 6416, "Multiaxial Monolithic Integrated Accelerometer", Final Technical Report, 1995.
- [All87] P.E. Allen and D.R. Holberg, "CMOS Analog Circuit Design", Harcourt Brace Jovanovich College Publishers, 1987.
- [C&T92] "Oversampling Delta-Sigma Converters: Theory, Design and Simulation", Ed. J.C. Candy and G.C. Temes, ISBN 0-87942-285-8, IEEE Press, 1992.
- [Can74] J.C. Candy, "A Use of Limit Cycle Oscillations to Obtain Robust Analog-to-Digital Converters", IEEE Transactions on Communications, Vol. COM-20, pp. 298-305, 1974.
- [Can86] J.C. Candy, "Decimation for Sigma-Delta Modulation", IEEE Transactions on Communications, Vol. COM-34, No. 1, pp. 72-76, 1986.
- [Ino62] H. Inose, Y. Yasuda, J. Murakami, "A Telemetry System Code Modulation - Δ - Σ Modulation", IRE Trans. Space Elect. Telemetry, vol. SET-8, pp. 204-209, 1962.
- [Ben48] W.R. Bennet, "Spectra of Quantized Signals", Bell Sys. Tech. J., vol. 27, pp. 466-472, 1948.
- [Can81] J.C. Candy, O.J. Benjamin, "The Structure of Quantization Noise from Sigma-Delta Modulation", IEEE Transactions on Communications, Vol. COM-29, No. 9, pp. 1316-1323, 1981.

[Can85] J.C. Candy, "A Use of Double Integration in Sigma Delta Modulation", IEEE Transactions on Communications, Vol. COM-33, No. 3, pp. 249-258, 1985.

[Bos88] B.E. Boser, K.-P. Karmann, H. Martin, B.A. Wooley, "Simulating and Testing Oversampled Analog-to-Digital Converters", IEEE Trans. Computer-Aided Design, vol. 7, pp. 668-674, 1988.

