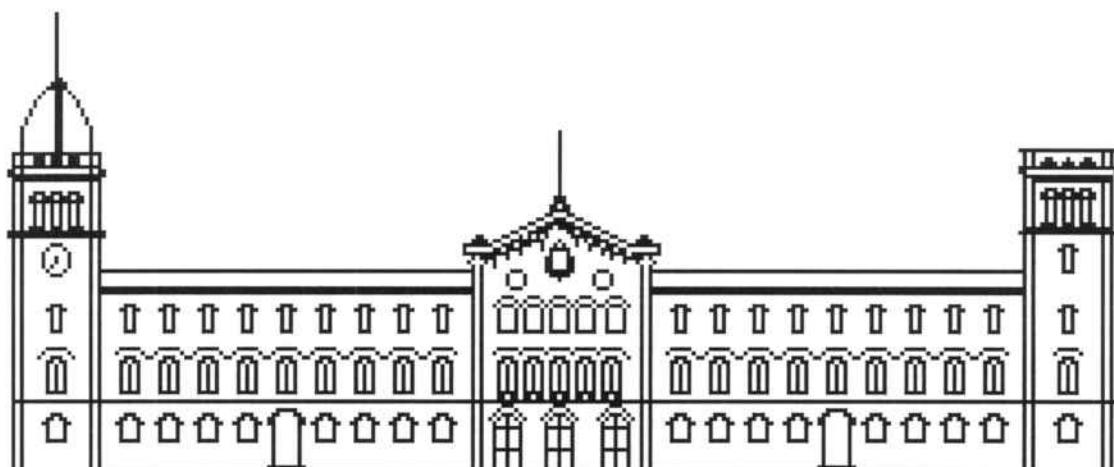




**ENGINYERIA ELECTRÒNICA
FACULTAT DE FÍSICA
UNIVERSITAT DE BARCELONA**

**TEST DE UN CIRCUITO BICMOS AMPLIFICADOR-
DISCRMINADOR DESARROLLADO EN EL CERN PARA LA
DETECCIÓN DE PARTÍCULAS E IDENTIFICACIÓN DE
ELECTRONES.**

Proyecto Final de Carrera presentado por:

Javier José Sieiro Córdoba

Directores del Trabajo: Dr. Josep Samitier, Dr. Sebastià Bota



ÍNDICE.

Introducción.

Tema 1: HERA-B: un experimento para el estudio de la violación CP.

- 1.1. Introducción.
- 1.2. El detector HERA-B.

Tema 2: Detectores de radiación: respuesta en el dominio eléctrico.

- 2.1. Introducción.
- 2.2. Detectores basados en ionización de gases
- 2.3. Centelleadores.
- 2.4. Fotomultiplicadores.
- 2.5. Detectores de semiconductor.

Tema 3: Circuitos de procesamiento de la señal en instrumentación nuclear: el ASDBLR.

- 3.1. Introducción.
- 3.2. Preamplificadores.
- 3.3. Redes de shaping.
 - 3.3.1. Diferenciación-integración RC.
 - 3.3.2. Shaping por retraso de línea.
 - 3.3.3. Shaper del ASDBLR.
 - 3.3.4. Baseline restorer.
- 3.4. Discriminador.
- 3.4. Tecnología utilizada y diseño del layout del ASDBLR.
 - 3.4.1. Tecnología.
 - 3.4.2. Diseño de *layout*.

Tema 4: Estándares NIM y CAMAC.

- 4.1. Introducción.
- 4.2. Estándar NIM.
- 4.3. Estándar CAMAC.

Tema 5: Concepción del sistema de test.

- 5.1. Introducción.
- 5.2. Estudios previos del sistema.
 - 5.2.1. Diseño del circuito impreso para la ubicación del ASD-8.
 - 5.2.2. Otros sistemas de test para el ASD-8.
- 5.3. Test propuesto para el ASD8.
- 5.4. Requisitos del sistema de test.
- 5.5. Descripción funcional.

Tema 6: Desarrollo del sistema de test.

- 6.1. Introducción.
- 6.2. Generación de señales.
 - 6.2.1. Generación del clock.
 - 6.2.2. Señales de control.
 - 6.2.3. Control del nivel de carga.
 - 6.2.4. Sistema de enrutamiento.

- 6.2.5. Señal testpulse.
- 6.2.6. Cableado lemo.
- 6.2.7. Acondicionamiento de la señal.
- 6.2.8. Problemas EMI del sistema generador de señales.
- 6.3. Sistema de adquisición de datos.
- 6.4. Alimentación.
- 6.5. Presupuesto y cronograma del sistema de test.

Tema 7: Calibración.

- 7.1. Introducción.
- 7.2. Métodos de calibración.
 - 7.2.1. Variable $C_{in,i}$.
 - 7.2.2. Variable $Q_{in,i}$.
- 7.3. Determinación de $Q_{in,i}$ con el amplificador de carga.
 - 7.3.1. Estudio del amplificador de carga.
 - 7.3.2. Calibración del amplificador de carga usado.
 - 7.3.3. Calibración del sistema de test.

Tema 8: Resultados.

- 8.1. Introducción.
- 8.2. Validación de los resultados experimentales.
- 8.3. Estudio del ancho de banda.
- 8.4. Resultados en el RICH.

Tema 9: Mejoras y conclusiones.

- 9.1. Sistema de test.
- 9.2. ASDBLR.

Bibliografía.

Apéndice A: Equipo de test y grupo HERA-B en E.C.M.

Apéndice B: Programas Labview.

Apéndice C: Hojas de características de integrados y módulos de instrumentación.

INTRODUCCIÓN

El presente proyecto surge como respuesta a la incorporación del departamento de *Estructura i Constituents de la Matèria* (Universitat de Barcelona) como entidad participante en el desarrollo de HERA-B.

HERA-B es un experimento del laboratorio DESY (*Deutsches Elektronen-Synchrotron*) situado en Hamburgo. Su objetivo principal es el estudio de la medición de la violación CP (Carga-Paridad) mediante la selección de mesones B, producidos en las colisiones entre protones del halo del acelerador HERA y un blanco fijo. Debido a las peculiaridades de la puesta a punto del experimento, HERA-B tiene buenas posibilidades de ser el primer detector mundial que mida la violación CP en quarks *bottom*.

El objetivo de este proyecto será la creación de un banco de test para la electrónica de una parte del detector. Ésta está constituida por los circuitos ASDBLR (*Amplifier-Shaper-Discriminator with Baseline Restoration*). En el desarrollo, se tendrá en cuenta el tipo de señales que afectarán al circuito, las condiciones de trabajo en las que se encontrará y qué tipo de parámetros son los que se quieren medir. El objetivo principal es determinar si este circuito integrado se puede utilizar como electrónica de *front-end* del subdetector RICH (*Ring Imaging Čerenkov*), para el cual no ha sido específicamente diseñado. Además, en función del comportamiento de los mismos, se establecerá una clasificación para establecer su posterior ubicación en el RICH.

La memoria queda dividida en tres secciones. En la primera, se hace una breve descripción del experimento HERA-B. Los sensores de radiación son objeto de estudio en el segundo capítulo, profundizando en el tipo de señales que generan. También se analiza el circuito ASDBLR, resaltando sus parámetros de diseño y cómo implementa las funciones típicas de procesamiento de la señal. Finalmente, dedicamos una breve introducción a los estándares NIM y CAMAC, base de la instrumentación utilizada en el proyecto.

En la segunda sección, presentamos el desarrollo del sistema de test. Se ha dividido en tres apartados: estudios previos, ingeniería de desarrollo y calibración del

sistema. Se ofrece una solución cerrada del proyecto para ser ejecutada dentro de los plazos establecidos.

El resultado de los circuitos testeados se presenta en la última sección, tanto desde el punto de vista del test como de su operación *in situ*. Se dedica el último capítulo a las conclusiones que se han obtenido de la implementación del banco de test y del estudio de los dispositivos.

1. HERA-B: UN EXPERIMENTO PARA EL ESTUDIO DE LA VIOLACIÓN CP.

1.1. INTRODUCCIÓN.

Actualmente, los laboratorios de aceleradores construyen o planean experimentos para el estudio de la violación de CP. En el DESY, esta actuación se lleva a cabo a través del experimento HERA-B, donde se espera que el acelerador HERA sea capaz de producir 10^9 hadrones B por año, suficientes para un descubrimiento de violación de CP y de otros tópicos de física. Existen otros experimentos paralelos o de próxima generación que se están llevando a cabo en otros laboratorios como son el SLAC (*Stanford Linear Accelerator*), el KEK (*Koh-Enerugii Kasokuki*), o el LHC (*Large Hadron Collider*) en el CERN.

Ya hace tiempo que se intentaron una serie de trabajos para estudiar los hadrones pesados producidos por máquinas hadrónicas; sin embargo, fracasaron en su intento debido a que la optimización de las condiciones de *trigger* son muy exigentes. Estas condiciones, que implican una electrónica de procesado y adquisición de datos muy rápida, son:

- i) Ratios de interacción de 30Mhz: esta frecuencia provoca múltiples interacciones en cada cruce del haz con el blanco, trazas de alta multiplicidad y daños en el detector a causa de la gran cantidad de radiación recibida.
- ii) Sólo 1 de cada 10^6 interacciones produce un mesón B. Por tanto, se necesita un alto rechazo, del orden de 10^5 , en la etapa de *trigger*, sin que se introduzca ningún tiempo muerto en la etapa de adquisición de datos.
- iii) El espectrómetro debe ser capaz de identificar, seleccionar y reconstruir los modos de desintegración de los mesones B de interés.

En la actualidad, la mayoría de estas cuestiones técnicas ya están solucionadas y HERA-B las implementará. Por otro lado, también serán utilizadas en el diseño del LHC del CERN, pudiendo aprovecharse la experiencia acumulada en HERA-B.

1.2. EL DETECTOR HERA-B.

HERA-B se compone de cuatro subsistemas:

- 1) **Blanco:** sobre éste, impacta el haz de protones (de una energía de 820 GeV) con el fin de producir partículas subatómicas; principalmente, mesones B. La estructura se muestra en la figura I.1 y consiste en dos conjuntos de cuatro tiras de metal de 50 μm de ancho y 500 μm de espesor en la dirección del haz. El blanco dispone de servomecanismos que permiten situarlo correctamente frente al haz para que se mantenga el ratio de eventos constante.

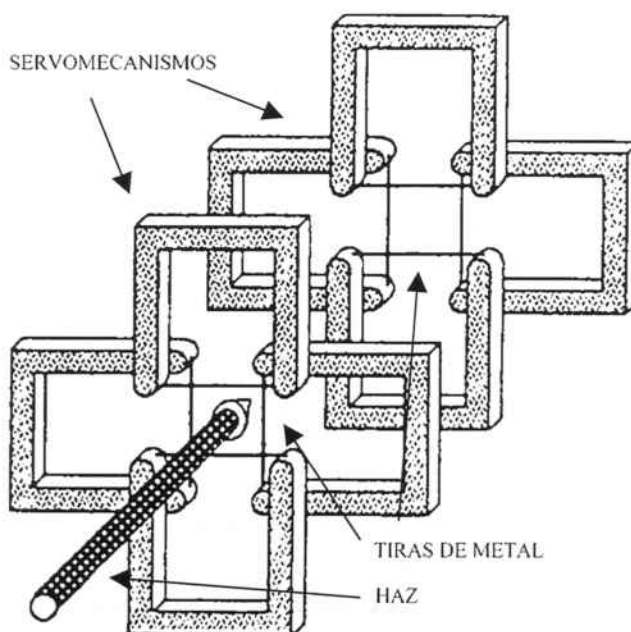


Figura I.1: Esquemático del blanco.

- 2) **Espectrómetro:** la figura 2 muestra su sección a lo largo del eje axial según los planos xy e yz, respectivamente. La complejidad de este detector reside en su pequeña granularidad, necesaria para tratar la alta densidad de partículas que surgen del blanco.

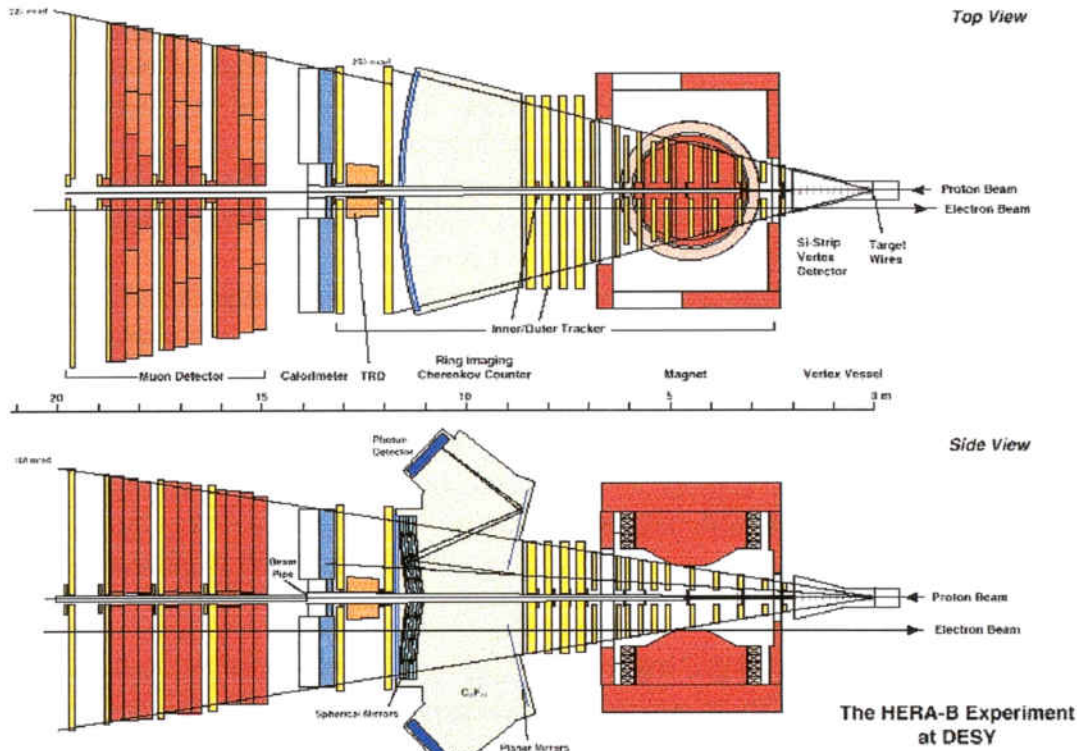


Figura I.2: detector HERA-B, vista de los planos xy e yz.

Dentro de éste, podemos distinguir:

- Silicon-Strip detector vertex***: al pasar las partículas de alta energía a través de él, provocan que el material se ionice dando lugar a una respuesta eléctrica que es recogida por una electrónica auxiliar. Con ello, puede conocerse las diferentes trazas generadas a la salida del blanco (*vertex*). Esta es la zona más expuesta a la radiación.
- Imán de dipolo simple***: crea un campo magnético uniforme y perpendicular a la trayectoria de las partículas. Su finalidad es desviarlas para poder medir su momento a posteriori. Queda situado a 4.5m del blanco, que es una distancia de compromiso entre su apertura y su capacidad de aceptar las desintegraciones de interés.
- Tracker (Inner-Outer)***: son sistemas similares al *silicon-strip detector vertex*, en cuanto a su función, pero contruidos en base a una tecnología más barata (los requisitos de sensibilidad son menores en esta zona). Mide la desviación sufrida por las partículas en la etapa anterior permitiendo conocer el valor de su momento.
- RICH (Ring Imaging #erenkov)***: su función es la de determinar la masa de los piones y kaones generados en el impacto del halo de protones contra el blanco. El subdetector es una cavidad llena de gas C_4F_{10} que permite la generación de radiación #erenkov. Cuando una partícula atraviesa el recipiente de gas a una velocidad mayor que la de la luz en el medio, se crea

una onda de choque. Los fotones producidos son focalizados, mediante un sistema óptico adecuado, en una misma corona circular y delante de una batería de fotomultiplicadores (PMT's). Al detectarse la llegada de un fotón, los PMT's generan una señal eléctrica en intensidad que es recogida y evaluada por una electrónica final, constituida por los ASDBLR. La información generada en este punto permite conocer la velocidad y la masa de las partículas detectadas.

- e) **Calorímetro electromagnético:** sirve para detectar las trazas de los electrones que llegan a esta región del espectrómetro. Dejan prácticamente toda su energía, posibilitando su rápida identificación.
- f) **Sistema de detección de muones:** consiste en una serie de materiales absorbentes que actúan como filtro (estas partículas son las únicas capaces de atravesarlo). De esta forma, las trazas detectadas a su salida serán exclusivamente de muones.

3) **Trigger:** uno de los aspectos más cruciales de HERA-B es su sistema de *trigger*, que debe reducir las interacciones primarias en un factor de 10^5 antes de tratar de realizar una reconstrucción completa del suceso. Debido a este requisito, el experimento ha de concentrarse en las desintegraciones de mesones B con una signatura clara: aquellas que tienen un estado final J/Ψ que decae en dos leptones, ya sea e^+e^- o $\mu^+\mu^-$. Con el fin de abrir canales físicos adicionales, el *trigger* también deberá aceptar eventos de dileptón. El *trigger* J/Ψ alcanza su alta selectividad al explotar simultáneamente las tres características del canal $B \rightarrow J/\Psi X$, que rara vez son ocultadas por otros eventos ordinarios. Estas características son:

- i) La aparición de dos leptones de igual sabor y carga positiva.
- ii) Una gran masa invariante del par del *track*; se precisa $m > 2\text{GeV}$.
- iii) Un *vértex* secundario común separado del blanco algunos milímetros de distancia de vuelo.

La estructura del *trigger* consta de tres niveles. Los dos primeros criterios anteriores rigen el primer nivel; el segundo nivel se basa en el tercero; y el tercer nivel refina la determinación de los parámetros del dileptón y permite mayor exactitud en la determinación de la masa de J/Ψ .

El sistema de *trigger* se implementa en una estructura *pipeline* donde los datos son almacenados en *buffers* durante el tiempo de decisión (del orden de 100 ns). El hardware para el primer *trigger* está basado en procesadores *custom-build*. El segundo nivel se basa en procesadores programables y el tercero, en CPU comerciales.

4) **Sistema de DAQ (Data Acquisition):** los requisitos en el sistema DAQ de HERA-B y su *layout* (figura I.3) se parecen a los utilizados en otros detectores de LHC; pero es algo más sencillo, ya que se dispone de más tiempo entre *bunch crossing*, o cruce del haz con el blanco. Esto simplifica los problemas de sincronización y permite el uso de componentes estándar.

El DAQ consta de más de 500.000 canales, que ofrecen un flujo de datos equivalente a algunos Tbytes/s. Durante el tiempo de decisión del primer nivel de *trigger*, esta información debe ser almacenada. Mayoritariamente, se efectuará con electrónica de *front-end*, tanto analógica como digital. Bajo la llegada de una señal de *trigger*, los datos son multiplexados para su transmisión a la siguiente etapa y son llevados a controladores de lectura, donde se guardan en memorias digitales en espera del segundo nivel. También, y si es necesario, se digitizan los datos y se les aplica un algoritmo de *zero-surpressed*. Siguiendo un evento aceptado en el segundo nivel, los datos son enviados al tercero con un *throughput* de 100 Mbytes/s.

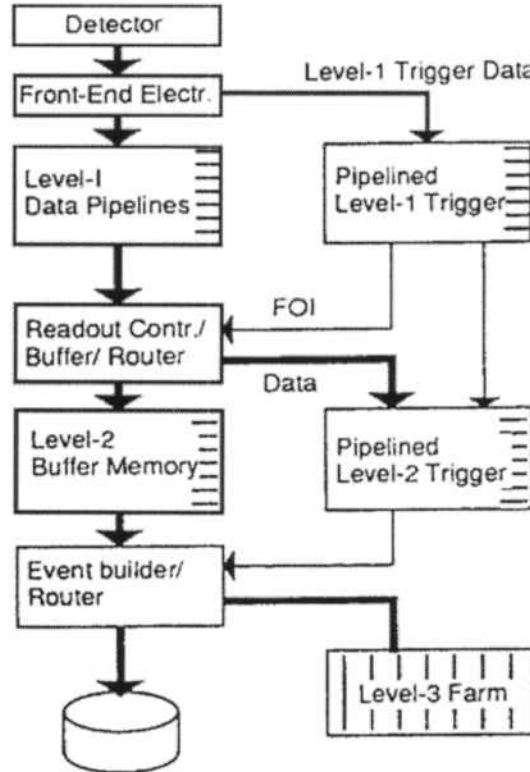


Figura I.3: Flujo de datos en los sistemas de *trigger* y DAQ.

2. DETECTORES DE RADIACIÓN: RESPUESTA EN EL DOMINIO ELÉCTRICO.

2.1. INTRODUCCIÓN.

Aunque durante la historia de la física nuclear y de partículas se han desarrollado y utilizado una gran variedad de detectores, todos responden al mismo principio: la transferencia de una parte o de toda la energía de radiación a la masa del detector, donde se convierte en otra forma de energía accesible a la percepción humana. El mecanismo principal de transferencia de energía es a través de colisiones con la materia, provocando la excitación e ionización de átomos. La forma de conversión depende del diseño del detector. Así, nos encontramos con que pueden dar lugar a señales eléctricas (como pueden ser los detectores basados en gas) o señales ópticas (materiales centelleadores).

Hoy en día, sin embargo, la mayoría de detectores son de naturaleza eléctrica; es decir, en algún punto de la cadena de información, la señal se transforma a este dominio físico, como se indica en la figura II.1. De esta forma, se pueden aprovechar las ventajas en el tratamiento de la información propias de la electrónica.

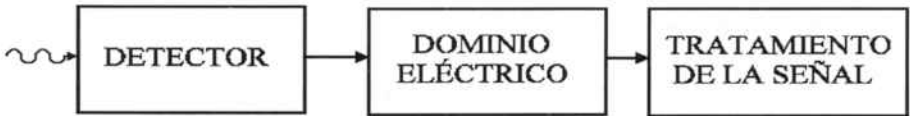


Figura II.1: Transformación de la radiación en información.

En este capítulo, estudiaremos algunos dispositivos de detección cuya señal de salida será de naturaleza eléctrica. La finalidad será conocer el tipo de señales que deberemos generar en el sistema de test y que alimentarán al dispositivo bajo test.

2.2. DETECTORES BASADOS EN IONIZACIÓN DE GASES.

Los gases son el medio por excelencia para la construcción de un detector de radiación por ionización. La razón principal es que los electrones e iones presentan una gran movilidad. Existen varios fenómenos involucrados en la ionización; por tanto, si hacemos trabajar el detector bajo ciertos parámetros dados (voltajes, presión del gas, tipo de gas....), se obtienen diferentes clases de dispositivos como son las cámaras de ionización, los contadores proporcionales y el contador Geiger-Müller.

La configuración básica de éstos (figura II.2) consiste en un recipiente cilíndrico de paredes conductoras y una ventana muy fina al final que permite el paso de la radiación. El cilindro está lleno de un gas, normalmente argón, y a lo largo del eje del cilindro existe un hilo conductor, llamado ánodo, conectado a un voltaje V_0 relativo a las paredes.

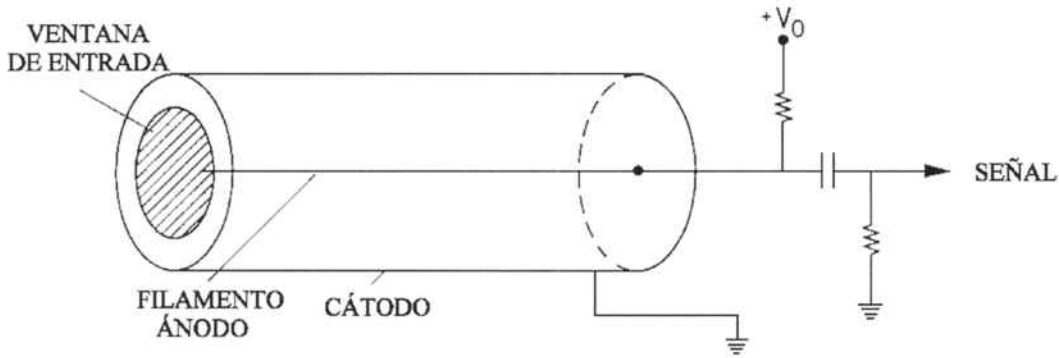


Figura II.2: Estructura básica de un detector de ionización de gas.

Así, el campo eléctrico radial que se crea viene dado por:

$$E = \frac{V_0 \ln\left(\frac{a}{b}\right)}{r} \quad (2.1)$$

donde b es el radio interno del cilindro y a el del hilo axial.

Si suponemos que penetra radiación en el cilindro, se crearán un cierto número de pares electrón-ion, directamente proporcional a la energía que entra en el detector. Bajo la acción del campo eléctrico, los electrones son acelerados hacia el ánodo y los iones positivos hacia el cátodo produciéndose, por inducción, un pulso de intensidad en los electrodos. La amplitud de la señal eléctrica que se recoja en los electrodos dependerá de la intensidad del campo E .

De esta familia de dispositivos, nos interesa conocer la señal generada a su salida. Nos centraremos, concretamente, en los contadores proporcionales ya que suelen tener como electrónica de *front-end* el circuito ASDBLR.

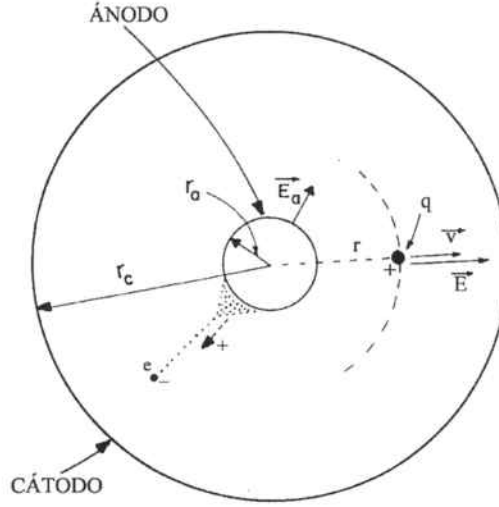


Figura II.3: Voltaje inducido por el movimiento de una carga.

En la figura II.3, se muestra una partícula entrando con una velocidad $v(t)$ a través del detector e ionizando el gas. El campo $E(r)$ y el potencial $v(r)$ de la estructura cilíndrica vienen dados, en función de la capacidad por unidad de longitud del detector, por las siguientes expresiones:

$$E(r) = \frac{CV_0}{2\pi\epsilon r} ; \quad v(r) = \frac{-CV_0 \ln(\frac{r}{a})}{2\pi\epsilon} \quad (2.2)$$

Si suponemos que existe una carga, producto de la ionización, a una distancia R del ánodo y que desplaza su posición en una cantidad dr , el cambio en su energía potencial asociada es:

$$dW = q \left| \frac{dv(r)}{dr} \right|_R dr \quad (2.3)$$

Considerando que el movimiento de la partícula es suficientemente rápido como para que la fuente de potencia V_0 no pueda reaccionar al cambio provocado por el desplazamiento de la partícula, la energía del sistema "detector + partícula" se conserva (dW es igual al cambio de energía del detector). De esta forma, el cambio de voltaje en los electrodos es:

$$dV = \frac{q \left| \frac{dv(r)}{dr} \right|_R}{CV_0} dr \quad (2.4)$$

Experimentalmente, la ionización tiene lugar cerca del ánodo, provocando que los e^- contribuyan muy poco al cambio de voltaje en el detector (datos típicos, $r_a=10\mu\text{m}$, $r_b=10\text{mm}$, $r'=1\mu\text{m}$, resultando en una contribución inferior al 1%). Con esta simplificación, la carga inducida proviene en la práctica del movimiento de los iones desde r_a a $r(t)$. El voltaje entre los electrodos en función del tiempo será:

$$V = \int_{r(0)}^{r(t)} \frac{q \left| \frac{dv(r)}{dr} \right|_R}{CV_0} dr = -\frac{q}{2\pi\epsilon l} \int_{r_a}^{r(t)} \frac{1}{r} dr = -\frac{q}{2\pi\epsilon l} \ln \frac{r(t)}{r_a} \quad (2.5)$$

El valor de $r(t)$ es fácilmente deducible a partir de la ley de Ohm diferencial:

$$\frac{dr}{dt} = \mu E(r) \Rightarrow r(t) = \left(a^2 + \frac{\mu CV_0}{\pi\epsilon} t \right)^{\frac{1}{2}} \quad (2.6)$$

y sustituyendo esta ecuación en la anterior, obtenemos la salida típica del detector:

$$V(t) = -\frac{q}{4\pi\epsilon l} \ln\left(1 + \frac{t}{t_0}\right) \quad \text{donde} \quad t_0 = a^2 \pi \epsilon / \mu CV_0 \quad (2.7)$$

t_0 es un parámetro de diseño del detector que expresa el tiempo de tránsito de los iones en el interior del detector. Más que el voltaje, interesa conocer el valor de la carga y de la intensidad inducidas. La carga es proporcional a $V(t)$ ($Q = C \cdot V$); y la intensidad, a su derivada. La figura II.4 nos muestra la corriente y la carga inducidas, normalizando el tiempo a t_0 .

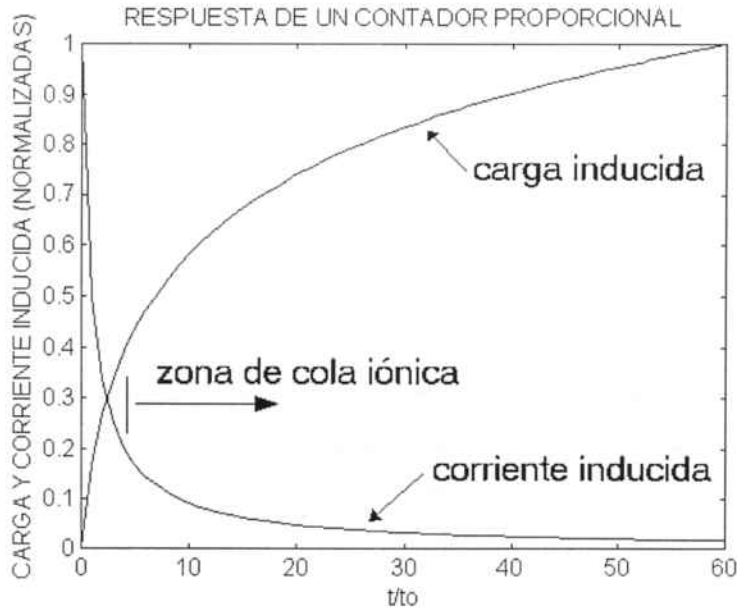


Figura II.4: Corriente y carga inducidas en un detector por ionización de gases.

Obsérvese el tipo de decaimiento de la cola iónica, que es una función del tipo $1/(t+t_0)$. Cuando se analice el ASDBLR, se verá cómo se trata este tipo de señal.

Normalmente, en la obtención de datos experimentales, se elimina la cola. De esta forma, puede disminuirse el tiempo de resolución entre dos eventos.

2.3. CENTELLEADORES.

Los centelleadores hacen uso de la propiedad de luminiscencia. Cuando este material recibe radiación, emiten un pequeño *flash* de luz denominado centelleo. Si el tiempo que transcurre entre que el material recibe la señal y genera el flash es de $10\text{e-}8$ s, se habla de fosforescencia; y fluorescencia, si este está por encima de μs . Los materiales usados en su elaboración son: cristales orgánicos, líquidos orgánicos, plásticos, cristales inorgánicos, gases y vidrios.

Las ventajas que ofrecen los centelleadores son:

- i) Buena linealidad, proporcional a la energía que absorben.
- ii) Velocidad: son capaces de determinar dobles eventos separados temporalmente por pocos ns.
- iii) Con cierto tipo de centelleadores, es posible determinar diferentes tipos de partículas sin más que analizar la forma de los pulsos de luz emitidos. Ello se debe a que se excitan diferentes mecanismos de fosforescencia, dependiendo de la fuerza de ionización de cada partícula.

Como primera aproximación, el proceso de emisión en función del tiempo puede modelarse con una caída exponencial:

$$N = \frac{N_0}{t_d} \exp(-t/t_d) \tag{2.8}$$

donde N_0 es el número total de fotones emitidos y t_d es la constante de tiempo de decaimiento del material. Obsérvese que, en (2.8), se ha tomado el tiempo de subida idealmente 0, ya que normalmente es mucho más rápido que el de caída. La tabla II.1 muestra los valores típicos de t_d para diversos materiales.

Centelleador	Tipo	Densidad	Índice Refracción	t_d [ns]	λ máxima emisión [nm]
NE 104	Plástico	1.032	1.581	2.4	423
NE 114	Plástico	1.032	1.58	4.0	434
Pilot U	Plástico	1.032	1.58	1.36	391
NE 213	Líquido	0.874	1.508	3.7	425
NE 250	Líquido	1.035	1.452	4	425
Antraceno	Cristal	1.25	1.62	30	447
CaWO ₄	Cristal	6.1	1.92	6000	430
ZnO (Ga)	Cristal	5.61	2.02	1.48	385

Tabla II.1: Propiedades físicas de diversos tipos de centelleadores.

La señal que genera el centelleador es de naturaleza óptica. Sin embargo, de cara a tratar la señal electrónicamente, necesitamos introducir un elemento adicional que convierta el centelleo al dominio eléctrico. Tal función la realiza un fotomultiplicador (PMT). A la combinación de ambos dispositivos, se le da el nombre de centelleador electrónico.

2.4. FOTOMULTIPLICADORES.

Como ya hemos enunciado anteriormente, se suelen usar en conjunto con los centelleadores. Otra aplicación típica es la de detección de fotones procedentes de radiación Čerenkov.

La figura II.5 y II.6 nos muestra el esquema de un PMT y su configuración de operación. Consiste en un cátodo, hecho de un material fotosensitivo, seguido de un sistema colector de electrones, una sección multiplicadora de electrones (dynodos) y un ánodo que recoge la señal de corriente final. Todas estas partes se hayan encerradas en un tubo de vidrio al vacío.

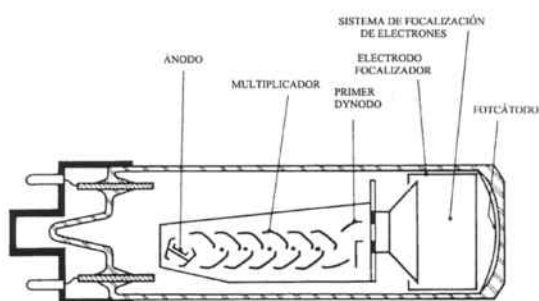


Figura II.5: Fotomultiplicador.

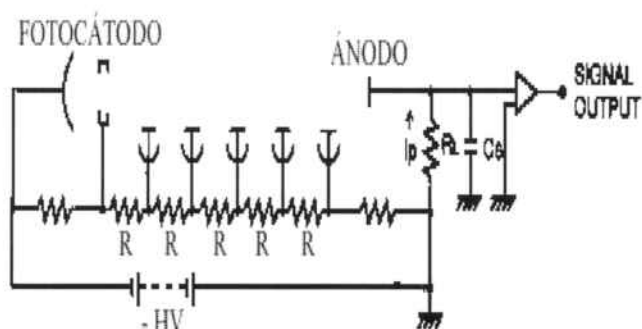


Figura II.6: Configuración de operación.

Durante la operación del PMT, se aplica un alto voltaje, del orden de 10^3 , entre el ánodo y el cátodo. El voltaje se divide por igual a lo largo de los dynodos, gracias a la red de resistencias. Cuando un fotón incidente llega al fotocátodo, se emite un electrón vía efecto fotoeléctrico, siendo recogido por el sistema focalizador que lo lanza al primer dynodo. Al chocar con éste, se produce una serie de electrones secundarios que son acelerados al siguiente dynodo; y así sucesivamente al resto de la cadena, creando el efecto de multiplicación. La cascada producida se recoge en el ánodo, dando una señal eléctrica que puede ser analizada posteriormente.

Con el fin de evaluar la respuesta eléctrica del PMT, se puede realizar un modelo discreto del mismo (figura II.7):

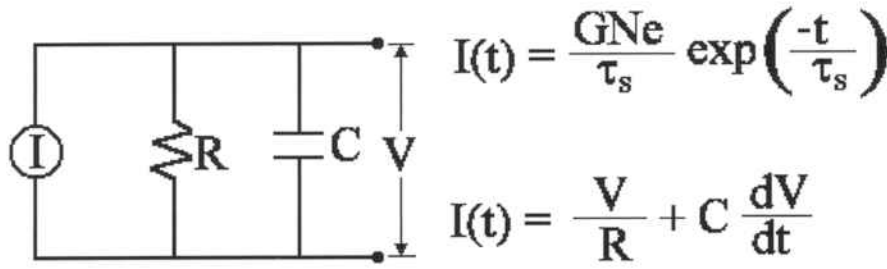
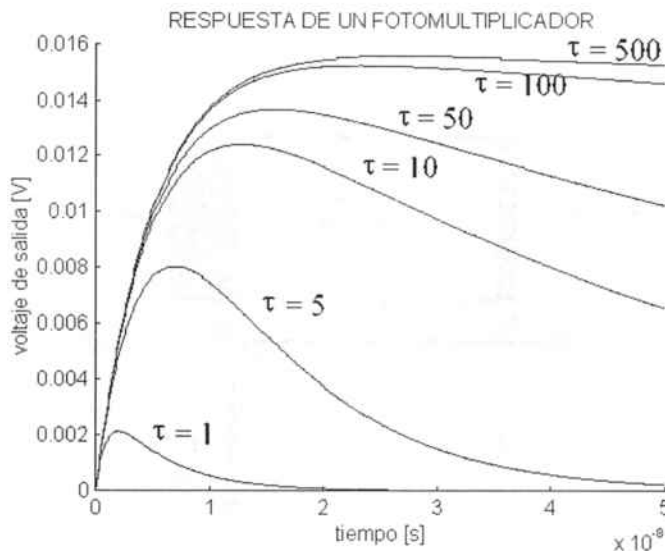


Figura II.7: Modelo eléctrico del fotomultiplicador.

La fuente de corriente viene dada por la ecuación del centelleador multiplicada por el factor de amplificación del PMT, G . R y C son la resistencia y capacidad de salida, que también pueden modificarse en función del modo de operación requerido. Analizando el circuito precedente, la salida en voltaje viene dada por la siguiente expresión:

$$V(t) = \begin{cases} -\frac{GNeR}{\tau - \tau_s} \left[\exp\left(-\frac{t}{\tau_s}\right) - \exp\left(-\frac{t}{\tau}\right) \right] & \tau \neq \tau_s \\ -\frac{GNeR}{\tau_s^2} t \exp\left(-\frac{t}{\tau_s}\right) & \tau = \tau_s \end{cases} \quad (2.9)$$

donde τ es RC , τ_s es la constante de tiempo del centelleador, G la ganancia del PMT, e la carga del electrón y N el número de fotones. La figura II.8 es una gráfica que nos presenta la forma típica de estas curvas y cómo afecta el valor de τ . Se ha escogido como parámetros típicos $G=10^6$, $N=1$, $C=1$ pF, $\tau_s=5$ ns.

Figura II.8: Voltaje de salida del fotomultiplicador para diferentes valores de τ .

Cuando $\tau \ll \tau_s$, se reproduce prácticamente la forma de la señal que sale del centelleador y el modo de operación se llama en corriente, pues $V(t)$ viene determinado por la I que pasa a través de R y su amplitud es pequeña. Al contrario, se llama modo de operación en voltaje cuando $\tau \gg \tau_s$ y la corriente se integra en C .

2.5. DETECTORES DE SEMICONDUCTOR.

También son llamados detectores de estado sólido. El desarrollo de los mismos es paralelo a la historia de la electrónica. Son los de mejor resolución y, juntamente con los detectores de gas, se están convirtiendo en los dispositivos por excelencia de los nuevos experimentos.

El principio de funcionamiento se basa en la unión pn. Cuando llega radiación con suficiente energía a la zona de carga espacial, se genera un par $e^- h^+$ que son arrastrados en diferentes direcciones por el campo eléctrico de dicha región. El número de pares generados es proporcional a la energía de la radiación que llega. Una de las ventajas de estos dispositivos es su alta sensibilidad (dos órdenes de magnitud mayor que los anteriores) ya que la energía de producción de un par es la del *gap* del material. Sin embargo, debido a que estamos trabajando con señales de baja intensidad, será necesario el uso de etapas amplificadoras de carga, susceptibles de ser integradas en el mismo chip del detector.

El tipo de señal que produce estos dispositivos puede variar de forma muy diversa, ya que la recolección de $e^- h^+$ depende de la posición de creación del par respecto a los electrodos. Como vimos en el caso de los detectores de gas, podemos expresar la carga inducida que se recoge como:

$$C \, dV = dQ = q \frac{dx}{d} \tag{2.10}$$

donde d es la distancia entre contactos (figura II.9).

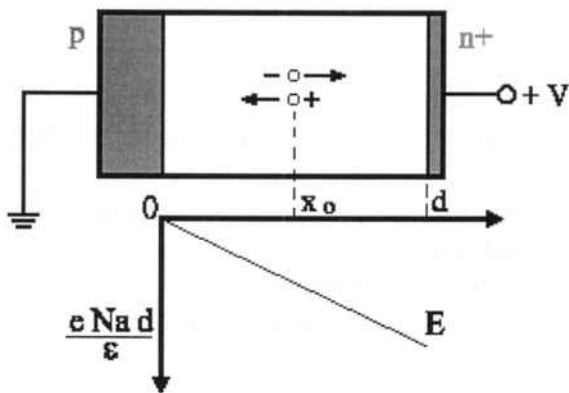


Figura II.9: Generación de un par $e^- h^+$ en una unión pn.

Para saber la carga inducida por un e^- originado en x_0 en función del tiempo, tendremos que averiguar la velocidad de la partícula a partir del campo eléctrico de la unión y las movibilidades:

$$\left. \begin{aligned} E &\approx -\frac{eN_A x}{\epsilon} = -\frac{\sigma x}{\mu_h \epsilon} \\ v &= \frac{dx}{dt} = -\mu_e E \Rightarrow x(t) = x_0 \exp\left(\frac{\mu_e \sigma t}{\mu_h \epsilon}\right) \end{aligned} \right\} \Rightarrow Q_e(t) = -\frac{e}{d} \int_{x_0}^d \frac{dx}{dt} dt = \frac{e}{d} x_0 \left(1 - \exp\left(-\frac{\mu_e \sigma t}{\mu_h \epsilon}\right)\right) \quad (2.11)$$

De igual forma, podemos averiguar la carga que induce el h^+ correspondiente, siendo ésta:

$$Q_h(t) = -\frac{e}{d} \int_{x_0}^d \frac{dx}{dt} dt = \frac{e}{d} x_0 \left(1 - \exp\left(-\frac{\sigma t}{\epsilon}\right)\right) \quad (2.12)$$

Si sumamos ambas cargas, la carga total que se recoge es $-e$ y el tiempo de subida de la señal viene determinado por la constante ϵ/μ . La figura II.10 muestra como varía esta curva en función de ϵ/μ . Para este tipo de dispositivos, vemos que el tiempo de subida es lo que nos determina la zona de medida para alto cuenteo.

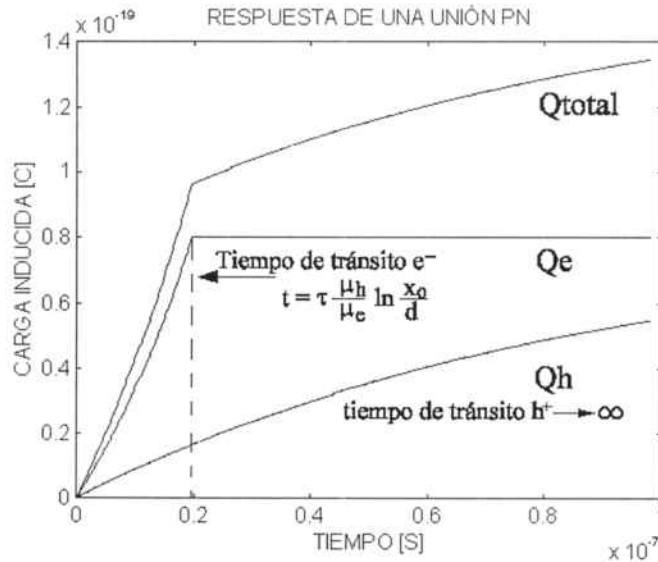


Figura II.10: Carga recogida en los contactos de una unión pn.

También pueden construirse detectores de posición basados en *Charge Coupled Devices*. Ejemplos de estos son los *microstrips detectors*, que permiten conocer posiciones muy precisas del paso de las partículas (orden de micras). En su fabricación, se hace uso de tecnología de micromecanizado, con el fin de construir *microstrips* de alta calidad.

3. CIRCUITOS DE PROCESADO DE LA SEÑAL EN INSTRUMENTACIÓN NUCLEAR: EL ASDBLR.

3.1. INTRODUCCIÓN.

Hasta ahora, hemos visto varios principios de detección de radiación que ofrecen en su salida una señal eléctrica y, también, hemos estudiado la forma que presentan. Sobre éstos, existen diferentes variantes y diseños, según el tipo de experimento en que vayan a ser utilizados. El siguiente paso en la cadena de adquisición de la información es el procesamiento de esta información. Dedicaremos este capítulo al estudio de los circuitos que se emplean y las técnicas usadas. En concreto, veremos como el ASDBLR las implementa y cuáles son los parámetros de diseño que se han establecido en su diseño.

Con el fin de tener una guía para el estudio del presente capítulo, se presenta en la figura III.1 el diagrama de bloques de estos dispositivos. Además, se representa el estado de la señal a través de los mismos.

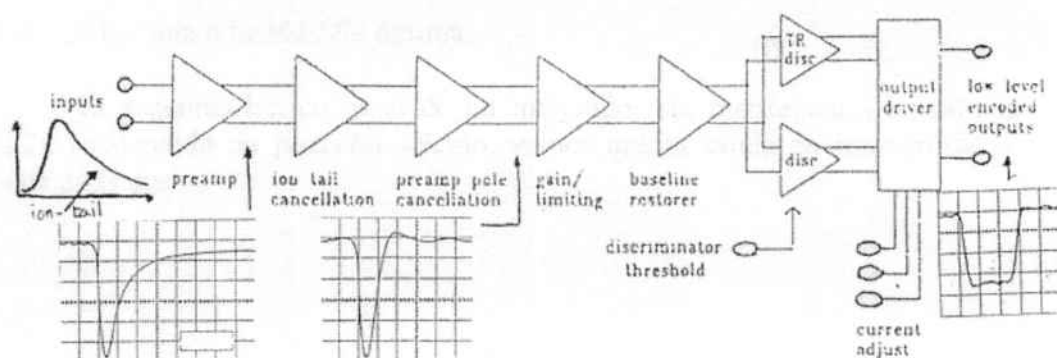


Figura III.1: Diagrama de bloques de un circuito de tratamiento de señales en forma de pulsos de corriente.

Describamos la función de cada una de ellas:

- a) Preamplificador: convierte la carga, recibida como señal de entrada, en un voltaje de salida, minimizando el ruido que se añade a la señal.
- b) *Shaper*: está dividido en tres etapas. Las dos primeras (*Ion tail cancellation* - *preamp pole cancellation*) se encargan de eliminar la cola iónica y la que produce el preamplificador. Con el fin de reducir el ruido intrínseco, se limita el ancho de banda y la ganancia de la señal, gracias a la 3ª etapa (*gain/limiting stage*).
- c) *Baseline Restorer*: su función es la de acoplar, en modo AC, la señal procedente del *Shaper* hacia la siguiente etapa (discriminador) y proporcionar una buena respuesta en la resolución de dobles eventos
- d) Discriminador: es un comparador con ciclo de histéresis. Una de sus entradas se fija a un valor de *threshold* y la otra lleva la señal procedente de la etapa anterior. Con ello, se intenta fijar un valor umbral para que sólo se detecten las señales con un mínimo nivel de carga de entrada establecido.
- e) Etapa de salida: la señal generada por el discriminador debe ser adaptada a un estándar de niveles lógicos (TTL, ECL, GTL, NIM, etc.) para su posterior recepción por un sistema externo, como un ordenador o un equipo de adquisición de datos.

3.2. PREAMPLIFICADORES.

La señal de salida que produce el detector es una carga inducida de unos pocos fentocoulombs (fC). Por tanto, el primer paso será amplificar, si esta lo requiere, y trasladar el valor de carga a voltaje. Tal función la realizan los amplificadores de carga.

El amplificador de carga, normalmente llamado *preamplificador* en el argot de la experimentación nuclear, debe tener como características principales las de:

- (i) ser insensible a los parámetros del detector;
- (ii) ser lineal dentro de la región de interés y
- (iii) tener una relación S/N óptima.

El esquema básico es el de un integrador sin resistencia a la entrada (figura III.2). Realizando un pequeño cálculo, vemos que la salida en función de la entrada viene dada por:

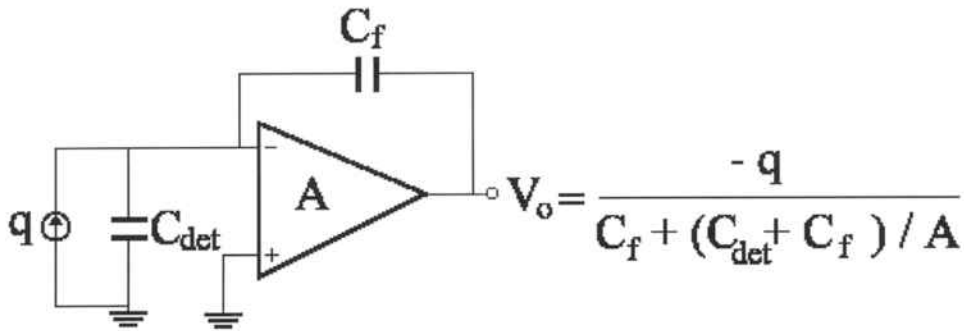


Figura III.2: Configuración del amplificador de carga.

Para restablecer el valor de salida del amplificador a 0, necesitamos que se descargue la capacidad de realimentación. Se utilizan dos técnicas normalmente:

- i) Uso de una resistencia de realimentación en paralelo con C_f : conseguimos que la capacidad se descargue a través de ésta. El valor de R_f debe ser moderadamente alto para que se recoja el máximo de carga antes de que empiece el proceso de descarga. Ahora, la función de transferencia queda modificada de la siguiente forma:

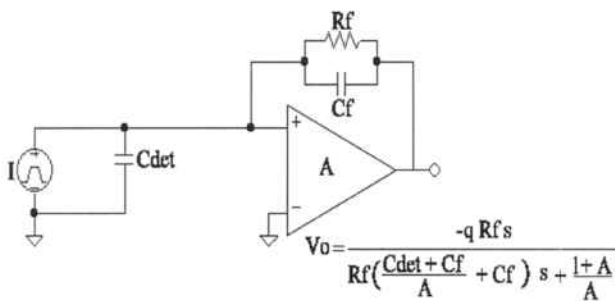


Figura III.3: Realimentación con R de descarga.

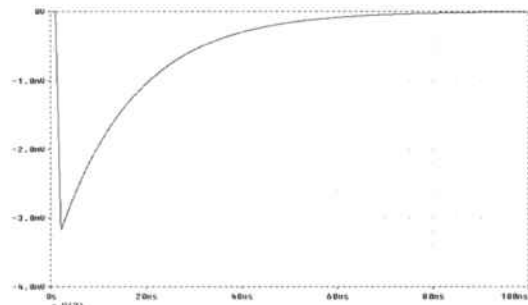


Figura III.4: Proceso de descarga.

- ii) Realimentación óptica: se acumula carga en la capacidad C_f hasta que se excede un cierto valor umbral de tensión. En este momento, se conectan las placas de la capacidad a un led, produciendo su descarga.

Después de la etapa de preamplificación, a veces se suele encontrar un amplificador adicional. Su configuración depende de la magnitud física que se quiere medir: la amplitud máxima de la señal, su t_r , su t_f , la forma de la señal, etc.

En el caso del ASDBLR, el preamplificador está constituido por tres transistores en una configuración cascode y salida en colector común (figura III.5). La red de realimentación está formada por C_f y R_f . Q1 es una entrada en emisor común, cuya impedancia de entrada se aproxima al valor de la impedancia de salida del detector. La salida en corriente de esta etapa se transforma en voltaje a través de Q2, proporcionando a su vez una mejora en la respuesta en frecuencia (desacoplo del efecto Miller sobre la capacidad de base-colector). El transistor Q3 actúa como seguidor de emisor, realizando la función de *buffer* para la siguiente etapa de tratamiento, denominada *shaper*. Vemos,

en resumen, que el amplificador, sin tener en cuenta el bucle de realimentación, tiene una impedancia de entrada relativamente baja; su impedancia de salida también es baja y la ganancia del mismo es, en lazo abierto, de $g_m R_c$.

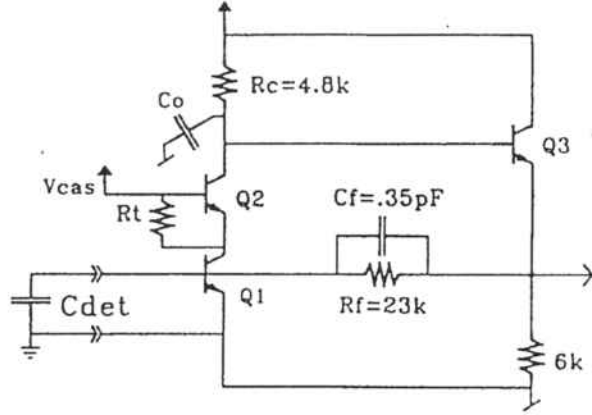


Figura III.5: Preamplificador del ASDBLR.

Con la llegada de un pulso, toda la carga asociada va a parar a C_f , haciendo que la salida del amplificador sea $V = Q / C_f$. En realidad, esta última expresión es aproximada, ya que la capacidad vista a la entrada por la señal viene dada por:

$$C_{dx} = C_{det} + C_{\pi} + 2C_{cb} + C_f \quad (3.1)$$

y la capacidad efectiva de realimentación será:

$$C_{fx} = C_f + \frac{C_{dx}}{g_m R_c} \quad (3.2)$$

Por tanto, el valor de la salida del amplificador es:

$$V_{out} = \frac{Q_{in}}{C_{fx}} \quad (3.3)$$

El valor de C_f se escoge de tal forma que la salida en voltaje sea superior al ruido de entrada equivalente. Con esto, se logra que la etapa de *shaping* sea lo más estable posible.

La capacidad C_f se descarga a través de R_f de forma que el tiempo de caída del voltaje de salida viene gobernado por el primer polo del amplificador realimentado:

$$p_1 = \frac{1}{C_f R_f} \quad (3.4)$$

El siguiente polo nos dará el tiempo de subida de la señal a la salida de la etapa amplificadora:

$$p_2 = \frac{g_m C_f R_f}{C_{dx} C_0} \quad (3.5)$$

donde C_0 es la capacidad parásita total presente en el colector de Q2. De la expresión anterior, recordemos que C_{dx} esta dominada por C_{det} y que variará de aplicación a aplicación. Por tanto, interesa que el valor de $g_m R_C$ en lazo abierto sea lo mayor posible para reducir la sensibilidad respecto a C_{det} . Como las capacidades parásitas debidas a R_C son muy pequeñas, se puede hacer R_C grande sin comprometer el valor de diseño de p_2 de 120 Mhz.

Para mantener un valor alto de g_m en el transistor Q1 sin tener que elevar el potencial de alimentación del circuito, se utiliza la resistencia R_t de tal forma que los dos tercios de la corriente de polarización de Q1 pasan a través de ésta.

Como último parámetro de diseño, se iguala la impedancia de entrada a frecuencias bajas y altas (referente a p_1). Estos valores vienen dados por:

$$\left. \begin{aligned} Rin_L &\approx \frac{1}{g_m} \frac{R_f}{R_C} \\ Rin_H &\approx \frac{1}{g_m} \frac{C_0}{C_{fx}} \end{aligned} \right\} \Rightarrow \frac{R_f}{R_C} = \frac{C_0}{C_{fx}} \quad (3.6)$$

El valor de C_0 se ajustará como elemento sintonizador para que ambas resistencias de entrada sean iguales a 120Ω .

La señal que se genera a la salida presenta una cola, debido a la etapa de descarga. Esto puede conducir al fenómeno de apilamiento (*pile-up*) y provocar que, en conteo elevado, las medidas sean imprecisas.

En la práctica, aunque la señal procedente del detector puede ser *single-ended*, cada ASDBLR se implementa en configuración diferencial con el fin de proveer un buen CMRR y un buen *matching* DC para la etapa de entrada del *shaper*. Además, esta configuración permitirá, al diseñar las PCB's donde irán ubicados, explotar el uso de técnicas diferenciales de eliminación de ruido.

3.3. REDES DE SHAPING.

Una vez amplificado el pulso, se procede a su tratamiento que puede consistir en conseguir una buena relación S/N, poder utilizar el circuito para conteo de eventos a frecuencias elevadas, determinar el valor de carga, el t_r o la forma que presenta el pulso. Los circuitos que se encargan de realizar estas funciones se denominan redes de *shaping*. Comercialmente, la mayoría de estos dispositivos se basan en dos métodos: diferenciación-integración RC y *shaping* por retraso de línea.

3.3.1. Diferenciación-integración RC.

a) Pulse shaping por CR-RC:

Es la técnica más usada y se basa en hacer pasar la señal a través de un diferenciador y un integrador con la misma constante de tiempo. El circuito se muestra en la figura III.6, donde la $R_{\text{polo-cero}} \rightarrow \infty$. Básicamente, se trata de realizar circuitos pasa-banda, de forma que la señal tienda a quedar lo más simétrica posible.

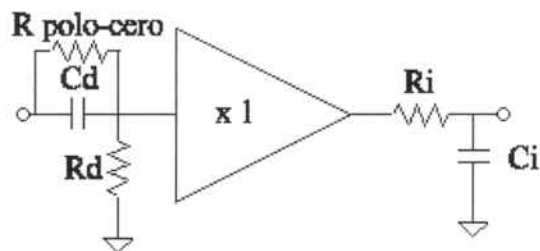


Figura III.6: Red de *shaping* CR-RC con cancelación de polo-cero.

b) Red de cancelación de polo-cero:

Uno de los efectos laterales de la red anterior es que se crea un *undershoot* que provoca que la señal tarde mucho tiempo en volver a su posición de disparo (*baseline*) (ver figura III.8 para el caso $R_{\text{polo-cero}} \rightarrow \infty$). Si se produce la llegada de un pulso mientras se está procesando otro, se crea un defecto de amplitud, superponiéndose ambas señales, tal y como se aprecia en la figura III.7.

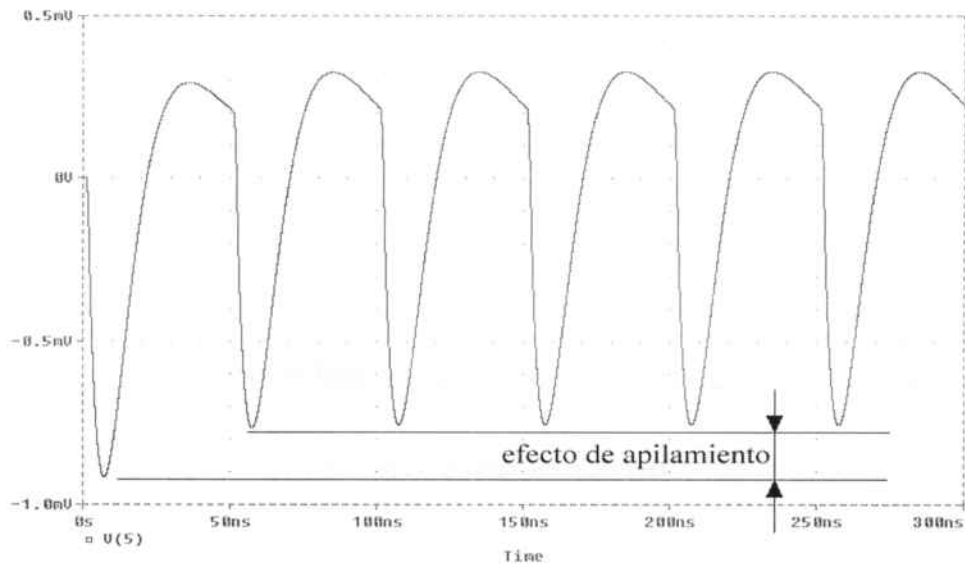


Figura III.7: Efecto de apilamiento a frecuencias elevadas de la señal de entrada.

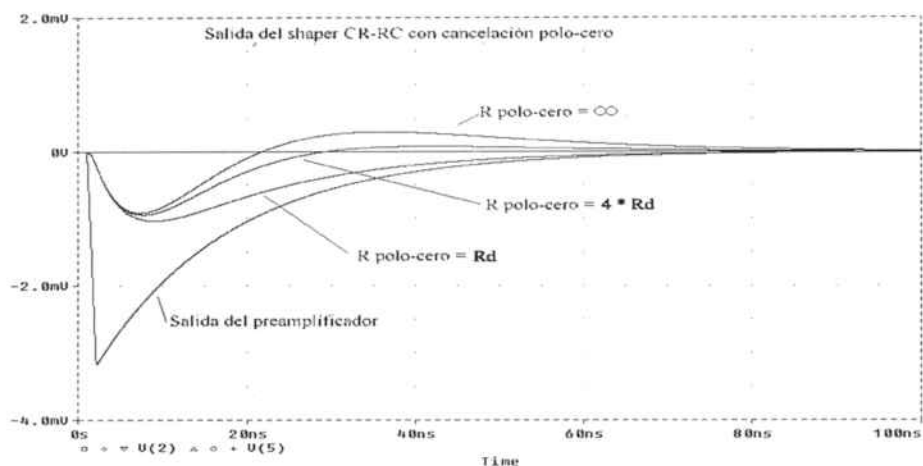


Figura III.8: Respuesta a la salida del shaper CR-RC para diferentes valores de $R_{\text{polo-cero}}$.

Sin embargo, el *undershoot* se puede corregir con diferentes tipos de circuito como, por ejemplo, el de cancelación de polo-cero (figura III.6). La figura III.8 muestra la mejora en la forma de la señal: se recupera antes el nivel de disparo y mejora la resolución de doble pulso.

c) Shaping bipolar:

Otras formas de evitar el desplazamiento que sufre la *baseline* es el uso de pulsos bipolares, a través de circuitos de diferenciación doble o CR-RC-CR *shaping*. Una vez que el pulso pasa a través de éste, los lóbulos + y - a la salida son, aproximadamente, de igual área como puede verse en la figura III.9. Así, al acoplarse en modo AC a la siguiente etapa de procesado, la carga residual es 0 (para pulsos unipolares, nos quedaría el efecto de la cola). Con este esquema se mejora también la frecuencia de trabajo; sin embargo, a frecuencias bajas, la señal unipolar tiene mejor relación S/N.

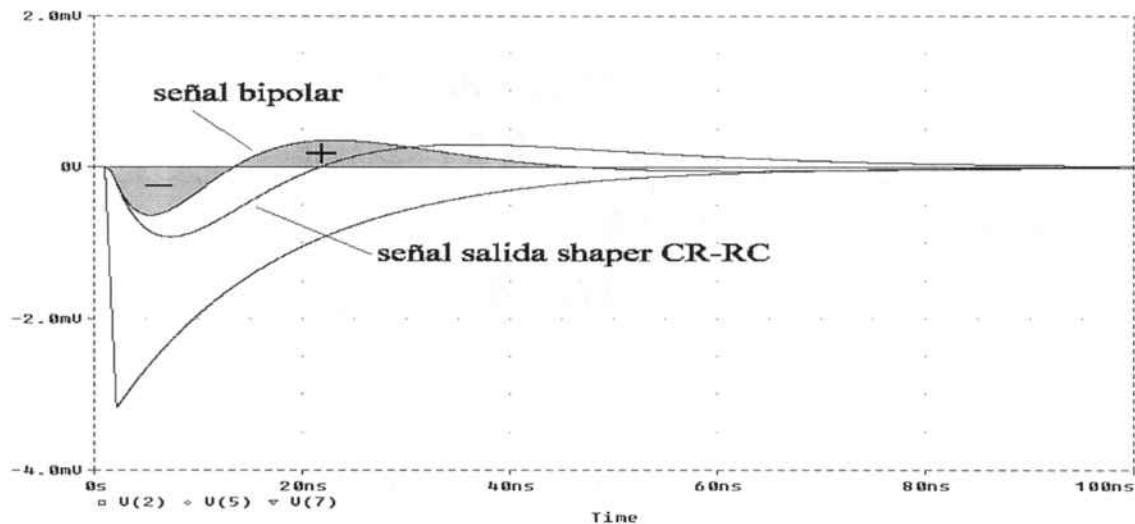


Figura III.9: Shaping por diferenciación doble.

d) Shaping pseudo-gaussiano:

Si lo que se desea es una buena forma de S/N, se le ha de dar al pulso una forma gaussiana (problema del filtro ideal). Aunque esto no es posible, se puede conseguir un pulso pseudo-gaussiano aplicando etapas CR-RC-RC-RC...

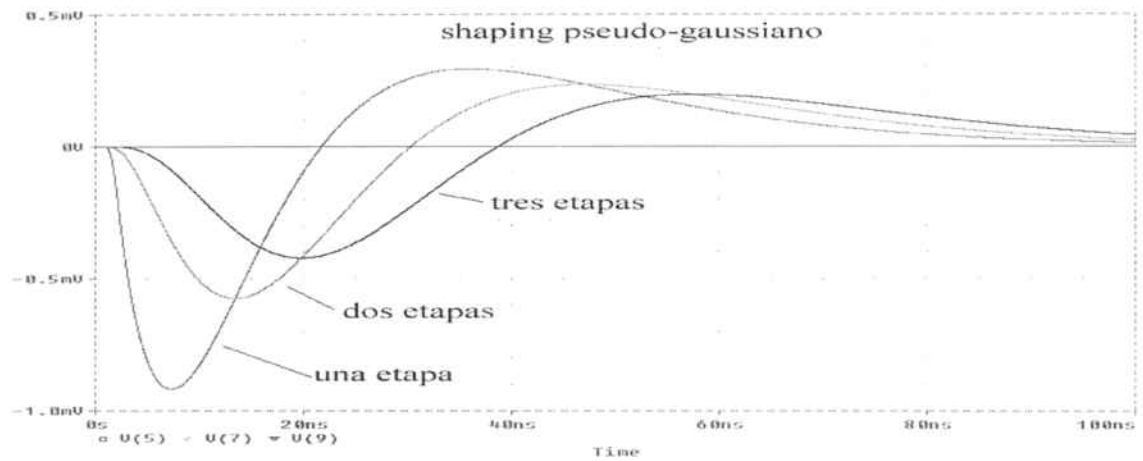


Figura III.10: Shaping pseudo-gaussiano para varias etapas RC.

El problema es que no se puede utilizar en situaciones que requieran una electrónica rápida, ya que el pulso va siendo cada vez más ancho, tal y como se ilustra en la figura III.10.

3.3.2. Shaping por retraso de línea.

Con esta técnica, el tiempo de subida no se altera: es ideal para amplificadores rápidos. Sin embargo el S/N empeora. Su principio de funcionamiento consiste en dividir la señal en dos y provocar un retraso en una de las líneas de la red. En el punto de unión al sumar nuevamente las señales divididas, se cancela la cola, dejando intacto el tiempo de subida. La figura III.11 muestra el esquema seguido para obtener una señal unipolar.

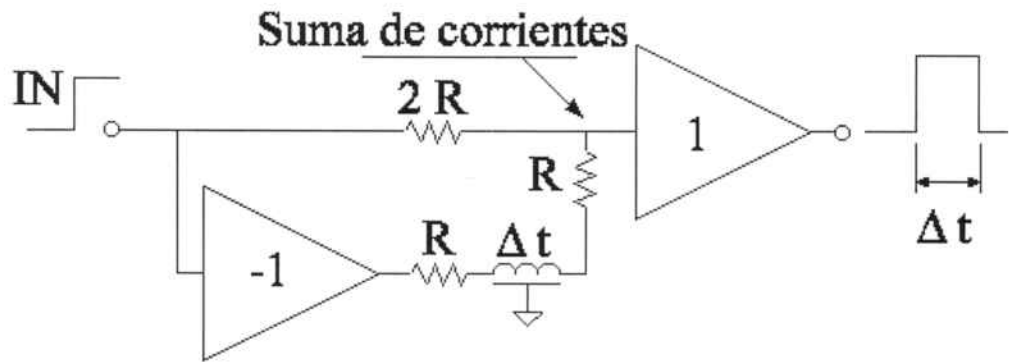


Figura III.11: Shaping por retraso de línea.

3.3.3. Shaper del ASDBLR.

La señal que sale de la etapa de amplificación de carga tiene como defecto principal el de llevar una cola asociada procedente de la descarga del condensador C_f y de la cola iónica del detector. Recordemos que, al ser este un dispositivo que funcionará a contajes altos de sucesos, queremos un pulso lo más estrecho y simétrico posible para poder tener una buena doble resolución.

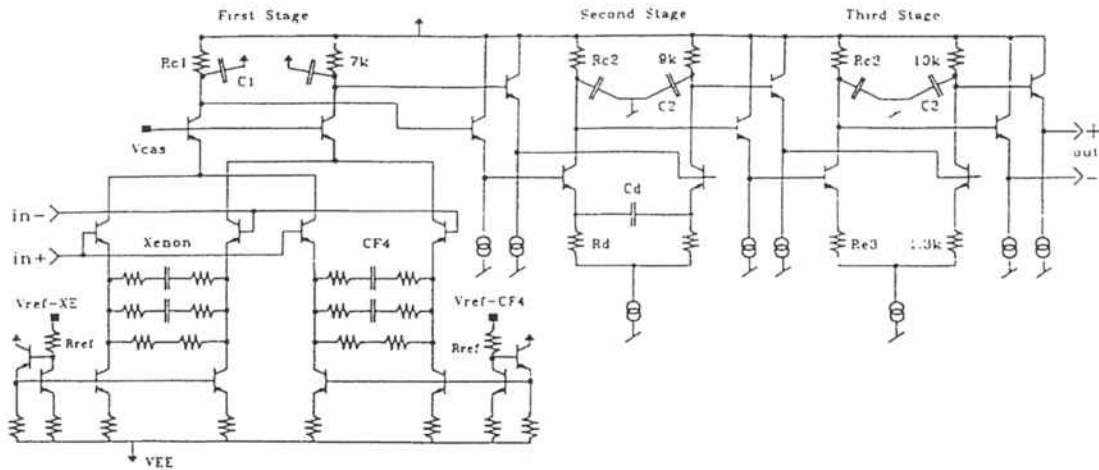


Figura III.12: Configuración del *shaper* del ASDBLR.

La etapa de *shaper* del ASDBLR tiene como funciones principales la de evitar este tipo de colas, producir un buen S/N y realizar una segunda etapa de amplificación. El circuito que las desarrolla se representa en la figura III.12 y explota los conceptos de cancelación de polo-cero, diferenciación doble, y *shaping* pseudo-gaussiano. Está compuesto por tres etapas básicas:

1ª) Etapa de cancelación de la cola iónica (si se utiliza con detectores basados en gas): revisando la ecuación (2.7) y diferenciándola para conocer la cantidad de intensidad que circula, observamos que la señal tiene una dependencia temporal de la forma $1/(t+t_0)$. Su transformada de Laplace se puede aproximar por tres polos y dos ceros. De esta señal, sólo nos interesa el polo más alto (100 Mhz). Para eliminar el resto de polos y ceros se utiliza una red de cancelación de polo-cero.

En este circuito, la configuración es programable según el tipo de gas que se emplee en el detector, gracias a las tensiones de referencia V_{ref-Xe} y $V_{ref-CF4}$. La señal que sale por el colector se integra según la constante $R_C C_1$ (C_1 incluye las capacidades asociadas a los transistores y resistencias de colector). La misma integración se realiza en la segunda y tercera etapa con el fin de obtener una señal pseudo-gaussiana y mejorar la relación S/N.

2ª) Etapa de cancelación del polo del preamplificador: la señal procedente de la etapa de cancelación de cola entra a un par diferencial, que realiza una diferenciación de la señal a través de R_d y C_d situadas a la salida del emisor. La finalidad de este proceso es

eliminar el polo procedente del bucle de realimentación de la etapa del preamplificador. El parámetro de diseño en este punto es:

$$R_f C_f = 2 R_d C_d \quad (3.7)$$

Así, la señal se convierte en un pseudo-impulso de corriente gobernado por la constante de tiempo asociada al segundo polo del preamplificador.

3ª) Etapa de ganancia: a parte de volver a realizar otra integración, con lo que se obtiene un *shaping* (RC)³, se realiza una nueva amplificación, con una ganancia de 3.4 (etapa con emisor degenerado). De esta forma, se establece la resolución en 20mV/fC.

3.3.4. Baseline restorer.

Cuando se trabaja con pulsos a una frecuencia del orden de 10 Mhz, en la salida del shaper se produce un fenómeno de apilamiento. Su efecto es incrementar el nivel de DC de la línea de disparo. La figura III.13 muestra esta situación: el primer pulso corresponde a una señal de 2 fC; luego se inyecta una serie de pulsos de 50 fC, apreciándose la deriva en la línea de disparo. Cuando al final llega otra señal de 2 fC, la amplitud a la salida del *shaper* es mayor que la primera.

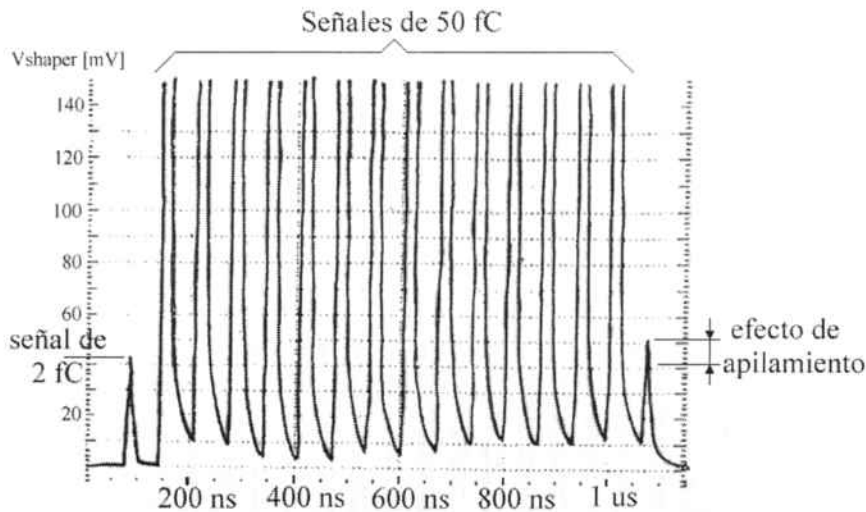


Figura III.13: Fenómeno de apilamiento a la salida del *shaper*.

La siguiente etapa es un comparador al que le podemos ajustar el valor de disparo en función de la carga de entrada. Imaginando que se ha colocado un *threshold* de 2.1 fC, el segundo pulso hará que se dispare el comparador, sin ser la carga mayor que 2.1 fC. Para evitar dicha situación, se ha de acoplar la salida del *shaper* en modo AC. No se trata únicamente de introducir una capacidad, ya que da lugar a *undershoots* de gran amplitud que deben ser eliminados. El circuito que implementa de forma aceptable el acoplo en el ASDBLR se ilustra en la figura III.14.

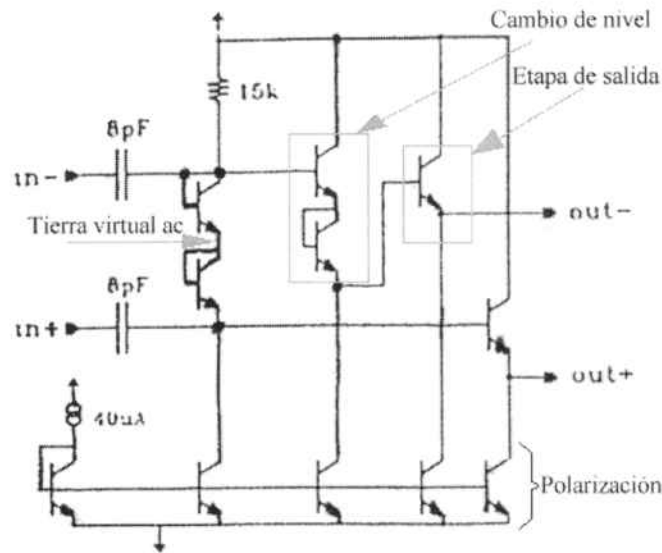


Figura III.14: *Baseline restorer* con cancelación de lóbulo inverso.

La señal que sale del *shaper* pasa a esta nueva etapa a través de una capacidad de valor alto y de diodos en cascada con $650\text{ }\Omega$ de impedancia de trabajo. Cuando pasa el pulso y a medida que va creciendo la señal, los diodos presentan una resistencia más alta, dejando pasar la señal y cargando la capacidad; cuando la señal presenta el *undershoot*, los diodos bajan la impedancia, posibilitando una rápida recuperación de la carga nominal de la capacidad de acoplo (i.e., se cortocircuita la cola del *undershoot*). Esta disposición posibilita la detección eficiente de señales cercanas al valor de *threshold* del comparador, ya que se evita el fenómeno de apilameinto. Como ejemplo, vemos en la figura III.15 la señal que se produce a la salida del *baseline restorer* (su entrada es la señal de la figura III.13). Ahora, la segunda señal de 2 fC presenta un valor en amplitud muy similar al de la primera.

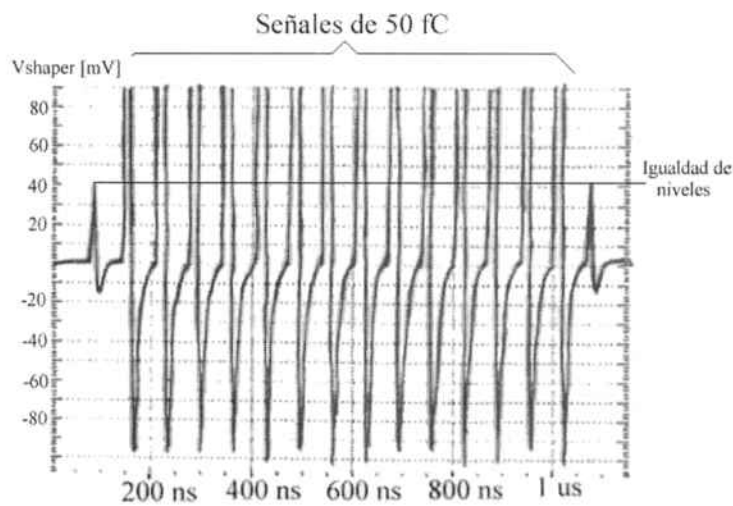


Figura III.15: Salida del *baseline restorer*.

3.4. DISCRIMINADOR.

En este punto, hemos conseguido pasar de una señal de escasos milivolts de amplitud y con una larga cola iónica, a otra en forma de pseudo-pulso. La información que contiene es proporcional a la energía de la radiación detectada. Debido a que sólo nos interesa establecer la ocurrencia del suceso, la señal analógica es susceptible de ser digitalizada: 0, si no existe evento; 1, en caso contrario. Por tanto, utilizaremos un comparador (un ADC de un solo bit) con un nivel de *threshold* que nos informe de la existencia del mismo. El comparador presenta un voltaje de referencia o *threshold* de disparo que es proporcional al valor mínimo de carga considerada como suceso. Al circuito que realiza esta función se le conoce con el nombre de discriminador. Como ya hemos indicado anteriormente, es importante mantener un nivel de disparo estable.

El esquema de esta etapa se ilustra en la figura III.16. Los transistores Q1 y Q2 convierten el voltaje de entrada en una corriente que se suma a las de *threshold* e histéresis. La señal resultante se reconvierte en voltaje y se pasa a la etapa de comparación a través del buffer implementado por Q5 y Q6. La etapa de comparación se forma por Q7 y Q8 cuya salida se transfiere a través de los seguidores de emisor Q9 y Q10 hacia la etapa de salida de corriente programable. Para el caso concreto de los ASD8, la salida se convierte a señal GTL.

El control de *threshold* se establece a través de VSET y está referenciado a tierra, pudiendo ser positivo o negativo. Los transistores Q11-Q12 hacen que aparezca una corriente no balanceada en Q3-Q4; por tanto, la curva del comparador se desplaza y el valor de tensión a la entrada para restablecer el balanceo debe ser:

$$V_{th} = \frac{v_i}{20} \frac{R_{ref}}{R_e} \frac{VSET}{VCC - VEE - 2v_{be}} \tag{3.8}$$

De esta fórmula, se desprende que el diseño es bastante insensible a variaciones de resistencia cuadro y de temperatura (0.2% por °C).

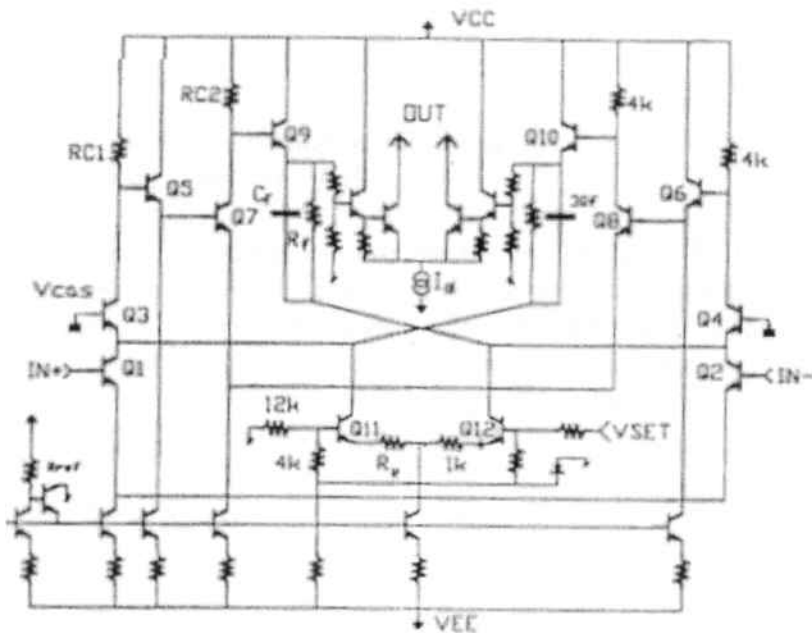


Figura III.16: Estructura del discriminador.

3.4. TECNOLOGÍA UTILIZADA Y DISEÑO DEL LAYOUT DEL ASDBLR.

3.4.1. Tecnología.

Se ha empleado en la construcción del ASDBLR la tecnología BiCMOS. Por un lado, el proceso bipolar nos ofrece un ruido bajo, una alta velocidad y la mayor ganancia posible por unidad de corriente de polarización. Esta combinación de propiedades es la ideal para los diseños de bajo ruido, alta velocidad y bajo consumo. Por otra parte, debido a que se van a diseñar etapas de *shaping* que hacen uso de valores precisos de capacidades, será conveniente utilizar tecnología MOS.

El ASD8 ha sido implementado en el proceso bipolar analógico SHPi de Tektronix. Ofrece un excelente *matching* de los dispositivos y presenta modelos SPICE bien caracterizados. Las reglas de *layout* son de 2 μm con dos niveles de metal. Como posibles dispositivos activos, se pueden crear las siguientes estructuras: NPN vertical, PNP lateral y transistores JFET. Los componentes pasivos engloban resistencias de base activa, de p^+ y de nicrom; las capacidades son MOS.

Para el diseño de los ASDBLR, se han utilizado transistores NPN, bases activas para las resistencias y capacidades MOS.

Los parámetros típicos del fabricante se ilustran en la siguiente tabla:

Símbolo	Parámetro	Valor típico
β	Ganancia corriente DC	100
r_b	Resistencia de base	600 Ω
V_a	Voltaje Early	25 V
C_{cb}	Capacidad base-colector	16 fF
C_{cs}	Capacidad colector-substr.	6 fF

Tabla III.1: Parámetros característicos de la tecnología bipolar SHPi de Tektronix.

3.4.2. Diseño de Layout.

Existen tres métodos alternativos de diseño para la fabricación de circuitos en Tektronix: *semi-custom*, *Quicktile* y *full-custom*.

En *semi-custom*, las obleas son procesadas hasta el nivel de metalización, donde el diseñador lo acaba de definir, disponiendo de dos niveles de conexión. En *Quicktile*, existe una biblioteca de componentes con sus *layouts* definidos. Todas las capas de los dispositivos, excepto las capas de interconexión, son especificadas por el fabricante. En *full-custom*, es el diseñador quien toma la responsabilidad de su diseño con todo el proceso de *layout*.

Para el ASDBLR, el método escogido es el de *Quicktile*, siguiendo las recomendaciones del fabricante. Aun así, se desarrollaron tres nuevas celdas con el fin de mejorar la eficiencia del *layout* y *matching* del ASD8. Se aumentó el ancho de las resistencias a 12 μm y se creó un nuevo tipo de contacto al substrato con el fin de

mejorar el aislamiento. Para evitar campos eléctricos no deseados que cambien el nivel de operación en los dispositivos, las líneas de metal se mantienen lejos de ellos, excepto para conexión.

4. ESTÁNDARES NIM Y CAMAC.

4.1. INTRODUCCIÓN.

Podemos pensar en un sistema de medida sencillo que requiera el uso de un único instrumento y que la cantidad de muestras sobre lo que se quiere medir sea mínima. En ese caso, el proceso manual es una forma aceptable de hacer las medidas: bastará ir tomando las lecturas de los indicadores para realizar posteriormente una gráfica de la respuesta del dispositivo.

Sin embargo, este no es el caso más general. Los experimentos en física de partículas o los tests de circuitos electrónicos requieren una gran captación de información en tiempo real que sólo es posible aumentando la complejidad del sistema de instrumentación. Su control ya no puede establecerse manualmente y se necesitan herramientas de control automático, por ejemplo, a través de ordenadores, PLC, etc.

Estos sistemas suelen tener un coste elevado y necesitan un tiempo de desarrollo considerable. Con el fin de reducir al máximo estos problemas, se establecen estándares (VME, FASTBUS, FIELDBUS, CAMAC...) que permiten el uso, intercambio y control de instrumentos en diferentes tests. De la instrumentación nuclear nacen dos estándares: NIM (*Nuclear Instrumentation Methods*) y CAMAC (*Computer Automated Measurement And Control*), que son los usados en el desarrollo del sistema de test.

4.2. ESTÁNDAR NIM.

El estándar NIM fue establecido en 1964. Su objetivo era promocionar un sistema que permitiese el intercambio de módulos de instrumentación. Aún hoy, se siguen usando para construir sistemas que cumplan las especificaciones de los experimentos. El estándar únicamente define las propiedades mecánicas, el valor de las fuentes de alimentación y las señales lógicas con que se debe trabajar.

Los módulos del standard NIM tienen sus dimensiones fijas y deben ser de 22.225 cm de alto y una anchura múltiplo de 3.43 cm. El *crate* NIM (lugar donde se insertan los módulos para formar un sistema) está diseñado para ubicar 12 módulos de anchura unidad. La figura IV.1 muestra su diseño.

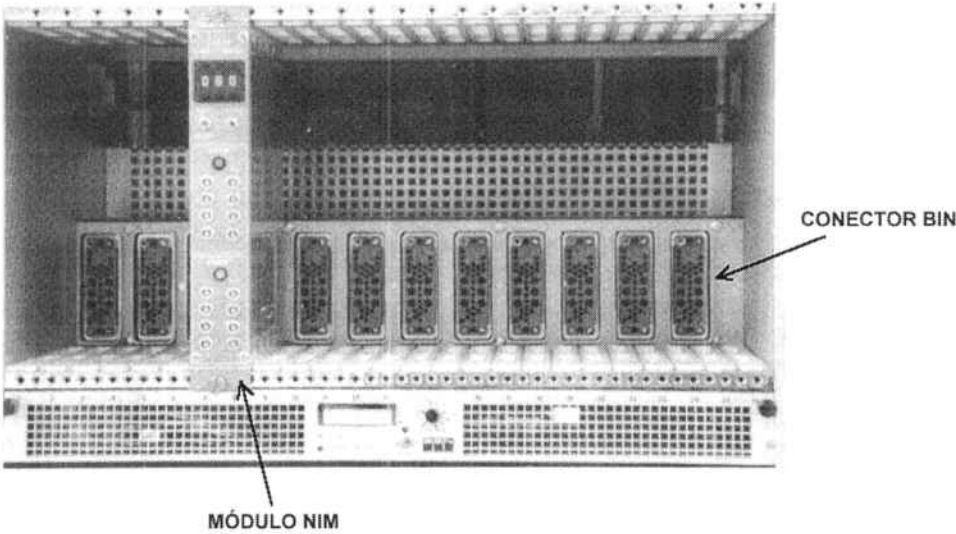


Figura IV.1: *Crate* para módulos NIM.

La voltajes de alimentación disponibles para los instrumentos son 6V, -6V, +12V, -12V, +24V, -24V. El acceso a estas líneas se realiza a través de un conector. También pueden extraerse externamente a través de un módulo que haga de interfaz. El conector que define el estándar se ilustra en la figura IV.2. Tan sólo son obligatorias las líneas de alimentación (señaladas con *). Las líneas *spare* son para uso del diseñador y las *reserved* para futuras ampliaciones del estándar y no deben ser usadas bajo ningún concepto.

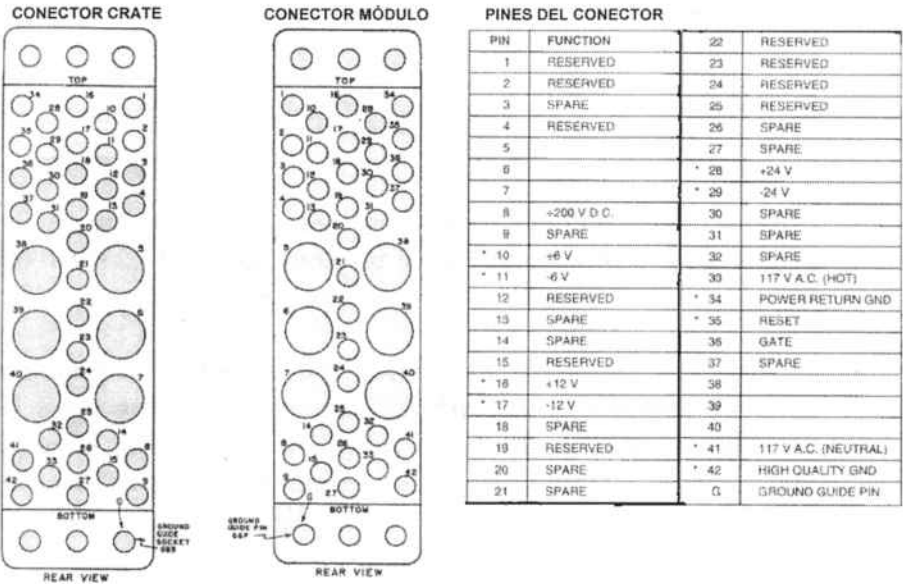


Figura IV.2: Conectores definidos en el estándar NIM.

El standard también especifica tres conjuntos de niveles lógicos:

i) Lógica negativa rápida (normalmente llamada lógica NIM): Los niveles se definen en términos de corriente y vienen dados en la tabla IV.1.

Nivel lógico	Nivel de salida	Nivel de entrada
1	-14 a 18 mA	-12 a -36 mA
0	-1 a +1 mA	-4 a +20 mA

Están definidos sobre impedancias de 50Ω y las señales presentan un tiempo de subida y bajada del orden de 1ns.

ii) Lógica positiva lenta: Los tiempos de subida y bajada son del orden de cientos de nanosegundos. Su definición se establece en términos de voltaje, al aplicarse sobre una resistencia de 1000Ω y la salida de las fuentes deben de tener una resistencia de 10Ω o menor. Los valores vienen dados en la tabla IV.2.

Nivel lógico	Nivel de salida	Nivel de entrada
1	+4 a +12 V	+3 a +12 V
0	+1 a -2 V	+1.5 a -2V

iii) Lógica ECL y TTL: También se han añadido especificaciones para los niveles e interconexiones ECL, ya que es la familia más rápida. Aunque la TTL no está definida en el estándar, existen módulos que permiten su conversión.

4.3. ESTÁNDAR CAMAC.

Se diseñó como complemento al sistema NIM, ya que se vio que este último era inconveniente para sistemas basados en ordenadores. Su propósito es dar un método para el intercambio de información entre módulos de instrumentación y controladores digitales. El estándar especifica los aspectos lógicos, eléctricos, mecánicos y de housing.

Las dimensiones que se dan son compatibles con las del standard NIM. Usando un pequeño interfaz, se pueden adaptar los módulos NIM dentro de los crates CAMAC. La figura IV.3 muestra uno de ellos.

Esta compuesto por 25 slots numerados. Cada slot tiene un conector con el cual el módulo toma acceso al bus del CAMAC. Los números 24 y 25 están siempre ocupados por el controlador del crate que hace la función de master del bus. Los módulos se insertan de las posiciones 1 a 23 y su forma de acceso al bus es de esclavo.

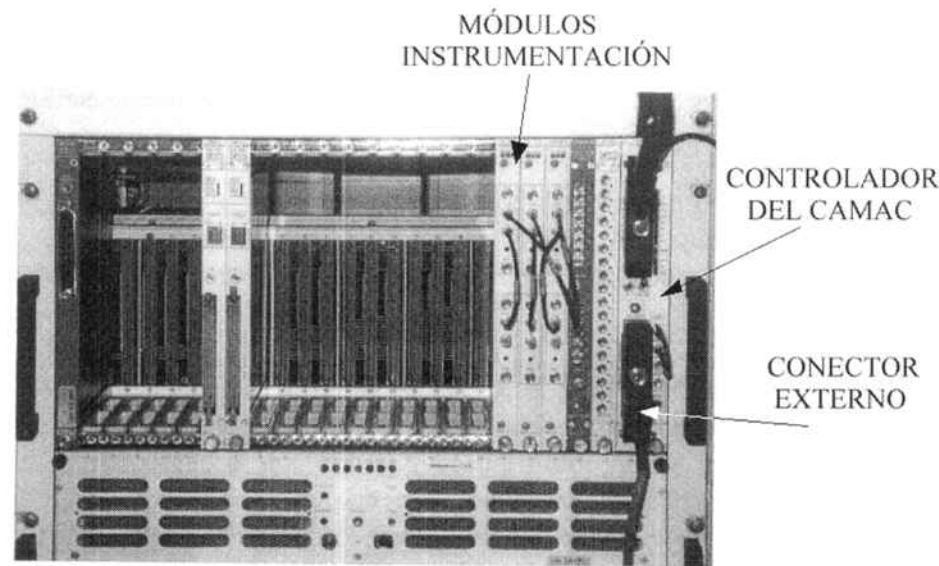


Figura IV.3: *Crate* CAMAC.

4.3.1 El bus CAMAC.

El bus o *dataway* del sistema CAMAC está compuesto por las líneas indicadas en la figura IV.4:

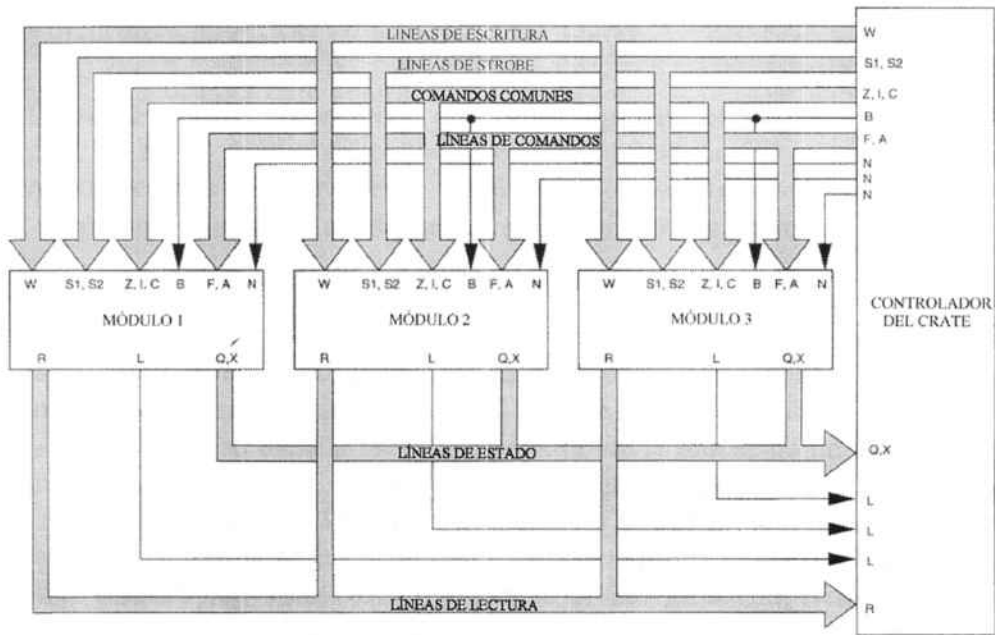


Figura IV.4: Esquema del bus del estándar CAMAC.

- **Línea individual N:** es usada por el controlador para seleccionar el módulo.
- **Líneas de comandos:** están formados por dos grupos. Por una parte, las de subdirección (A) que seleccionan un registro dentro del módulo. Son en total 4 líneas lo que restringe el total de registros a 16. Por otro, las cinco líneas de función (F) definen la tarea a realizar por el instrumento. En total se pueden ejecutar 32 códigos diferentes. Normalmente, las funciones más usuales van asignadas a un

número (como pueden ser las de lectura o escritura). Combinando las señales **NAF**, podemos especificar un comando a un módulo concreto.

- **Líneas de lectura y escritura:** en vez de usar una línea bidireccional para los datos, se usan 24 líneas de lectura y 24 de escritura (siempre desde el punto de vista del master del bus).
- **Líneas LAM (*Look-At-Me*):** sirven para que los módulos puedan llamar la atención al controlador; cada instrumento posee su propia línea LAM que posteriormente puede convertirse en una interrupción al ordenador o controlador externo. Antes de ser transmitidas al ordenador, pueden ser priorizadas a través de un módulo denominado *LAM grading*.
- **Líneas de estado:** también se denominan líneas **Q, X y B**. La línea **Q** no tiene un propósito concreto y marca el estado de cierta operación o el estado de un módulo. En cambio, la **X** responde a un *status* bien definido: si ha sido aceptada la instrucción, se produce un 1 lógico; en caso contrario, un cero. La línea **B** es seleccionada por el *master* e indica que se está llevando a cabo un ciclo de bus.
- **Líneas de strobe:** son dos señales (**S1,S2**) que controlan la secuencia temporal del ciclo del bus.
- **Líneas de comando comunes:** existen tres comandos generales que se aplican a todos los módulos a la vez. La línea **Z** inicia todo el sistema. La **C** borra los registros que en ese momento están conectados. La **I** inhibe cierta característica de los módulos previamente seleccionados.

4.3.2. El ciclo del bus CAMAC.

La secuencia de operaciones que tiene lugar en el *dataway* al ejecutar una instrucción **NAF**, se denomina ciclo de bus. Se inicia por el master del bus, que determina los tiempos de la operación. La figura IV.5 muestra esquemáticamente cómo se lleva a cabo un ciclo de lectura sobre un registro y su *reset* posterior.

El ciclo transcurre de la siguiente forma. El controlador pone en el bus la instrucción **NAF**, seleccionando de esta forma el módulo que la va a ejecutar. También activa la línea **B** para indicar que existe una operación de bus. El instrumento seleccionado decodifica la subdirección y el tipo de función a realizar (en este caso de lectura y *reset*). Al cabo de 400 ns, el controlador envía una señal de strobe (**S1**), para que el módulo ponga en ese momento los datos en el bus de lectura. En este caso, también se activan las señales **Q** y **X** para comunicar que el comando ha sido aceptado y los datos transferidos. Al llegar el segundo strobe (**S2**), el módulo toma la acción de limpiar del registro los datos. De esta forma se ha hecho un ciclo completo y el controlador vuelve a su posición inicial.

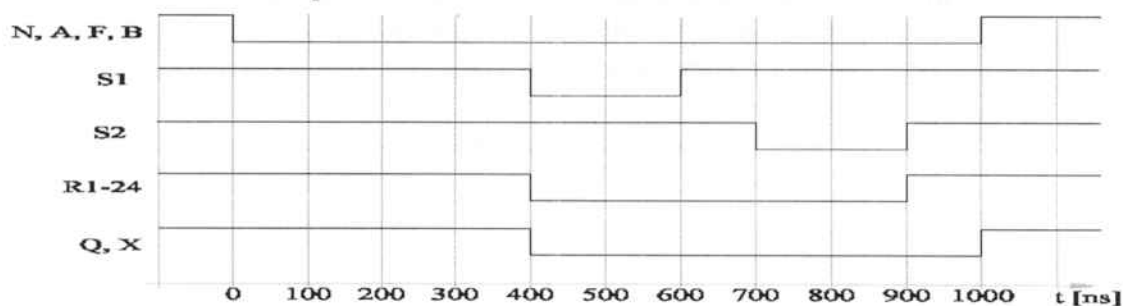


Figura IV.5: Ciclo de bus del CAMAC para función de lectura y *reset*.

5. CONCEPCIÓN DEL SISTEMA DE TEST.

5.1. INTRODUCCIÓN.

Podemos definir el objetivo básico de un sistema de instrumentación como la adquisición de información del mundo físico con la mayor exactitud, máxima velocidad y menor coste posible. Un sistema de test no es más que un sistema de instrumentación, donde además de un subsistema dedicado a adquirir medidas, se utiliza otro con el fin de proporcionar excitaciones al dispositivo que se somete a ensayo. Podemos distinguir tres tipos de sistemas de test, dependiendo del tipo de comprobación a realizar sobre el DUT (*Device Under Test*):

- a) Análisis de defectos: el objetivo de estos sistemas es determinar si las medidas realizadas al DUT se corresponden con un conjunto de medidas de referencia que se han realizado en un dispositivo considerado como correcto.
- b) Medida de parámetros: en este caso, se trata de obtener los parámetros característicos del DUT, como puede ser un tiempo de subida, o un valor de ganancia de un OAMP.
- c) Pruebas funcionales: este tipo de ensayos, determina si la función para la cual fue diseñado el DUT se realiza eficazmente. Es el sistema más complejo ya que requiere la generación de las entradas correspondientes y deben simularse todos los modos de operación y a tiempo real.

El proyecto que se presenta en esta memoria se enmarca dentro de los sistemas de instrumentación de tipo c). Aunque se comprueba la funcionalidad del ASD8, no se realiza un test exhaustivo, como podría ser la caracterización de su respuesta analógica.

Conceptualmente, el sistema de test se resume en el siguiente gráfico:

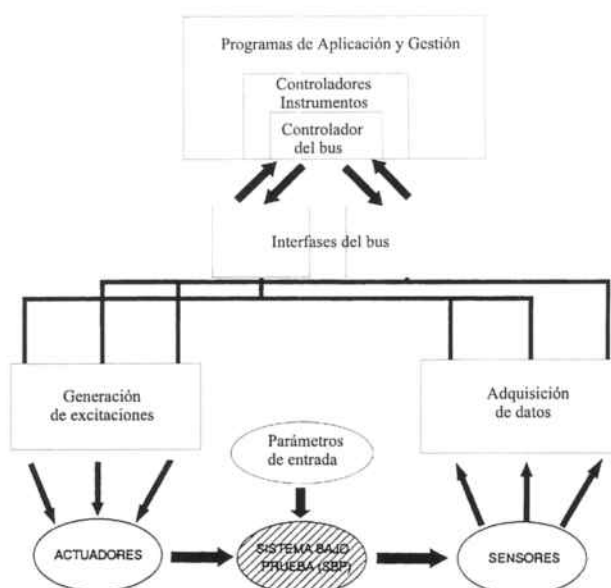


Figura V.1: Esquema de un sistema de test.

Para DUT's electrónicos, los actuadores y los sensores no forman parte de la cadena, ya que no se requiere transformar la señal eléctrica a otro dominio de la física. El DUT recibe las señales generadas por el sistema de instrumentación, generando una serie de respuestas. Estas últimas son recogidas por los instrumentos de adquisición de medidas. Con el fin de controlar y sincronizar ambos subsistemas, se comunican a través de un bus digital (CAMAC, VME, FASTBUS...).

A partir de este punto, y para facilitar el uso del equipo, se pasa al nivel de programación, que se halla estructurado en capas. Las señales que viajan por el bus son controladas y gestionadas por una capa de bajo nivel (*drivers* del bus de interconexión). Posteriormente, se pasa a una capa de proceso (*drivers* de los instrumentos) que se basa en un conjunto de funciones de alto nivel y permite configurar los diferentes modos de operación de los módulos. Finalmente, la capa de aplicación se encarga de gestionar los programas diseñados por el usuario de forma que la detección de errores, reconfiguración del sistema y presentación de datos sea lo más transparente posible al usuario (programas de aplicación y gestión: instrumentación virtual).

Los pasos seguidos en el diseño del equipo de test para el ASDBLR sigue las pautas marcadas por el esquema conceptual presentado. Se han realizado varias modificaciones del mismo, unas debido a que los componentes no reunían las propiedades adecuadas y otras por cuestiones técnicas. Sin embargo, no es objetivo de esta exposición abordar todos los diseños planteados hasta llegar a su solución final; más bien, se dará una solución cerrada al problema describiéndose la forma de llevarla a cabo.

5.2. ESTUDIOS PREVIOS DEL SISTEMA.

5.2.1. Diseño del circuito impreso para la ubicación del ASD-8.

Previamente a la realización del presente proyecto y a parte de la etapa de diseño de *front-end*, se han realizado otros trabajos sobre el ASDBLR con el fin de verificar su

viabilidad. Los primeros trabajos hacen referencia al diseño de la PCB donde se ubicarán. En estos, se determina la necesidad de incluir etapas de protección (no disponibles en el propio chip), niveles de *crosstalk*, desplazamiento de la *baseline* a frecuencias altas de funcionamiento, nivel de ruido, etc.

Las consideraciones a tomar en el diseño de la PCB se resumen a continuación:

- i) Introducción de un circuito de protección: consta de una resistencia de 50 ohms y de unos diodos conectados como se indica en la figura V.2. Con esta modificación, se consigue soportar descargas de 2000 V a través de un condensador de 1 nF/3kV. La mejora es notable ya que, previamente a la introducción de esta mejora, un cortocircuito de 300 V acoplado a través de una capacidad de 1nF en serie con 100 Ω es suficiente para destruir el chip.

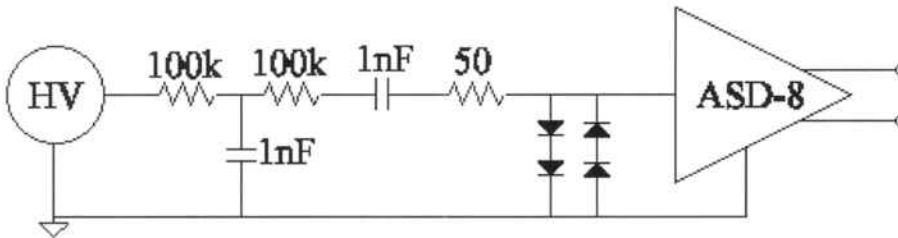


Figura V.2: Esquema de protección y test descargas elevadas.

- ii) Sólo hace falta una de las entradas como *front-end* de los sensores de radiación. Sin embargo, se opta por realizar la PCB en configuración diferencial, ya que mejora notablemente el *matching* DC en las siguientes etapas y, además, ofrece un buen CMRR, reduciendo el *crosstalk* y el ruido en modo común.
- iii) Cada canal tiene su nivel de *threshold* programable; sin embargo, únicamente se utiliza un único nivel para todos los canales. La ventaja principal es que sólo se requerirá de una línea de *threshold* y no se necesitará incluir electrónica adicional (por ejemplo, en el caso que se quisiera programar cada canal por separado).
- iv) Separación de las partes analógica y digital en la PCB: con el fin de minimizar el efecto del discriminador sobre el resto del circuito, se separan las alimentaciones de cada porción del circuito. Las masas se conectan a través de una inductancia de 10 μ H en un único punto, evitando que las oscilaciones en un plano de masa puedan afectar al otro.
- v) La segunda entrada diferencial se utiliza para test de los amplificadores. Para ello, se añade una nueva línea (*testpulse*) que dará una carga a través de una red pasiva integrada en la misma PCB.

Ya que el tamaño es un aspecto importante, y que además se está trabajando con señales de frecuencia elevada, se ha optado por la utilización de componentes SMD. A su vez, el encapsulado de los chips ha sido realizado en este formato. En la figura V.3, se muestra como quedan implementadas las placas objeto del test.

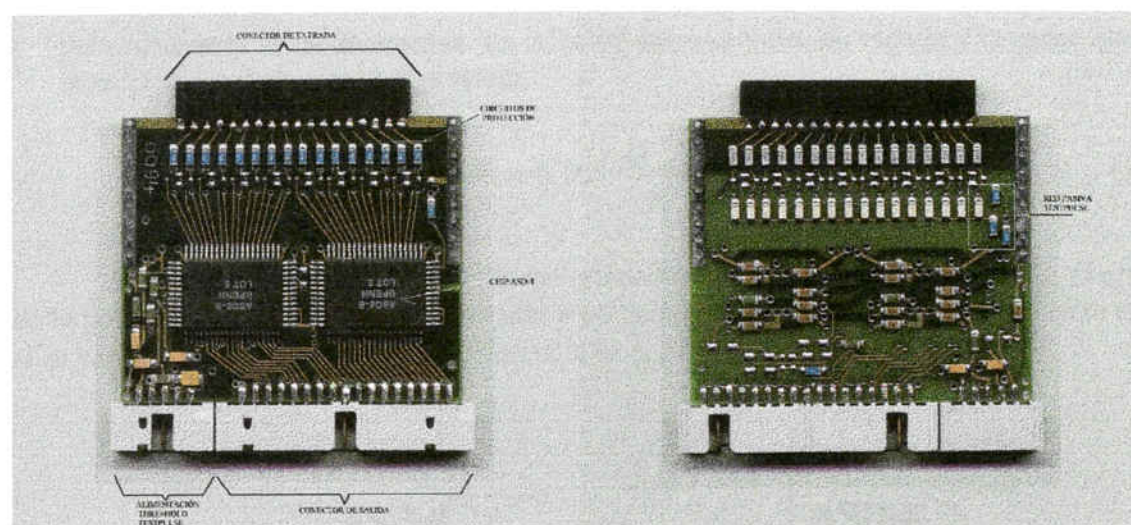


Figura V.5: PCB multicapa del ASD-8.

5.2.2. Otros sistemas de test para el ASD-8.

A parte del trabajo destinado a la elaboración de la PCB, también se han realizado otros experimentos relacionados con el ASD-8. La información aquí contenida ha sido un referente a la hora de diseñar el sistema de test, permitiendo a su vez la comparación de resultados.

El sistema generador de señales que se utiliza en estos estudios se obtiene a partir de fuentes de pulsos, o de cámaras proporcionales, o fotomultiplicadores. Las dos últimas requieren un coste adicional elevado (el sensor y, normalmente, una fuente de alto voltaje); en cambio, con un generador de niveles lógicos y una pequeña red pasiva, es posible conseguir un generador de pulsos aceptable.

Aspectos importantes que se señalan en los estudios son:

- **Alimentación:** se recomienda mantener los siguientes valores:
 - i) $+2.5 \text{ V} < \text{Voltaje amplificador} < +3.5 \text{ V}$. Si se baja de 2.5 V, decrece excesivamente la ganancia. El aumento solo añade ruido.
 - ii) $+2.5 \text{ V} < +\text{Voltaje shaper} < +3.5 \text{ V}$.
 $-2.0 \text{ V} < -\text{Voltaje shaper} < -3.0 \text{ V}$. En principio, parece ser que no existe ningún problema si las alimentaciones del amplificador y la positiva del shaper proceden de la misma fuente.
 - iii) $+2.0 \text{ V} < +\text{Voltaje discriminador} < +3.0 \text{ V}$.
 $-2.0 \text{ V} < -\text{Voltaje discriminador} < -3.0 \text{ V}$.
- **Threshold:** nos permite ajustar el valor mínimo de carga que se va a detectar. Su valor puede establecerse desde de 0 a $\pm 1.68 \text{ V}$, donde el signo depende de la

polaridad de la señal de entrada. La relación entre su valor de voltaje y la carga que se inyecta viene dada por la expresión:

$$\frac{V_{threshold}}{Volt} = 0.105 \cdot \frac{Q_{señal}}{fC} + 0.53 \quad (5.1)$$

El offset de 0.53 depende de la polarización del discriminador. Además, el signo de la polaridad (figura V.4) es importante y no debe ser olvidado en el estudio, sobre todo si se van a utilizar ambas entradas diferenciales con fines distintos.

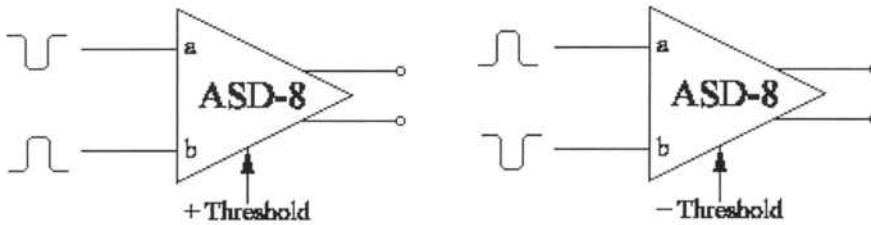


Figura V.4: Signo del valor de *threshold* en función de la polaridad de entrada.

- **Carga equivalente de ruido:** para este tipo de circuitos, el ruido en el sistema se obtiene dando una carga equivalente en valor RMS. Experimentalmente, se fija el valor de *threshold* y se obtiene una curva de eficiencia (% pulsos detectados) en función de la carga de entrada Q_{in} . En principio, cabe esperar una transición abrupta; pero a causa del ruido, ésta es más suave. Considerando el ancho que tiene la banda de transición, el ruido en el sistema se puede extraer a partir de la siguiente expresión:

$$\sigma = \frac{\text{ancho transición}}{6} \quad (5.2)$$

Observando la figura V.5, donde el ancho de banda se define del 10% al 90% de eficiencia, el valor de carga equivalente es de 2000 e⁻.



Figura V.5: Eficiencia del ASD-8 para un valor de *threshold* equivalente a 3 fC.

- **Crosstalk:** en los presentes estudios, se enuncia que el *crosstalk* del circuito es el orden del 5%. Sin embargo, no se realiza ninguna referencia sobre las condiciones de

medida: qué carga se inyectó para medirlo, cuál era el valor de *threshold* del discriminador, si se comprobó el *crosstalk* del propio sistema de test, o la posible dependencia con el tipo de señal utilizado.

- **Ganancia de la parte analógica:** existen varios resultados en la literatura acerca de este valor. Las simulaciones SPICE predecían un valor de 20 mV/fC. Mientras que experimentalmente oscilan entre 15 mV/fC y 5 mV/fC, según los diferentes autores. Sin embargo, no nos centraremos en este punto ya que el estudio de la señal analógica no es el objetivo del proyecto.

5.3. TEST PROPUESTO PARA EL ASD8.

Se han propuesto dos test para evaluar la calidad de los circuitos ASD-8.

- TEST1: se usa la entrada de *testpulse* únicamente. Entonces, se realizan dos tipos de barrido:
 - a) Fijando la carga de entrada a 6 fC, se varía el *threshold* desde su valor mínimo aceptable, para evitar oscilaciones, hasta su valor máximo.
 - b) Fijando el *threshold* a -1.2V, se varía la carga de entrada.
- TEST2: se usa la entrada de *front-end*, donde irán conectados los fotomultiplicadores, y se inyecta una carga de 20 fC fijando el *threshold* a -1 V. La finalidad es asegurarse que el canal funciona adecuadamente.

5.4. REQUISITOS DEL SISTEMA DE TEST.

En base a los apartados anteriores, a continuación se describirán las características mínimas que deberá poseer el sistema de test. En principio e idealmente, tendrá que ser capaz de explorar la capacidad de respuesta del ASD-8 dentro de los márgenes de operación real. Para ello, se necesitará:

- Generar y controlar el nivel de las señales de entrada a las que se verá sometido el dispositivo. Esquemáticamente, estas señales se representan en la figura V.6. Han de tener una duración del orden de 5-10 ns y una amplitud ajustable entre 1 y 100 mV. La frecuencia de estas señales también debería ser un parámetro variable hasta los 30 Mhz (máximo ratio de interacción del haz de HERA).

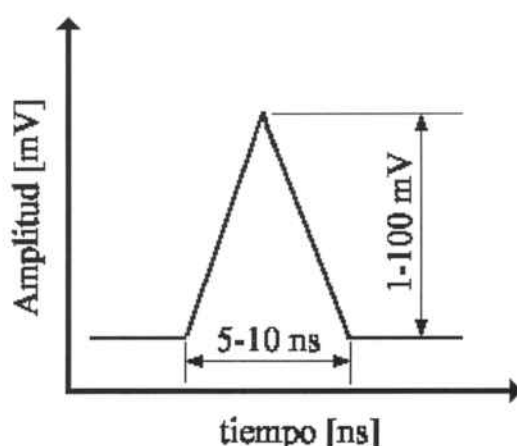


Figura V.6: Parámetros de la señal de entrada.

- Reducir el nivel de ruido por debajo del nivel de operación del *threshold* (valor umbral de detección) a utilizar en la situación experimental real. En principio, el valor de operación pedido para el test es de -1.2 V , que corresponde a una carga de 6 fC aproximadamente. También habrá que asegurar que el ruido no sea excesivamente elevado con el fin de tener una región de transición de detección del evento lo más abrupta posible.
- Posibilitar el test de los canales uno a uno con el fin de establecer los niveles de *crosstalk* entre los mismos. Se ha de procurar que el *crosstalk* que pueda introducir el diseño afecte lo más mínimo en el test, al menos dentro del rango de carga que deberá aceptar en realidad el dispositivo ASD8.
- Disponer de un sistema de alimentación teniendo en cuenta las características analógico-digital del DUT. Por tanto, se tendrá en cuenta ciertas recomendaciones EMI al realizar el diseño de placas y la conexión entre equipos.
- Uso de un sistema de adquisición de datos automático. La principal necesidad del test es la rapidez de ensayo (número placas / día); además, para disponer de una buena estadística, cada canal deberá recibir del orden de 10^3 excitaciones por cada tipo de test. Estas circunstancias obligan a utilizar un equipo automático de captación de datos.
- Procesar y guardar los datos para su posterior uso.

La finalidad del test será determinar la configuración de los ASD8 dentro del RICH. Se agruparán las placas en siete grupos, según su valor de eficiencia al 50% para un valor de *threshold* de -1.2 V . Una vez en el detector, los grupos serán distribuidos simétricamente y dentro de un grupo, de forma aleatoria. Con este proceso se pretende evitar la introducción de asimetrías en el detector.

5.5. DESCRIPCIÓN FUNCIONAL.

Una vez revisados los objetivos y requisitos que deberá cumplir el sistema, se abordará su descripción funcional. El modelo funcional propuesto lo podemos ver en la figura V.7.

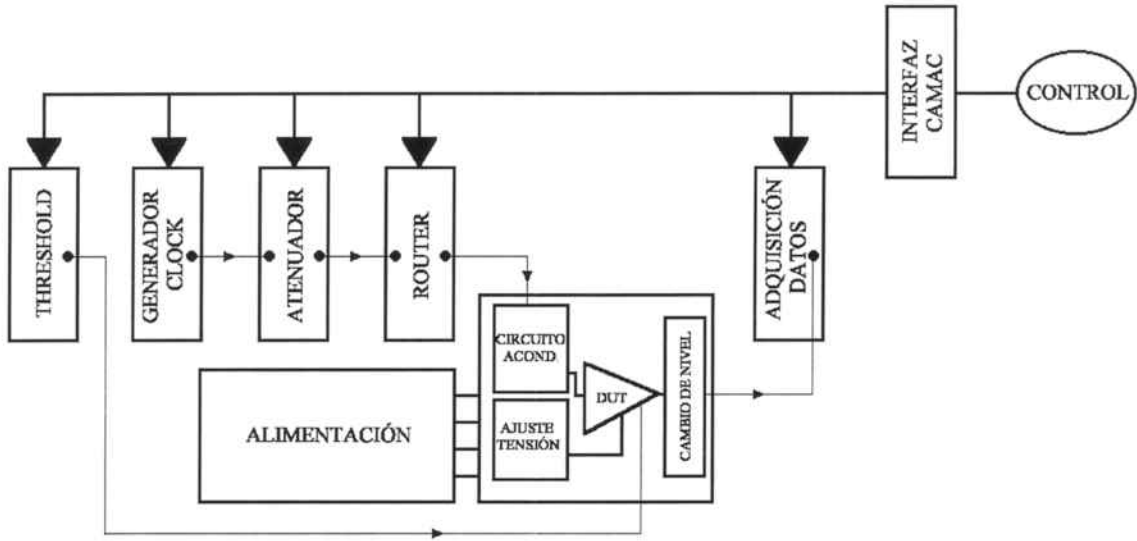


Figura V.7: Esquema funcional del sistema de test.

La idea propuesta consiste en utilizar un generador de *clock* (nivel lógico NIM) como señal de partida. Esta señal deberá tener dos parámetros controlables: el número de pulsos que se desea enviar y la frecuencia de los mismo. Con el fin de modificar la amplitud de la señal y poder ajustar el valor de carga que se inyectará al DUT, se hace pasar el *clock* a través de un atenuador.

La señal atenuada se dirige hacia el ASD-8. Una matriz de conmutación de 1 entrada a 17 salidas dirige la señal hacia la entrada de *front-end* o *testpulse* seleccionada. Con la ayuda de un circuito de acondicionamiento, se convierte el tren de pulsos cuadrados a deltas de corriente que proporcionarán la carga que se inyecta en el ASD8. La salida del circuito se acondiciona (cambio de niveles lógicos) para que el sistema de DAQ pueda leerla sin problemas.

Con el fin de llevar el control y gestión de las diferentes partes del sistema, se ha optado por usar un PC conectado vía GPIB al bus del sistema de instrumentación. Con la ayuda de un *software* de instrumentación virtual, se elaborarán los programas de control y gestión de datos. Existen otras soluciones como el uso de un microprocesador dentro del *crate* de instrumentación que, como ventaja, aporta una gran rapidez para el proceso.

El desarrollo de este esquema funcional se aborda en el siguiente capítulo, donde se describirán los módulos utilizados, programas de control, circuitos de interfase, alimentación, interconexión y sincronización. Así pues, durante su desarrollo, se debe tener presente en que punto del diagrama de bloques nos encontramos.

6. DESARROLLO DEL SISTEMA DE TEST.

6.1.INTRODUCCIÓN.

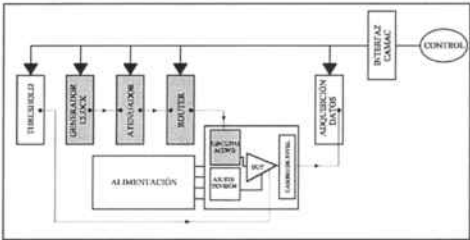
Se ha visto que la solución adoptada sigue el esquema básico de un sistema de test funcional (figura V.7). Sin embargo, el desarrollo real del equipo requiere una especial atención en ciertos puntos. En primer lugar, al trabajar con sistemas que combinan electrónica digital y analógica, obligará a tener especial cuidado en el diseño de PCB's, conexión entre equipos, conducción de señales o la conexión de las fuentes de alimentación. Por otro lado, las señales que se tratan presentan un espectro en frecuencia (figura VI.1) que se sitúa en el orden de 10^2 Mhz; por tanto, la interconexión entre diferentes elementos debe tener en cuenta la posible aparición de rebotes en las líneas de transmisión de las señales y niveles de *crosstalk* elevados.



Figura VI.1: Espectro de un pulso a la entrada del ASD-8.

El presente capítulo se desarrolla siguiendo el esquema propuesto en la sección 5.5. Se verá con detalle cómo se ha implementado cada uno de los subsistemas: módulos de instrumentación usados, hardware adicional y programas de control.

6.2. GENERACIÓN DE SEÑALES.



El primer paso en la ejecución del sistema de test es el diseño de la parte encargada de la generación de señales de entrada al DUT. Desde el punto de vista *hardware*, podemos dividirlo en seis zonas diferenciadas cuyo diagrama de bloques puede verse en la figura VI.2:

- 1) Generación del *clock*: se encarga de dar un tren de pulsos.
- 2) Atenuador: establece el valor de la amplitud de la señal precedente.
- 3) Router: envía la señal hacia una de las entradas del ASD-8 o a la entrada de *testpulse*.
- 4) Inversor: invierte la señal de *clock* para que el *testpulse* sea compatible con el valor de *threshold*.
- 5) Líneas de transmisión, para conducir la señal desde el sistema CAMAC al DUT.
- 6) Red de acondicionamiento: crea un tren de pulsos de corriente a partir de la señal de *clock*.

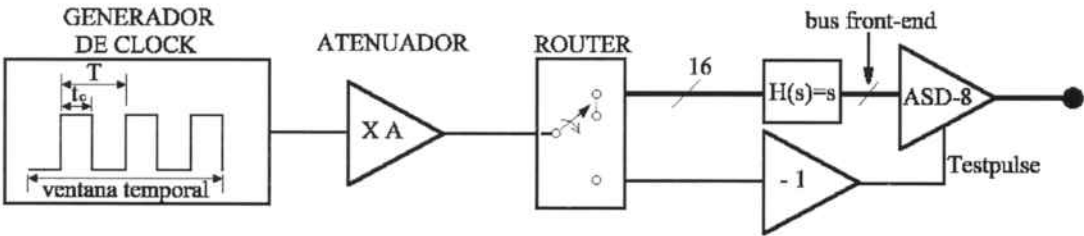
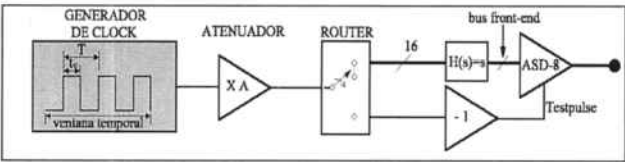


Figura VI.2: Diagrama de bloques del generador de señales.

A continuación, se desarrollará cada una de estas partes integrantes.

6.2.1. Generación del clock.



La generación del *clock* se basa en un circuito denominado DUAL TIMER definido dentro del estándar NIM. Concretamente, se utilizará el modelo CAEN N 93 B, cuyo panel frontal puede visualizarse en la figura VI.3.

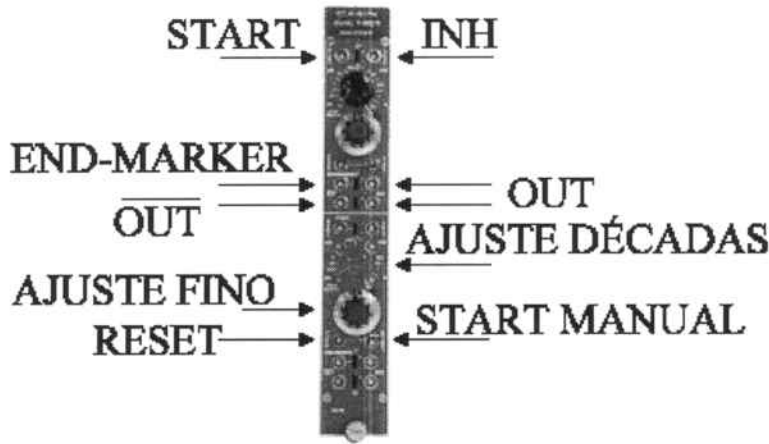


Figura VI.3: Panel frontal del DUAL TIMER N 93B.

El dispositivo consiste en dos generadores de pulso, con salida NIM o ECL. La duración de un pulso se puede seleccionar desde 50ns a 10s a través de un ajuste de paso en décadas. Para entender su funcionamiento, a continuación se describen sus señales de entrada y salida. Estas son:

- Señales de entrada:
 - i) **START**: realiza la función de *trigger*. Al entrar un pulso NIM de duración mínima de 5 ns, provoca la aparición del pulso de duración seleccionada.
 - ii) **INH**: es un valor lógico NIM 1 que deshabilita la señal de **START**.
 - iii) **RESET**: produce una señal de salida denominada **END-MARKER** haciendo que finalice el pulso e inhibiendo la entrada de **START**.
- Señales de salida:
 - i) **OUT**: es la salida del pulso generado. Se dispone de dos valores lógicos: NIM y ECL.
 - ii) **END MARKER**: es un pulso corto de 15 ns de duración que coincide con el flanco de bajada de la señal de **OUT**. Si se conduce esta señal al **START** de otro **TIMER** y, a su vez, el **END-MARKER** de este segundo al **START** del primero, tenemos un generador de pulsos continuos (ver figura VI.4).

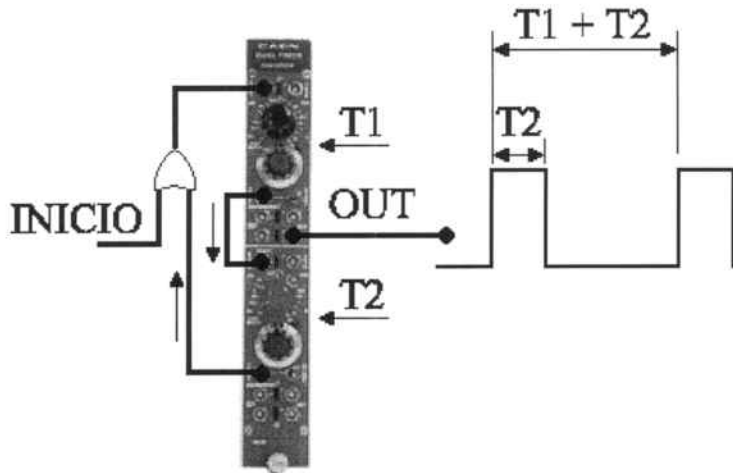


Figura VI.4: Generador continuo de pulsos NIM.

En principio, con un único DUAL TIMER conectado como se indica en la figura VI.5 sería suficiente para esta parte del sistema, teniendo un *clock* de forma ininterrumpida. Sin embargo, ocurre que en el momento de redirigir la señal hacia alguna de las entradas del DUT a través del *router*, se produce una serie de picos no deseados en el bus del CAMAC, que afectan a la medida de la eficiencia de los canales. Esto obliga a que primero se seleccione el canal que se desea disparar y, posteriormente, se inicie el clock. Entonces, en vez de tener un clock continuo, se necesita tenerlo abierto sólo en una ventana de tiempo definida entre el inicio de conexión del canal y el final de ésta. Para crear la ventana, se necesita adicionalmente otro DUAL TIMER, un FAN IN/OUT lógico y un generador de puerta. Para entender el funcionamiento del sistema, expliquemos la función de los nuevos módulos NIM usados.

- a) FAN IN/OUT lógico (modelo Lecroy 429A): este módulo (figura VI.5) combina las operaciones de conversión TTL a NIM, *fan-in* lógico, *fan-out* lógico e inversión de polaridad. Cada canal está constituido por cuatro entradas, cuatro salidas lógicas y dos salidas lógicas complementarias. Cuando se utiliza como *fan-in*, las entradas del canal realizan la función lógica OR. Para *fan-out*, se aplica la señal a una única entrada y se extrae por las salidas disponibles (4 normales y dos invertidas). Como traductor de nivel, sólo se permite hacer la conversión en la dirección TTL $\rightarrow$ NIM.
- b) GENERADOR DE PUERTA (modelo Lecroy 222): es un instrumento con una función muy parecida al *dual timer*. El módulo con sus señales se presenta en la figura VI.6. Presenta dos modos de funcionamiento:
 - Modo de ancho preestablecido: a la llegada de una señal NIM en la entrada de START, la salida genera un pulso de duración fijada por un ajuste manual. Además, al finalizar el pulso, se genera otra señal NIM de 10ns de duración en la salida DELAY. Presenta también otras dos entradas: BLANK, que durante su presencia no existe salida alguna; OR, realiza la función OR sobre la señal de salida, alargando su duración en función del ancho de la señal presente en esta entrada.

- Modo latch: la duración del pulso viene marcada por las señales de START y STOP.

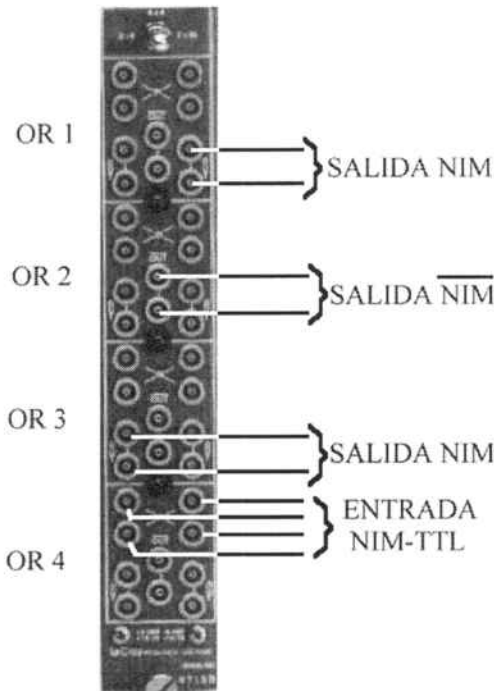


Figura VI.5: FAN IN/OUT lógico.

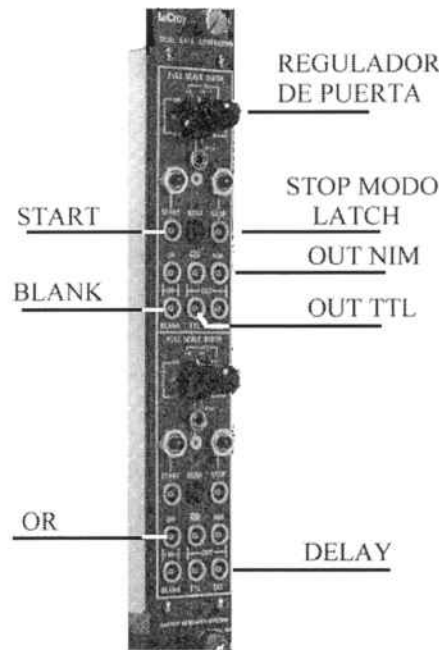


Figura VI.6: Generador de puerta.

La interconexión entre los diferentes módulos, para poder obtener un tren de pulsos de duración preestablecida, puede apreciarse en la figura VI.7 donde se han numerado los nudos de las señales. También se ha representado su diagrama temporal, que a continuación se describe.

Funciona de la siguiente forma. Se envía un pulso desde el módulo CAMAC hacia el FAN I/O (1), que se divide en la entrada de START del *timer* #3 y del *timer* #4 situado en el crate NIM (2). El pulso generado en #3, tiene una duración T_1 suficiente para que cualquier pico de voltaje no deseado dentro de los canales, debido al uso del bus del CAMAC, haya desaparecido. Al final de T_1 , el *timer* #3 genera su END MARKER (3) que, a través del FAN IN/OUT lógico (para hacer la función lógica OR con el END MARKER procedente del *timer* #2), se inyecta al START del *timer* #1 (4). La salida de éste se pasa al START del *timer* #2 (5) y su END MARKER pasa a ser la otra entrada de la función OR anterior (6). De esta forma, se asegura la realimentación del sistema y la obtención de un tren pulsado de niveles lógicos NIM. Con el ajuste temporal del *timer* #1 se selecciona el *duty cycle* (T_2) del *clock*; con la suma del #1 y #2 (T_2+T_3), se tiene la frecuencia de la señal.

El problema es ahora romper el bucle de realimentación. Esto se consigue introduciendo una señal de RESET al *timer* #2 que pare la producción de pulsos. Para ello, se ajusta el *timer* #4 a un tiempo T_4 que nos dará la duración total de la ventana. Cuando se alcanza T_4 , el END MARKER se lleva hacia el generador de puerta (7) para crear un pulso de 50 ns de duración (8) que será la señal de RESET. Este último proceso

de alargamiento del pulso se debe a que el END MARKER es tan sólo de 15ns, insuficiente para ser detectado por la entrada de RESET del *timer* #2. Con el fin de proveer una señalización de fin al sistema de control del CAMAC, se utiliza la función de fan out obteniéndose dos caminos (9): uno dirigido hacia el RESET; otro, hacia el CAMAC para indicar el fin del proceso.

La salida del clock se toma del timer #1 (10) y se divide tres señales (11): dos se dirigen al CAMAC; la otra va hacia la unidad de coincidencia, de donde se obtiene una el sincronismo para el sistema de adquisición (12).

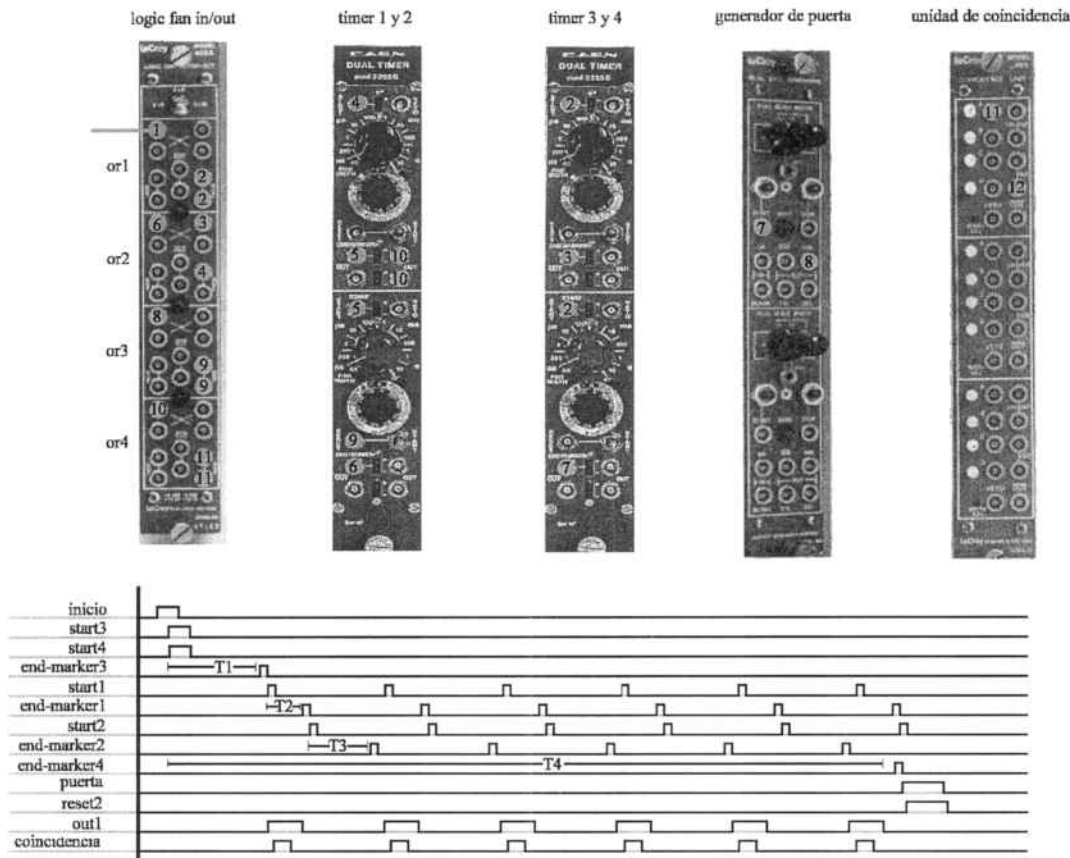


Figura VI.8: Conexión del generador de *clock* y diagrama temporal.

6.2.2. Señales de control.

Dentro del esquema descrito anteriormente, se ha visto que se requiere una señal proveniente del CAMAC, que marca el inicio de *clock* y otra que indica que el tren de pulsos ya ha llegado a su fin. Además, también se necesitará sincronizar la etapa de adquisición de datos.

- Señal de inicio:

A través de esta, se pone en funcionamiento el generador de pulsos. La orden se da desde el programa de control hacia un módulo denominado *output register* situado en el CAMAC.

El *output register* utilizado es el modelo OR 1320 de SEN. Consiste en 16 registros programables vía CAMAC que pueden ser cargados como una palabra de 16 bits o bien bit a bit. La ventaja principal es que proporciona un interfaz entre el CAMAC y el uso de instrumentos del estándar NIM. También posee una configuración de modo pulsado, proporcionando un tren de onda cuadrada NIM. Al principio del diseño, se utilizó esta opción, aunque se desechó por problemas de *switching* dentro del bus. Además, su t_r y t_f son de 6ns y 8ns respectivamente; por tanto, no se conseguiría una delta de corriente pronunciada

Para controlar el dispositivo, se hace uso del programa de instrumentación virtual *Labview*. Su entorno nos permite desarrollar el control y operación de los instrumentos a través de una programación gráfica. En el caso del OR 1320, el pseudocódigo del programa queda de la siguiente forma (para ver como queda implementado en *Labview*, consúltese el apéndice A):

1. *Enviar instrucción NAF para habilitar el modo pulsado [f(26)].*
2. *Cargar el registro de salida con un 1 lógico [f(16)].*
3. *Ejecutar el pulso de duración S1 (strobe S1) [f(25)].*
4. *Deshabilitar el modo pulsado [f(24)].*
5. *End.*

- Señal de finalización.

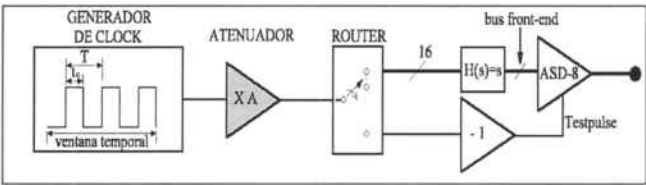
El sistema CAMAC debe saber, de alguna forma, cuándo finaliza la ventana temporal y poder pasar a la lectura de los *scalers*. Con tal fin, la señal de RESET del *timer #2* se envía a la entrada LAM externa de un *I/O register*. Este instrumento está conectado al controlador del CAMAC, con lo que requerirá la atención del master del bus y se enviará la gestión del LAM al programa de control situado en el PC. En este caso, programa de control del instrumento es muy sencillo, ya que sólo consiste en un bucle de espera de la señal LAM.

- Señal de sincronización.

Del *clock*, también se debe extraer otra señal que nos proporcionará el control de los *scalers*. El objetivo es que estos únicamente se habiliten dentro de un entorno de tiempo alrededor de la llegada del dato esperado. De esta forma, se evitan contar pulsos que no han sido producidos por el generador de señal.

La señal se obtiene enviando el *clock* hacia una unidad de coincidencia (Lecroy 465, ver figura VI.7). La función del módulo es generar un pulso NIM de ancho ajustable cuando en sus entradas se dan simultáneamente varios sucesos (o sea, no es más que una función lógica de mayoritarios). En este caso, se programa el instrumento para que habilite sólo una entrada y para que el ancho de la señal generada sea de 50 ns de duración y valor lógico NIM. En este caso, no se requiere *software* para su control.

6.2.3. Control del nivel de carga.



Hasta el momento, se ha conseguido ajustar la ventana temporal, el periodo y el *duty cycle* del *clock*. Sin embargo, aún se debe hacer un tratamiento adicional de la señal de *clock*. El *timer* sólo proporciona un valor lógico y su amplitud no puede ser modificada. De las especificaciones del tipo de test a realizar (sección 5.3), únicamente es necesario atenuar la señal ya que, a la amplitud máxima, la carga que se inyecta es de 900 fC. El rango de carga que se usará debe estar comprendido entre 0 y 100fC.

El módulo escogido para tal reducción es el *dual programmable attenuator* SEN 2PA2049 (figura VI.8). Posee un rango de atenuación comprendido entre 0 y 31.5dB, en incrementos de 0.5dB. Para ello, utiliza seis circuitos que disminuyen la señal, respectivamente, en factores de 0.5dB, 1dB, 2dB, 4dB, 8dB y 16dB. La configuración del circuito para un valor de atenuación fijo se establece a través de relés que realizan la conexión correspondiente entre los circuitos. El control de estos relés puede ser programado a través de una instrucción CAMAC, o bien manualmente mediante un pulsador.

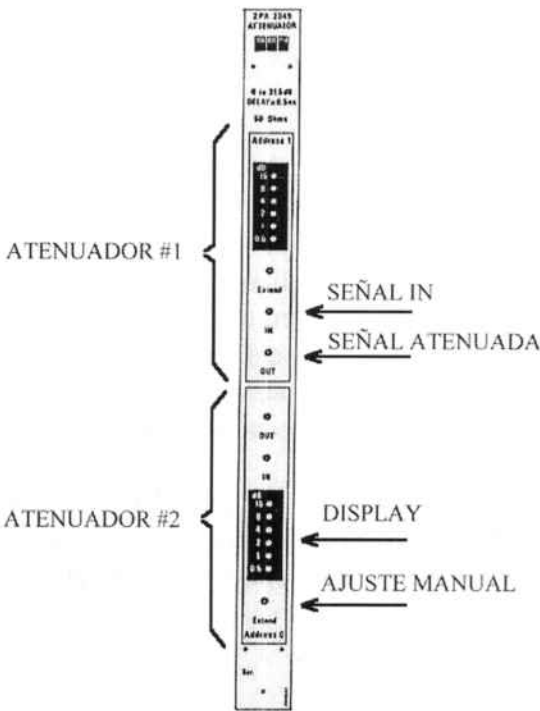


Figura VI.8: Atenuador 2PA2049.

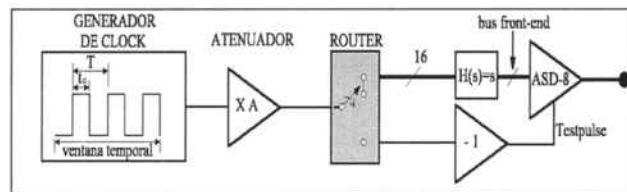
El uso de relés hace que los contactos de la circuitería interna no se establezcan instantáneamente. Por tanto, el dispositivo posee un *clock* interno que genera una señal LAM cuando la selección está totalmente establecida. Sin embargo, esto no es un problema en nuestro *set-up*, ya que el tiempo entre las instrucciones de GPIB para

establecer el valor de atenuación y para iniciar el tren de pulsos es suficientemente largo.

Fijándose en el valor de la atenuación, la cantidad mínima que se puede inyectar es de 21 fC y la máxima de 900fC; por tanto, se necesita reducir el valor al menos en un factor 10 en alguna etapa posterior, para ajustarlo al rango de test.

Este módulo también es programable y su rutina de control se muestra a continuación:

1. Introducir el factor de atenuación.
2. $\text{factor en dB} \leftarrow 20 * \log(\text{factor de atenuación})$.
3. Convertir (factor en dB) a binario.
4. Recalcular el factor correcto de atenuación.
5. Enviar instrucción NAF al atenuador para establecer la conexión de los relés [f(16)].
6. Fin.



6.2.4. Sistema de enrutamiento.

Para llevar la señal cuadrada de amplitud variable hacia las 16 entradas de *front-end* y la de *testpulse* del ASD-8, se utiliza un sistema de enrutamiento de 1 a 17 canales. El módulo que se encarga de esta función es el *wide band router* SEN (WBR 2073). El dispositivo se puede utilizar en dos formas distintas:

- i) Como *router* de 1 a 12.
- ii) Como demultiplexor 12 a 1: los terminales no seleccionados se conectan a 50Ω.

En el caso de configuración *router* de 1 a 12, sólo puede estar seleccionado un canal a la vez, ya que se debe mantener la impedancia característica de la línea. En caso que no se tuviera este problema, la señal podría ser encaminada a varios canales a la vez. Queda imposibilitada, pues, la capacidad de comprobar como afecta al *crosstalk* al dispar más de un canal simultáneamente en el ASD-8.

Para poder rutear los 17 canales, es necesario utilizar dos WBR. Basta conectarlos en cascada: por ejemplo, la salida 9 del primer WBR es la señal de entrada del segundo, tal y como se ilustra en la figura VI.9.

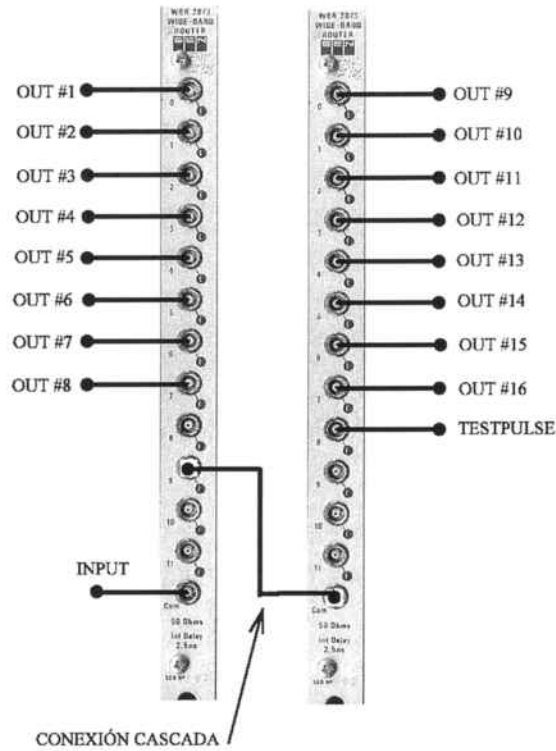
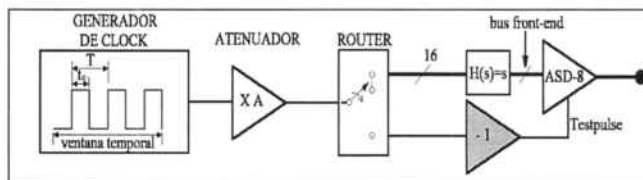


Figura VI.9: Esquema de conexión de los WBR2073.

El pseudocódigo del driver de control teniendo en cuenta las instrucciones CAMAC que debe implementar es el siguiente:

1. Canal $\leftarrow$ Introducir el canal que se quiere seleccionar.
2. Si Canal es menor que 8
Entonces
Poner $N \leftarrow$ dirección N del router #1.
Canal de selección $\leftarrow 2^N(\text{Canal})$. ;dirección CAMAC del canal.
Enviar NAF $[f(16) A(0)]$.
Si no
Poner $N \leftarrow$ dirección N del router #1.
Canal selección $\leftarrow 2^N(11)$. ;dirección CAMAC del canal 12.
Enviar NAF $[f(16) A(0)]$. ;se habilita la conexión cascada.
Poner $N \leftarrow$ dirección N del router #2.
Canal selección $\leftarrow 2^N(\text{Canal}-8)$. ;selección del canal 8 al 16.
Enviar NAF $[f(16) A(0)]$. ;se habilita la conexión del canal.
3. Fin.

6.2.5. Señal testpulse.



La señal que se introduce en la entrada de *testpulse* es una señal cuadrada de amplitud NIM multiplicada por el valor de atenuación. Pero existe una segunda diferencia con las entradas de *front-end*. El ASDBLR tiene una configuración

diferencial. Recordemos que los PMT se ponen en la entrada positiva y el testpulse en la negativa. Al llegar un pulso diferencial, el valor de *threshold* decide si existe evento o no, tal como aparece en la figura VI.10:

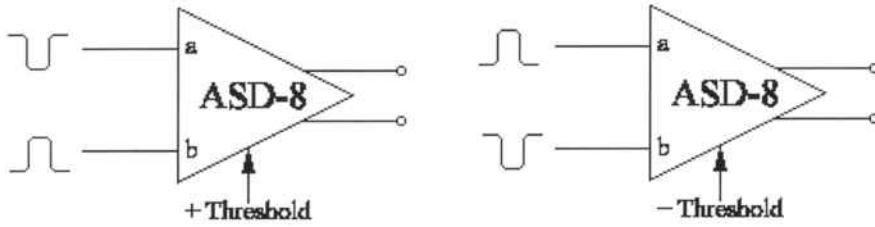


Figura VI.10: Polaridad de la señal de entrada según el *threshold*.

Por tanto, si alimentamos con el mismo tipo de señal ambas entradas, una de ellas verá un valor de *threshold* con la polaridad invertida, haciendo que el circuito nunca la detecte.

Para solucionar el problema, se utiliza un FAN IN/OUT lineal (Lecroy 428F) y se invierte su polaridad. También se podría cambiar el valor de *threshold* e invertir la polaridad; pero entonces, afecta a la resolución del DAC que se utiliza para obtener este voltaje, ya que se debería operar entre -5 y $5V$, en vez de 0 y $5V$.

6.2.6. Cableado LEMO.

El cableado y conexionado utilizados (terminaciones de $50\ \Omega$, T's, Y's, uniones, etc.) no son de tipo BNC, sino LEMO. Este estándar busca reducir su tamaño ya que, en experimentos de gran magnitud, la cantidad necesaria de conexiones y señales a transportar se hace enorme.

La figura VI.11 muestra este tipo de elementos de interconexión. Cabe llamar la atención en que los cables se miden en tiempo, cosa que facilita la determinación del sincronismo entre los diferentes módulos.

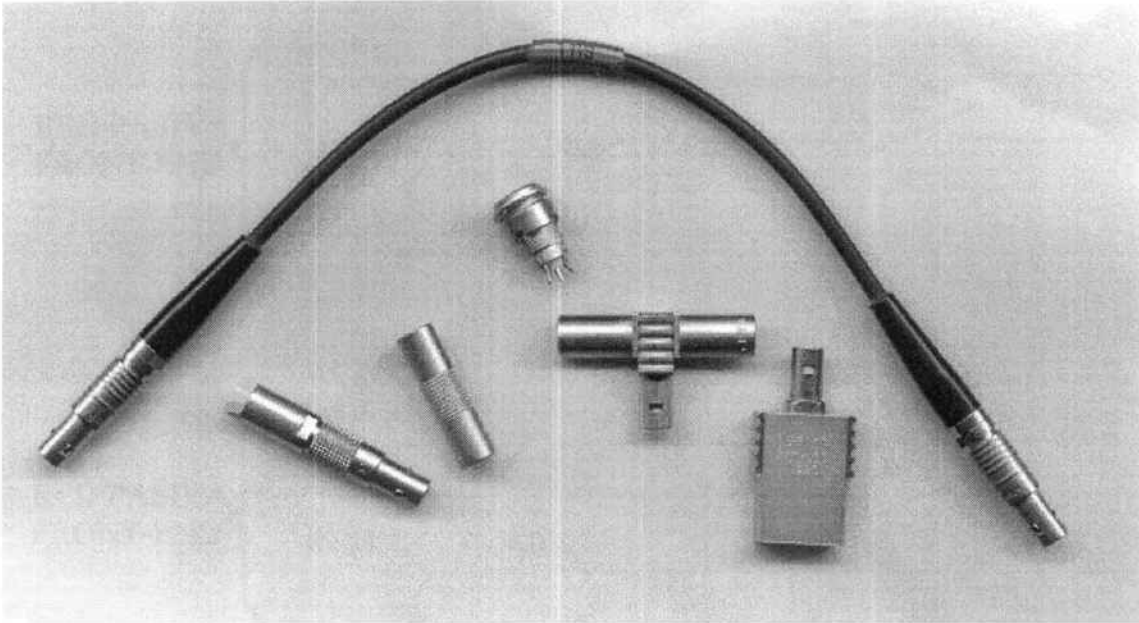


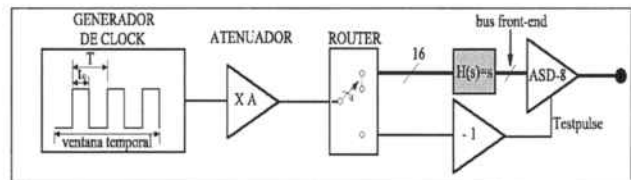
Figura VI.11: Cable de 1 ns, terminador, T, Y, , conectores

6.2.7. Acondicionamiento de la señal.

- Obtención de un pulso de corriente.

Las señales que proceden del WBR son pulsos cuadrados y deben transformarse en deltas de corriente. La forma más sencilla de convertirlos es diferenciar la señal con la ayuda de una capacidad de valor pequeño. La constante RC asociada es de valor pequeño, al igual que la carga inyectada.

Recordemos además, que la señal cuadrada de entrada debe ser atenuada en un factor 10, como mínimo. La configuración de la red pasiva que realiza estas operaciones es la descrita en la figura VI.12.



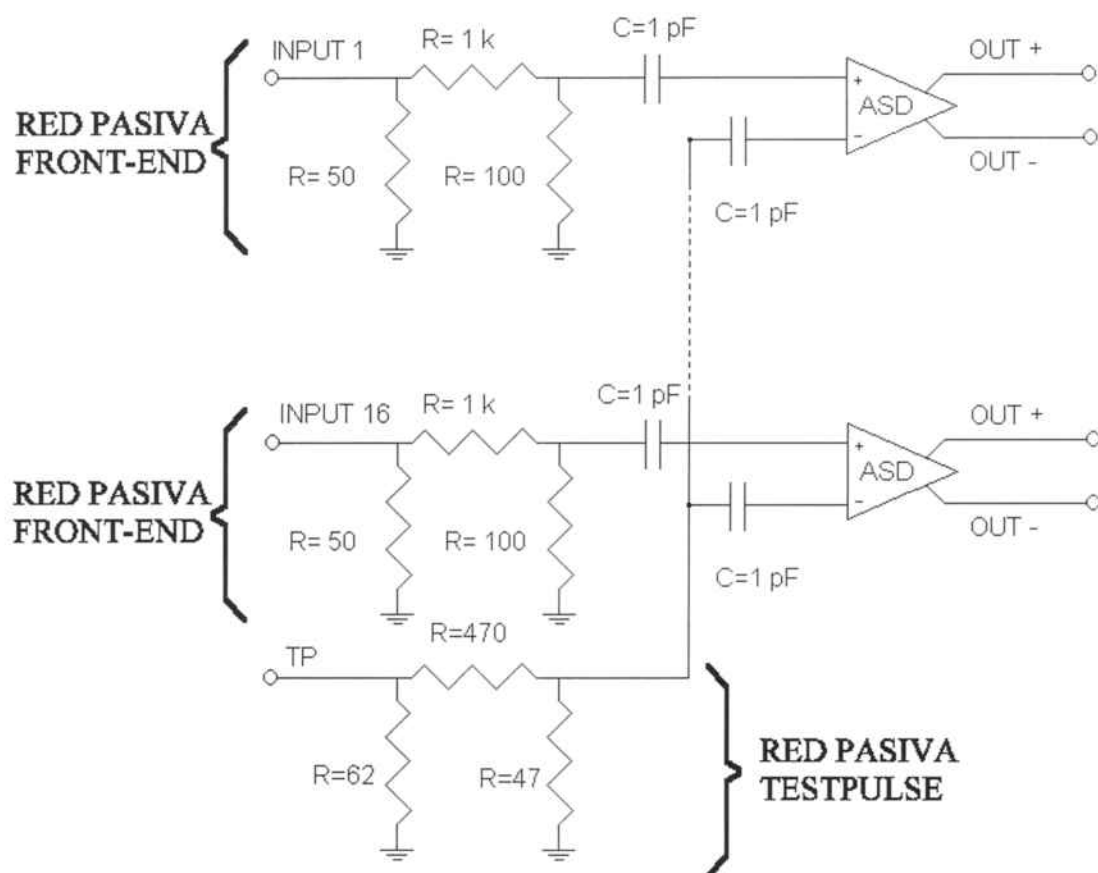


Figura VI.12: Redes de acondicionamiento para las entradas de *front-end* y *testpulse*.

La resistencia de $50\ \Omega$ se utiliza para adaptar la carga formada por dos resistencias (dividen la tensión en un factor 11), por una capacidad de 1pF y por la resistencia de entrada del amplificador. Aunque hay una pequeña diferencia en la resistencia total respecto a los $50\ \Omega$, no es demasiado importante, al menos en cuanto a la posible existencia de rebotes.

Utilizando el programa de simulación PSPICE y simulando el amplificador de carga a partir de su resistencia de entrada, la forma del pulso a la entrada del amplificador es la dada en la figura VI.13:

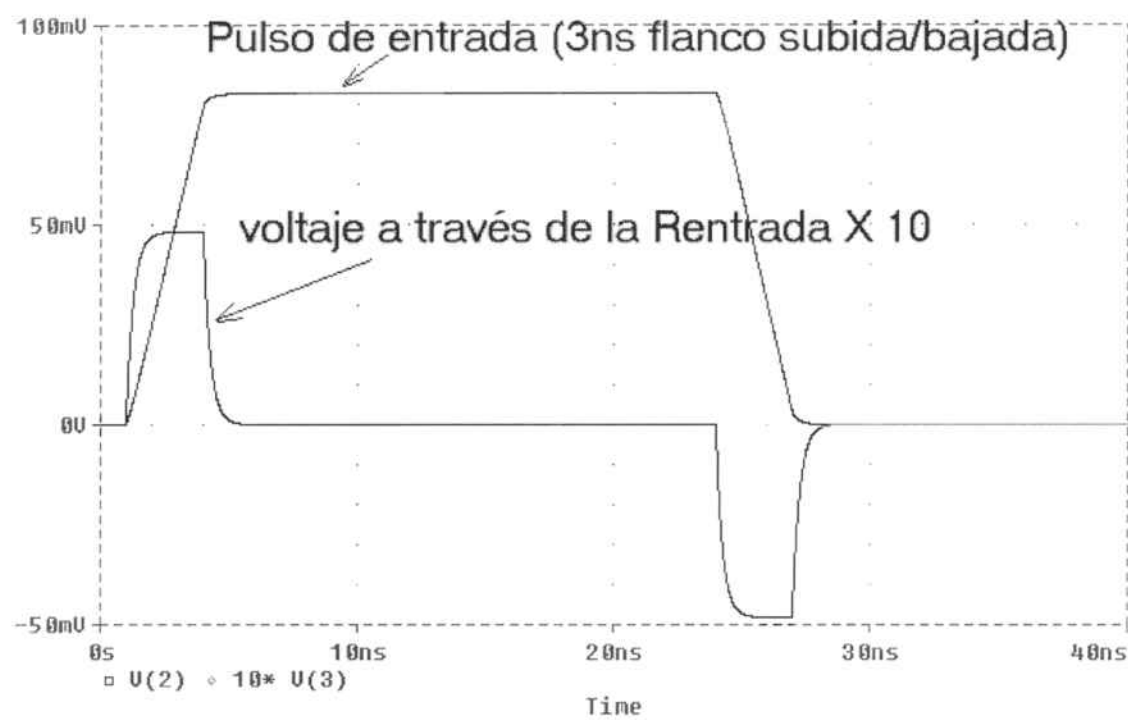


Figura VI.13: Señal de *front-end* a la entrada del ASD-8.

En el caso de la señal de *testpulse*, cambia un poco la red pasiva a simular, ya que ahora hay 16 etapas RC al final de la misma. La simulación de la figura VI.14 muestra que el pulso alarga su forma en la caída.

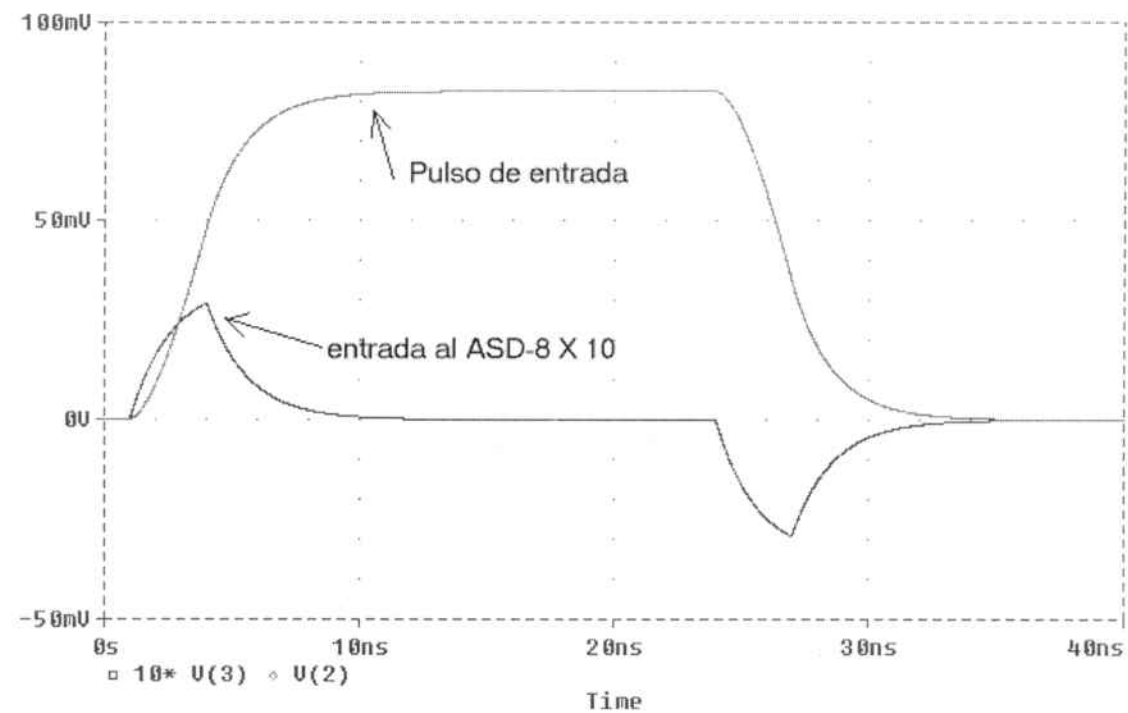


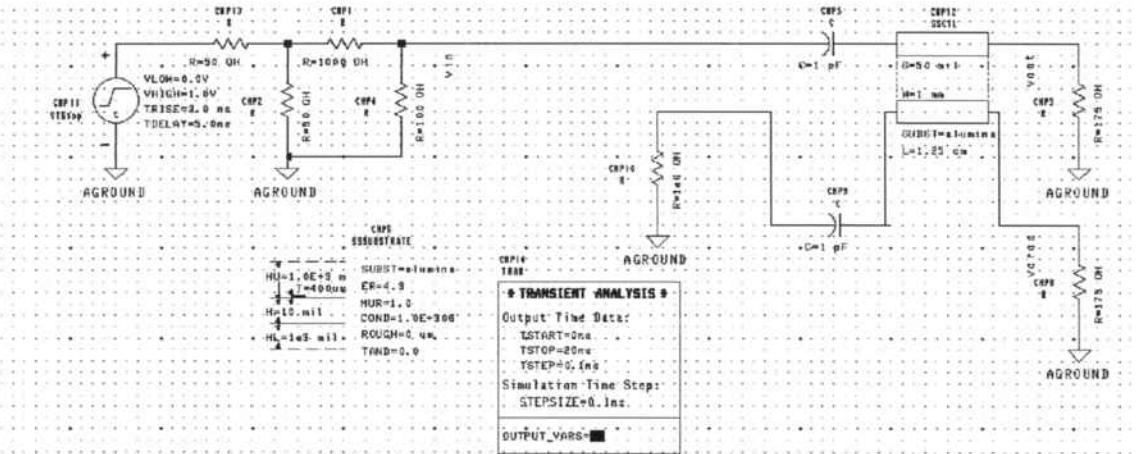
Figura VI.14: Pulso de entrada procedente de la línea de *testpulse*.

Vemos que la obtención de una señal tipo delta de corriente (duración inferior al tiempo de medida del ASD-8) se logra para la etapa de *front-end*; en cambio, para la

señal de *testpulse*, queda una señal bastante alargada. Esta última no se puede modificar ya que la red pasiva forma parte del diseño de las placas de circuito impreso donde se colocan los ASDBLR.

• Reducción de *crosstalk*.

Las redes pasivas se montarán sobre una placa de circuito impreso. El problema principal de su diseño es minimizar en lo posible el *crosstalk* entre canales, sobre todo en lo que hace referencia al acoplo capacitivo entre pistas. En la práctica, se han realizado varios diseños antes de encontrar una solución aceptable. En principio, optamos por el mejor caso: uso de un plano de masa, líneas microstrip, líneas de tierra intercaladas entre las de señal y configuración interdigital entre canales vecinos. La simulación (figuras VI.15 y VI.16), con la ayuda del programa MDS, muestra el nivel de *crosstalk* que se adquiere en el caso que sólo se produzca en el conector de salida de la placa. Este valor, nos da una cota inferior de la magnitud. Puede verse dos picos inducidos en la pista vecina debidos a la señal que se produce después de la capacidad. Aproximadamente, el valor de *crosstalk* es del 2.3%; por tanto, fijando el *threshold* a $-1.2V$, se espera observar que los canales vecinos se disparan a partir de 90 fC de carga de entrada.



6.2.8. Problemas EMI del sistema generador de señales.

El uso de cables donde la señal lleva asociada un retorno de tierra, por ejemplo en un coaxial, puede reducir de forma sustancial la susceptibilidad de un circuito a la mayor parte de mecanismos de acoplamiento externo. Sin embargo, si la parte de retorno a tierra se conecta en ambos puntos, aparecen dos nuevos problemas: el acoplo por bucle de tierra y el acoplo en modo común. Ambos mecanismos tienen el mismo efecto, pero surgen por principios diferentes.

a) Acoplo por bucle de tierra:

El fenómeno aparece cuando se conectan dos terminales de tierra de diferentes circuitos y, al circular una corriente externa proveniente de otro circuito, se induce una diferencia de potencial, como puede verse en la figura VI.17a. El circuito equivalente para estudiar el acoplamiento puede verse en VI.17b y su respuesta en función de la frecuencia en VI.17c. Vemos que el fenómeno es importante a frecuencias bajas, como podría ser el caso de la señal de red.

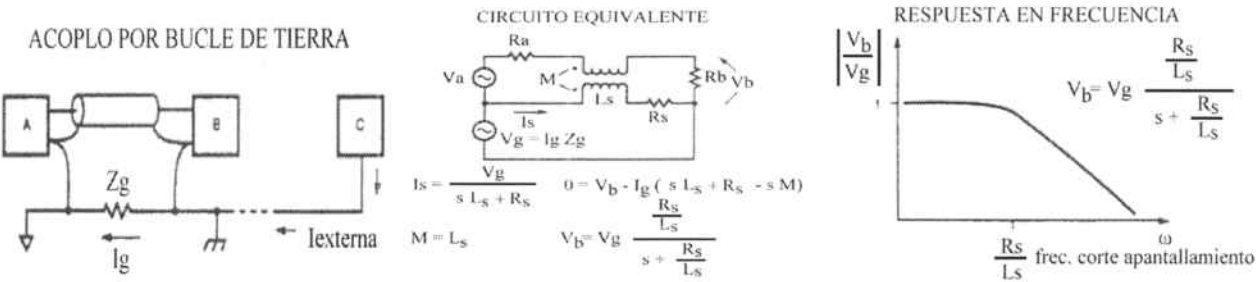


Figura VI.17 a

Figura VI.17 b

Figura VI.17 c

b) Acoplo en modo común:

En este caso, surge por el hecho de tener una área encerrada por un conductor de tierra, como se ve en la figura VI.18a. Cuando un campo magnético la atraviesa, aparece una interferencia en forma de fuente de voltaje, con el valor indicado en la figura VI.18b. Al contrario que en el caso anterior, este fenómeno es importante cuando se trabaja con señales de frecuencia elevada. La frecuencia de corte depende de los parámetros del cable coaxial, como se aprecia en la figura VI.18c.

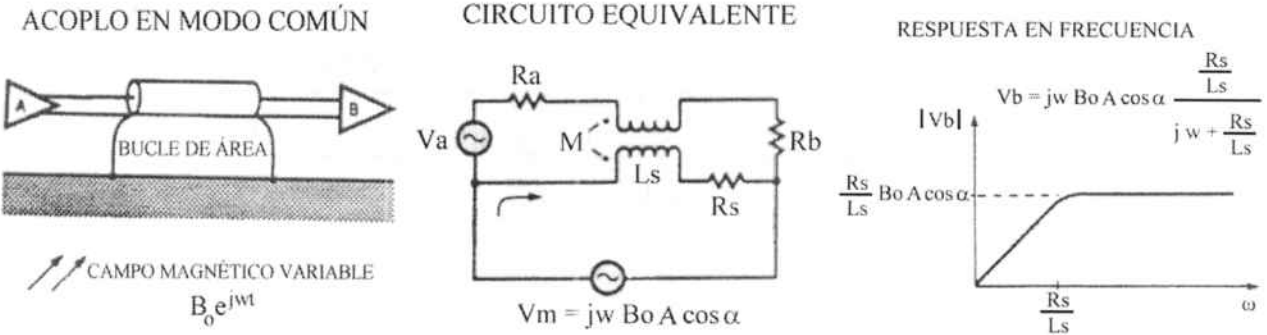


Figura VI.18 a

Figura VI.18 b

Figura VI.18 c

Aunque los equipos del sistema de test tienen una única toma de tierra, existe un bucle entre ellos, que puede provocar la aparición de los problemas anteriores. En concreto se ha apreciado la existencia de corrientes en modo común en las líneas que llevan la señal desde el CAMAC hacia el ASD8. Surgen de una mala conexión a tierra en el coaxial, donde la corriente de *shield* no es la misma que la de señal. Estas corrientes que no se balancean, crean un campo magnético que induce una señal de voltaje en el resto de cables coaxiales. Una forma de eliminarlas de manera sencilla es trenzar los cables usados. Las gráficas VI.19a y VI.19b muestra la mejora en el sistema.

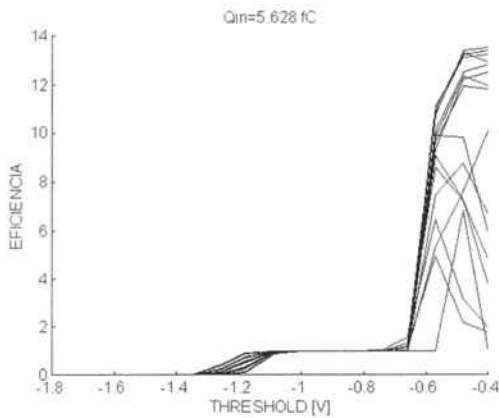


Figura VI.19a

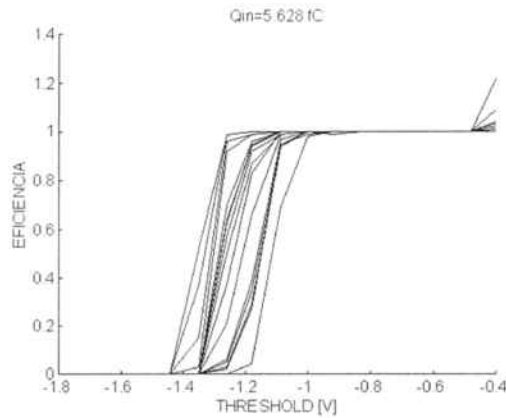
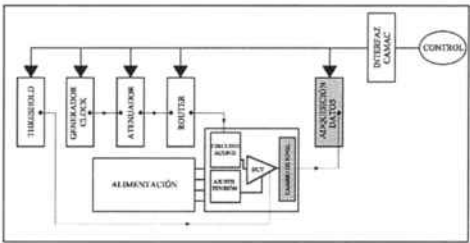


Figura VI.19b

Figura VI.19: Efecto del modo común sobre el valor de eficiencia de una placa. (a) Para *threshold* desde $-0.8V$ a $-0.4V$, la eficiencia es mayor que 1, ya que el sistema está oscilando. (b) Respuesta de la placa una vez solucionado el problema: dentro del mismo rango, sólo se aprecia el inicio de oscilación para *threshold* de $-0.4V$.

6.3. SISTEMA DE ADQUISICIÓN DE DATOS.



Cuando la señal que sale del *shaper* del ASDBLR sobrepasa el valor de *threshold* establecido en su discriminador, la etapa de salida programable genera una señal digital GTL en modo diferencial (figura VI.20).

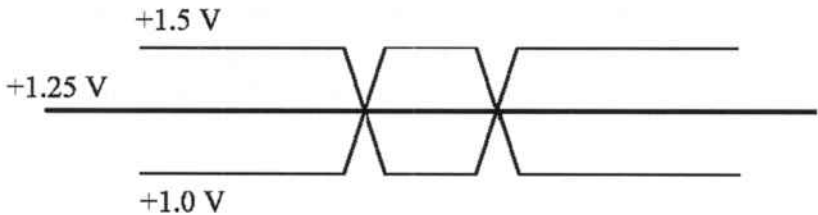


Figura VI.20: Niveles lógicos GTL.

Su valor de amplitud no es el adecuado para poder ser detectada por parte la electrónica de adquisición del sistema de instrumentación. Por tanto, es necesario realizar un cambio de nivel. En realidad, se hacen dos transformaciones: GTL $\rightarrow$ ECL $\rightarrow$ NIM. El esquema a nivel de bloques de la estructura de adquisición se ve en la figura VI.21.

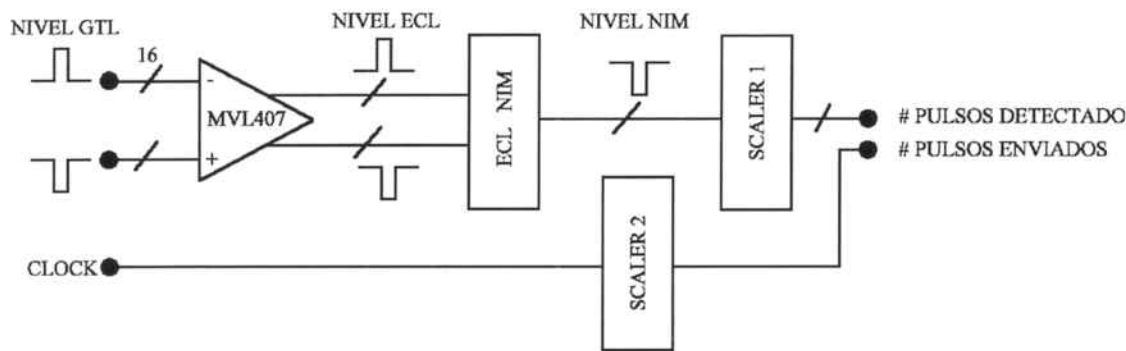


Figura VI.21: Diagrama de bloques del sistema de adquisición.

Para realizar el primer cambio de nivel, se ha escogido el componente MVL407, que es un comparador de voltaje con 4 canales en cada chip. Como ventaja, está su frecuencia de funcionamiento, de 400 Mhz, y su mínimo retraso entre la entrada y la salida. La resolución de doble pico es de 2ns (de aquí la conversión a ECL y no a TTL, ya que esta última es una lógica más lenta). Incorpora, para mejorar su estabilidad, un ciclo de histéresis de 4.8mV. Cada canal del comparador tiene una salida diferencial ECL, las cuales pueden acoplarse a cargas de 50Ω o 100Ω.

El *crosstalk* entre los canales, con el ciclo de histéresis, dado es nulo. Para obtener un buen rendimiento del dispositivo, se deben tener una serie de precauciones al diseñar el *layout* donde irá montado:

- i) uso de un plano de masa, para tener un buen retorno.
- ii) Soldadura directa en PCB, sin uso de zócalos.
- iii) Terminaciones de 50Ω a la entrada.
- iv) Uso de líneas *microstrip*.
- v) Uso de filtros de segundo orden en las ramas de alimentación.

Su salida presenta una configuración *pull-down* y se conectará a través de una línea *twist-pair* al módulo del *crate* NIM que hace la conversión ECL $\rightarrow$ NIM. El instrumento que la realiza es el traductor de nivel ECL/NIM/ECL 4616 de Lecroy. La figura VI.22 muestra su esquema interno, que consiste únicamente en un desplazador de nivel. Al pasar de ECL $\rightarrow$ NIM, la diferencia de tensión entre la entrada inversora y no inversora es igual al valor lógico positivo NIM. La resistencia de 50Ω sirve para adaptar impedancias, al igual que las de 110Ω. El proceso inverso se sigue al pasar de NIM $\rightarrow$ ECL.

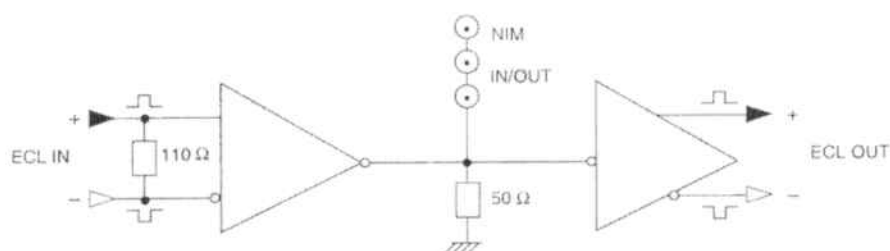


Figura VI.22: Circuito de conversión del módulo 4616 de Lecroy.

En la figura VI.23, puede verse el aspecto de su panel frontal de conexión.

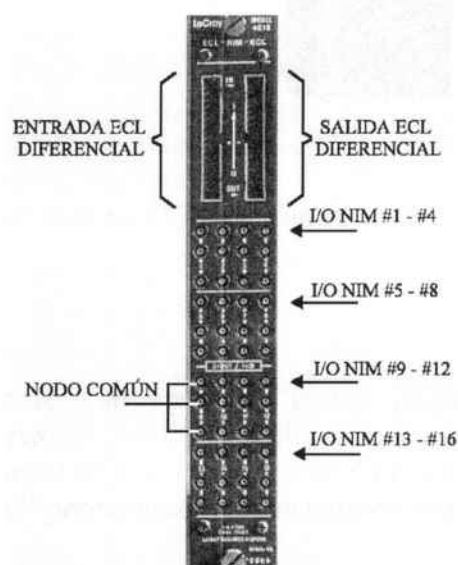
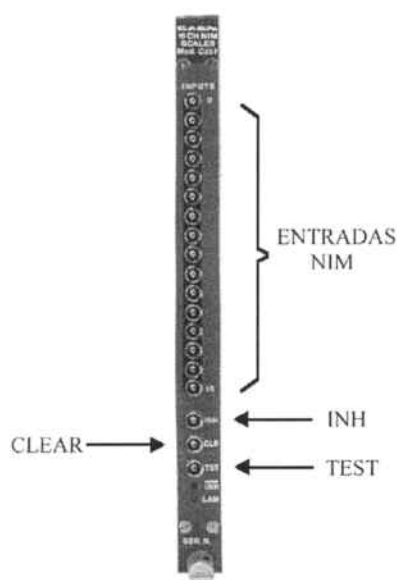
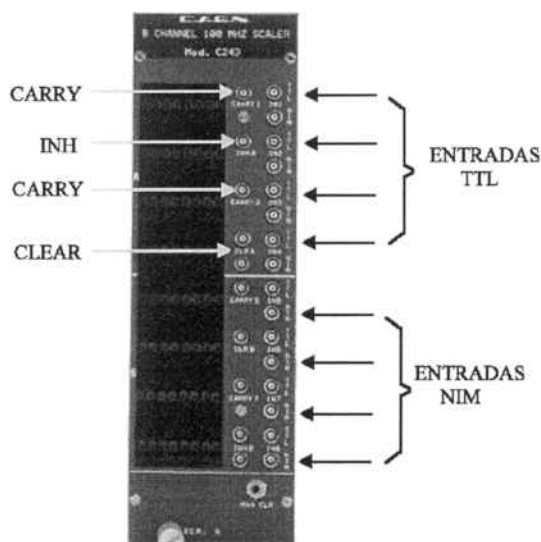


Figura VI.23: Traductor de nivel ECL $\rightarrow$ NIM $\rightarrow$ ECL.

- Scalers:** La señal que se entrega al sistema de adquisición del CAMAC es de nivel lógico NIM ya que los *scalers* sólo aceptan este tipo de lógica. Un *scaler* es un contador que a la llegada de un pulso, incrementa su valor en 1. Los módulos utilizados son el c257, de 16 canales de entrada, y el c243, de 8 canales con entradas NIM-TTL, ambos de CAEN. La razón es que se necesitan 16 contadores para los canales de salida del ASD8 y uno adicional para saber cuántos pulsos han sido enviados. En la figura VI.24 se muestran sus paneles frontales.

Figura VI.24a: Panel frontal *scaler* C257.Figura VI.24b: Panel frontal *scaler* C243.

A parte de las entradas para contar los pulsos, posee las siguientes señales de control: INH, CLEAR y CARRY. INH deshabilita al *scaler* de la función de incremento ante la llegada de alguna señal en su entrada. La de CLEAR inicializa los contadores a 0. Finalmente, la de CARRY permite conectar en cascada varios contadores.

La señal INH nos ofrece una ventaja adicional para el sistema de test. En vez de estar contando eventos durante toda la duración de la ventana temporal, se sincroniza el *scaler* con la llegada de un pulso esperado. Recordemos que esta señal de sincronismo se obtuvo haciendo pasar el *clock* a través de la unidad de coincidencia dando lugar a un tren de pulsos de 50ns de duración cada pulso. La ventaja del método es que no se contarán los pulsos que no proceden del *clock* y se podrá calcular de forma correcta la eficiencia del circuito. Si no existiese esta opción, el número de pulsos detectados siempre sería mayor que los enviados al DUT. Los 50 ns permiten la resolución de dobles eventos, si existen.

La función que desempeñan los scalers en el sistema se desarrolla a través de un programa de control, realizando el siguiente proceso:

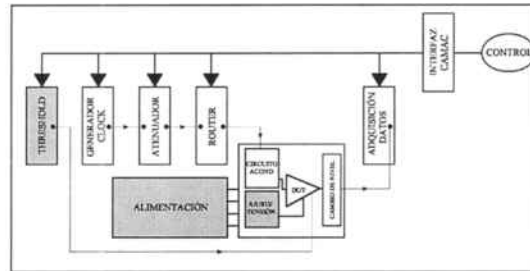
Programa de lectura para el *scaler* C243:

1. Introducir el canal a leer.
2. Enviar instrucción NAF para activar el modo latch [$f(15) A(0)$].
3. Leer el nibble más significativo [$f(0) A(\#canal*2-1)$].
4. Leer el nibble menos significativo [$f(0) A(\#canal*2-2)$].
5. Desactivación del modo latch [$f(26) A(0)$].
6. Fin.

Programa de lectura para el *scaler* C257:

1. Desde $i=1$ hasta 16
 Leer el nibble más significativo $[f(0)A(\# i*2-1)]$.
 Leer el nibble menos significativo $[f(0)A(\# i*2-2)]$.
2. Fin.

6.4. ALIMENTACIÓN.



Ya se ha visto en la sección 5.2.2 que para el correcto funcionamiento del ASD-8, se debe separar la alimentación analógica de la digital. Recordemos cuáles son los voltajes que se deben establecer en el test:

1) Alimentación ASD8:

- +3V analógica
- -3V analógica
- +3V digital
- -3V digital
- separación de tierra analógica y digital.

2) MVL407:

- +5V
- -5.2V
- tierra digital digital

3) NIM, CAMAC *crates*: tienen sus propias líneas de alimentación, como especifica el estándar. Se podría acceder a ellas para alimentar los circuitos anteriores, pero no se dispone de un módulo interfaz.

4) *Threshold*: únicamente es un valor de referencia para el discriminador del ASD-8 y se obtendrá a partir de un conversor digital-analógico.

Para la alimentación de los circuitos ASD-8 y MVL407, se usan cinco fuentes de tensión: dos para la parte digital del ASD-8 (+3V, -3V); dos para el MVL407 (-5.2V, 5V); la última, da un voltaje externo de -5V. Para la parte analógica del ASD-8, se usan dos reguladores de tensión (LM117 y LM137) situados sobre las líneas de +5V y -5V. Para conseguir los valores de +3V y -3V, se ha implementado el esquema dado en la figura VI.25.

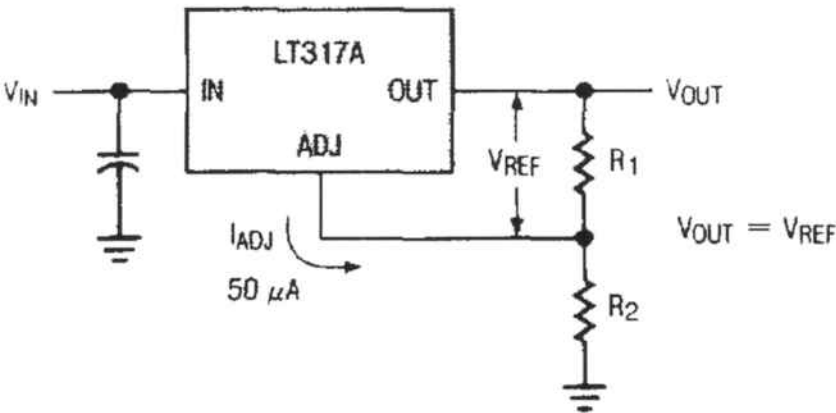


Figura VI.25: LM317 como regulador de voltaje.

La regulación se establece a través de r2 y r1. Para asegurar el voltaje de referencia, se necesita 10 mA y la tensión de salida se acaba ajustando con el potenciómetro R2, según la siguiente expresión:

$$V_{out} = V_{ref} \left(1 + \frac{R_2}{R_1} \right) + I_{adj} R_2$$

(6.1)

6.5. PRESUPUESTO Y CRONOGRAMA DEL SISTEMA DE TEST.

A continuación se detalla el coste requerido en el desarrollo del sistema de test, a partir de los catálogos y de otras fuentes de información:

Módulos de instrumentación: (coste en francos suizos)

Descripción	unidades	coste
CAMAC 16CH NIM OUTPUT REG.	1	1180
NIM CRATE SUPPLY 120W	1	5000
NIM NIM/TTL/NIM CONVERTER	2	1530
CAMAC 16 CH 100MHZ SCALER	1	3180
CAMAC 12 BIT 16 CH DAC	1	2310
NIM OCTAL DISCRIMINATOR	1	1500
NIM FAN IN/OUT	1	1380
CAMAC PROG. ATTENUATOR	1	1000
NIM DUAL TIMER	2	1710
NIM LINEAR FAN IN/OUT	1	1340
CAMAC WIDE-BAND ROUTER	2	2000
NIM TRIPLE 4-FOLD COINCIDENCE	1	1990
CAMAC CRATE	1	5000

Subtotal: 29120

Los costes ofrecidos anteriormente se refieren a la compra de los módulos de instrumentación. Sin embargo, estos han sido alquilados a través de la *ELECTRONIC SYSTEM SUPPORT* del CERN. El tiempo de alquiler es de un año y su coste es el 12%

de su valor (calculado en función de la vida media del módulo y de su coste de mantenimiento). Por tanto, el presupuesto de los módulos asciende a:

$29120 \cdot 0.12 = 3494 \text{ sf} \approx 349.4 \text{ kpta}$

Circuitos integrados usados en el desarrollo: (coste en pesetas)

Descripción	unidades	coste
DIFFERENTIAL ECL DISCRIM. MVL407	6	27000
VOLTAGE REGULATOR POS. LM317T	3	660
VOLTAGE REGULATOR NEG. LM337T	3	660
WIDE BAND BUFFER (700 MHZ) EL2072CN	2	4000
ANALOG SWITCH DG417DJ	2	1120
Subtotal:		33440

Conexiones y cableado: (coste en francos suizos)

Descripción	unidades	coste
RAC. T M/F/F GR.00 50Ω	5	60
RAC LEMO-LEMO F/F GR.00 50Ω	20	98
RAC Y M/F/F GR.00 GR.00 50Ω	5	82.5
CABLE TERMINATOR GR.00 50Ω	10	58
50Ω BNC F ADAPT.	5	305
CHASIS PRISE GR.00 50Ω	30	70.5
PRISE DROITE GR.00 50Ω	20	58
CAB. COAX. 50Ω 1ns + LEMO CONN.	10	71.5
CAB. COAX. 50Ω 2ns + LEMO CONN.	10	72.5
CAB. COAX. 50Ω 5ns + LEMO CONN.	20	157.5
CAB. COAX. 50Ω 6ns + LEMO CONN.	10	77.5
CAB. COAX. 50Ω 8ns + LEMO CONN.	10	85.5
CAB. COAX. 50Ω 10ns + LEMO CONN.	20	175
CAB. PLAT. TW. PAIR 8m	2	30
Subtotal:		1401.5
Subtotal aprox.en pesetas:		140150

Equipos de desarrollo: (coste en 10³ pesetas)

Descripción	unidades	coste
OSCILOSCOPIO	1	1400
GENERADOR DE FUNCIONES	1	50
EQUIPO DE SOLDADURA WECP-20	1	30
Subtotal:		1480 kpta

Fungible: (coste en pesetas)

RESIST. SMD 1206 47Ω 5%	100	700
RESIST. SMD 1206 50Ω 5%	100	700
RESIST. SMD 1206 100Ω 5%	100	700
RESIST. SMD 1206 470Ω 5%	100	700
RESIST. SMD 1206 1KΩ 5%	100	700

RESIST. SMD 1206 10K Ω 5%	100	700
RESIST. PEL. CARBÓN 0.25W 1 Ω 5%	50	450
RESIST. PEL. CARBÓN 0.25W 22 Ω 5%	50	450
RESIST. PEL. CARBÓN 0.25W 47 Ω 5%	50	450
RESIST. PEL. CARBÓN 0.25W 100 Ω 5%	50	450
RESIST. PEL. CARBÓN 0.25W 220 Ω 5%	50	450
RESIST. PEL. CARBÓN 0.25W 470 Ω 5%	50	450
RESIST. PEL. CARBÓN 0.25W 820 Ω 5%	50	450
RESIST. PEL. CARBÓN 0.25W 1K Ω 5%	50	450
RESIST. PEL. CARBÓN 0.25W 2K2 Ω 5%	50	450
RESIST. PEL. CARBÓN 0.25W 3K3 Ω 5%	50	450
RESIST. PEL. CARBÓN 0.25W 10K Ω 5%	50	450
8 RESIST. CONECT. ENCAP. SIL 50 Ω	10	200
8 RESIST. CONECT. ENCAP. SIL 470 Ω	10	200
CAP. SMD 1206 1pF 10%	100	1100
CAP. SMD 1206 1pF NPO 10%	100	1100
CAP. SMD 1206 10pF 10%	100	1100
CAP. CERÁMICA 100nF 10%	100	2000
CAP. CERÁMICA 1uF 10%	100	2000
CAP. CERÁMICA 10uF 10%	100	2000
BOBINA MINI. AXIAL 1Uf	20	300
POTENC. 3296Y 5K Ω ajuste superior	20	4400
ZÓCALO DIP 8,14,16,20,22	100	2000
IDC NO POLARIZADO TIPO II 34	10	300
TERMINAL PCB FILA ÚNICA 72 VÍAS	10	525
TERMINAL PCB FILA DOBLE 72 VÍAS	10	980
CABLE CONDUC. 6491X (LSF) 1 mm ²	1	1536
ESTAÑO NÚC. ÚNICO 0.46mm 250g	1	2589
ESTAÑO NÚC. ÚNICO 1.22mm 500g	1	1900
PCB CLASE C 25X25 cm ²	3	69000
Subtotal:		102380
Total:		2.104.970

7. CALIBRACIÓN.

7.1. INTRODUCCIÓN.

En la ecuación (5.1), se ha visto que el *threshold* nos da el nivel de carga a partir del cual un suceso es aceptado. Sin embargo, esta relación tiene cierta dependencia con el valor de la fuente de alimentación. Por tanto, interesa obtener cuál es el valor de carga que se inyecta en cada canal de forma precisa. Esta información nos permite:

- i) conocer un valor de ruido RMS en fC: realizando una gráfica de la eficiencia en función de la carga de entrada para un valor de *threshold* fijo, podemos determinar el nivel ruido según la expresión (5.2).
- ii) verificar los datos: se comparará los resultados obtenidos al inyectar la señal a través de la línea de *testpulse* con los que resultan de alimentar directamente el canal.
- iii) estudiar como afecta la variación del tiempo t_r/t_f de la señal NIM sobre la cantidad de carga recogida por el preamplificador.

Recordemos que el sistema genera una señal cuadrada NIM que se convierte a un pulso de corriente usando una red pasiva. El pulso es el mismo para todos los canales. Por tanto, como primera aproximación, la carga que se introduce en el canal viene dada por $Q_{in} = CV_{NIM}$, donde $C=1pF$.

Sin embargo, las redes pasivas varían de canal a canal, debido a la tolerancia en los componentes y a diferencias en el *layout* de las pistas de la PCB de interfaz entre el sistema generador de *clock* y el DUT. Esta circunstancia provocará que el valor de la capacidad sea diferente para cada entrada del ASD8; por tanto, la carga inyectada variará de canal a canal. Como consecuencia, el análisis de los resultados podría ser erróneo: por ejemplo, si se obtiene un canal con baja respuesta, se podría pensar que la

ganancia del mismo es inferior al resto, cuando lo único que ocurre es que la excitación es menor.

El problema que se plantea es determinar :

$$Q_{in,i} = C_i V_{in}$$

donde $i = 1, \dots, 16$ es el número del canal. Basta determinar uno de los dos valores $Q_{in,i}$ o C_i , lo que conduce a diferentes métodos de calibración según la cantidad física a medir.

7.2. MÉTODOS DE CALIBRACIÓN.

7.2.1. Variable $C_{in,i}$.

- Método I: uso de un capacímetro. En principio, se podría conectar el instrumento sobre la salida de la red pasiva y medir la capacidad asociada. Sin embargo, como son del orden de 1pF y la precisión máxima del medidor es de 0.1pF, el método es poco exacto. Además la conexión entre canales y el capacímetro puede introducir capacidades parásitas que no forman parte del sistema.
- Método II: medida de la constante RC. Otra posibilidad es la de conectar la C a tierra a través de una resistencia de valor R. De esta forma se tiene un circuito pasa-altos y se puede medir su constante RC. Para asegurar una buena medida, la R debería de ser de un valor grande. La señal que alimentaría a este esquema sería la NIM que procede del sistema de test. La configuración del método se observa en la figura VII.1.

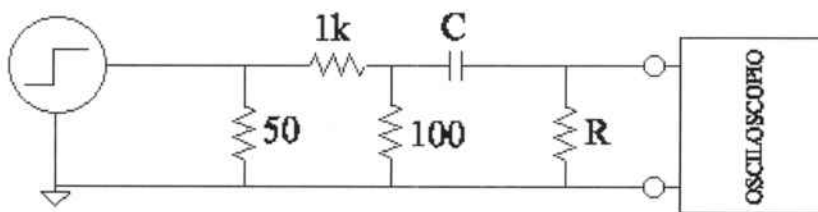


Figura VII.1: Esquema de calibración a través de la constante RC.

Su ventaja estriba en que puede ofrecer una precisión bastante buena. Sin embargo, presenta un problema que puede ser importante: las resistencias R deben ser soldadas con el fin de tener un buen contacto y, posteriormente, desoldarlas. Esta operación comporta un serio peligro: al aplicar temperatura en una zona cercana a los componentes SMD, pueden verse seriamente afectados, incluso destruirse.

7.2.2. Variable $Q_{in,i}$.

- Método I: uso de un amplificador de carga. En este caso, la configuración experimental se presenta en la figura VII.2.

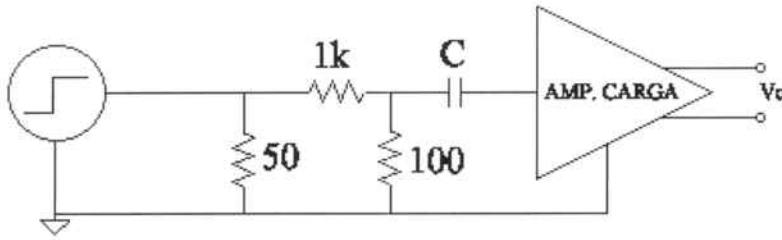


Figura VII.2: Uso de un amplificador de carga.

A la salida del conector, se coloca directamente un amplificador de carga. En este caso, no existe una red de *shaping*, de forma que se integra toda la carga (el tiempo de medida de este dispositivo es unas 100 veces mayor que el del ASD8). Además, el dispositivo es muy lineal dentro de la zona de trabajo y presenta una excelente sensibilidad. El problema principal es que requiere determinar con exactitud la ganancia del amplificador. Por tanto, se deberá buscar algún otro método para determinar este valor. En caso de conocerse, el procedimiento puede ser muy aceptable y no requiere ninguna manipulación adicional en la placa de interfaz.

- Método II: uso de un osciloscopio. Realmente, este método no determina directamente la $Q_{in,i}$. Lo que se hace es capturar la señal que sale del conector y, a partir de ésta, se calcula la carga que circula por la resistencia de 125 Ω (figura VII.3).

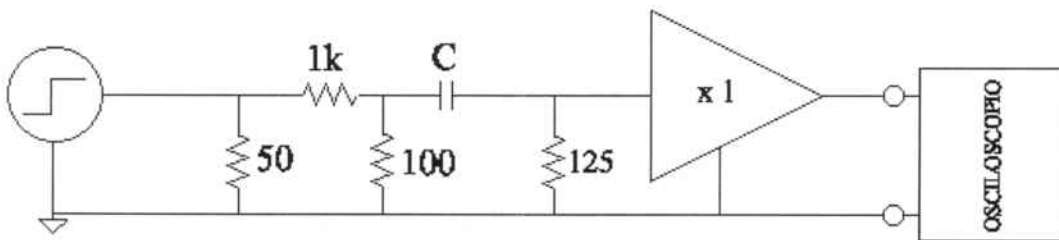


Figura VII.3: Medida del pulso a través de un osciloscopio.

El método depende de la resolución del osciloscopio y de la amplitud de la señal cuadrada introducida. Sobre la amplitud, estamos limitados por el uso de señales NIM: hará que el pulso de salida presente una amplitud baja (del orden de 40mV) y que requiera un gran número de muestras para obtener una buena medida. Una segunda consideración sobre este método es que, por motivos de *missmatch* de impedancias, el pulso no es todo lo nítido que se desea, dificultando la extracción del parámetro de carga.

De los métodos expuestos, se han escogido los referentes a la variable Q_i . El segundo método fue el primero en realizarse, básicamente seleccionado por su

respuesta en frecuencia. Ante un pulso de corriente, la señal a la salida del colector de T3 presenta la forma de la figura VII.5.

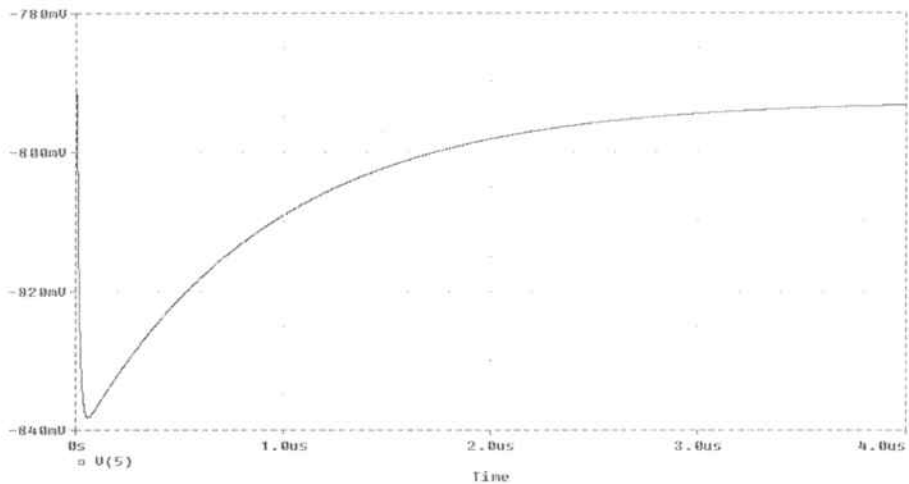


Figura VII.5: Salida de la etapa cascode al introducir un pulso NIM.

El bucle de realimentación de la etapa cascode está formado por una C de 1.8 pF y una R de 510K, situando el primer polo del amplificador a 173 KHz. Para polarizar la *gate* de T2 ($V_i = -2.0$ V), se utiliza T5 que establece una tensión de -0.7 V. T1 se utiliza para compensar la inyección de carga en T2 ya que la *gate* es una capacidad: uniendo su *drain* y *source*, queda en una configuración de capacidad que presenta las mismas características que la *gate* de T2. De esta forma, la señal de entrada se acopla a través de T1 y se convierte en I a través de T5 que compensa el efecto de T2 (figura VII.6).

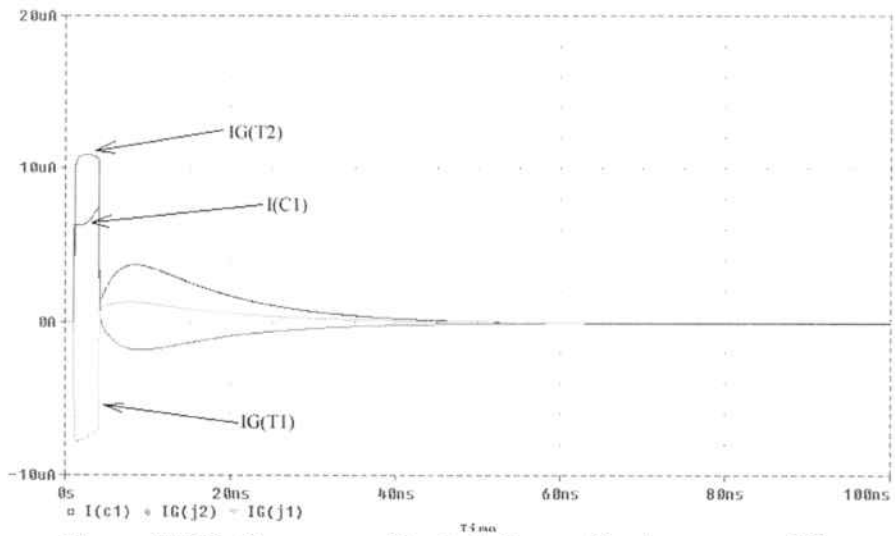


Figura VII.6: Compensación de la inyección de carga en T2.

b) Conversión a señal diferencial:

Es una etapa formada por dos transistores. La señal que sale del colector de T3 entra por la base de T4. T4 y T6 constituyen un par en configuración seguidor de emisor y salida diferencial en el segundo transistor. Obsérvese que las resistencias colocadas en el colector y en el emisor de T6 son iguales: suponiendo que la $I_c = I_e$, nos aseguramos de que la amplificación + y - sea de igual valor (figura VII.7).

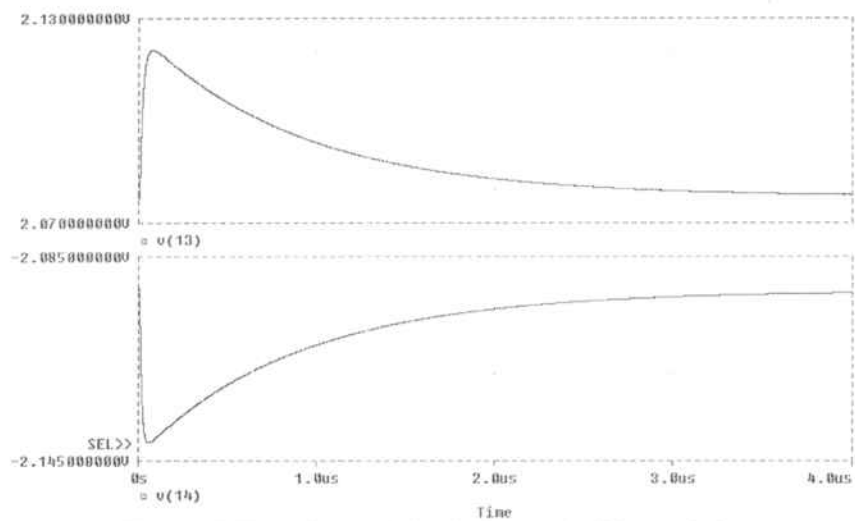


Figura VII.7: Obtención de la señal diferencial.

Otro aspecto de esta etapa es que si sólo se quiere una señal unipolar, se puede colocar el condensador C5, que hace cambiar la etapa a CC-CE. De esta forma, se obtiene una amplificación mayor.

c) Etapa de salida:

Las señales procedentes del colector y del emisor de T6 pasan a T7 y T8 respectivamente. Estos transistores se hallan en configuración de seguidor de emisor *buffereando* las señales anteriores. La impedancia de salida de esta etapa es muy baja; por tanto, se coloca una resistencia de 47 Ω con el fin de adaptar impedancias. Finalmente, los condensadores c9 y c10 evitan el paso de la parte continua de la señal al exterior. Así, la señal al final del recorrido a través del amplificador de carga se muestra en la figura VII.8. La ganancia nominal es, en principio, de 200mV/pC.

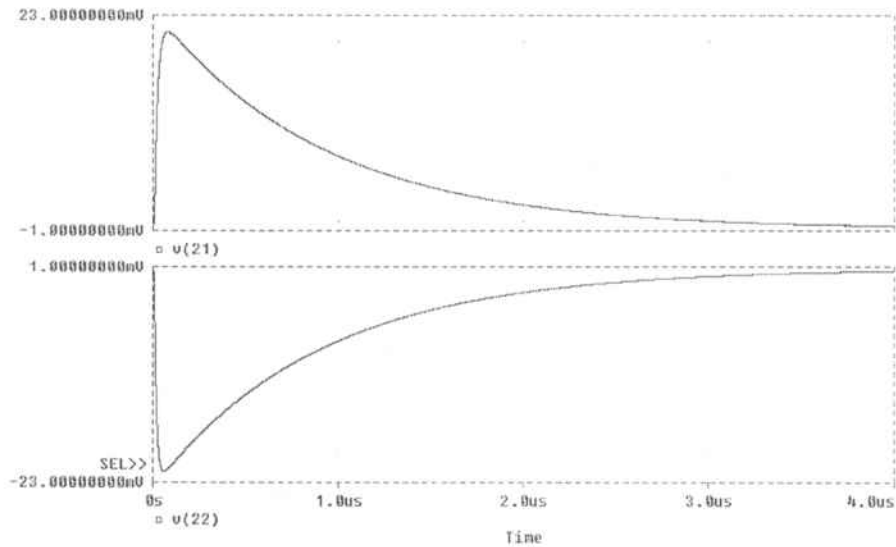


Figura VII.8: Acoplo AC para la etapa de salida.

Otro punto interesante a tener en cuenta es la determinación de la linealidad del amplificador. Realizando varias simulaciones para diferentes valores en la carga de entrada, podemos hacer una gráfica de la carga de entrada en función de la tensión de salida, como se muestra en la figura VII.9.

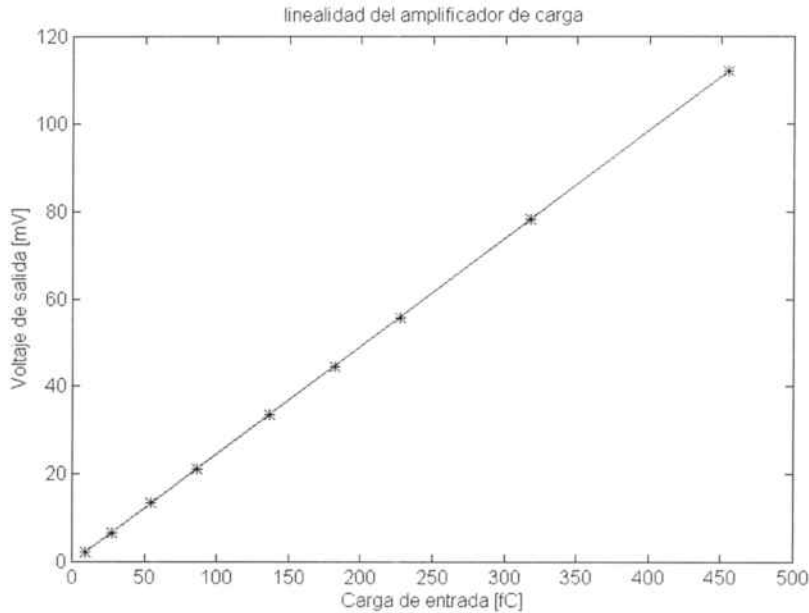


Figura VII.9: Amplitud de salida del amplificador de carga en función de la carga de entrada.

7.3.2. Calibración del amplificador de carga usado.

Aunque las simulaciones SPICE muestran una ganancia de 200mV/pC y una buena linealidad dentro de la zona de trabajo, para que la calibración del sistema sea correcta se debe obtener la del amplificador de carga usado.

El esquema utilizado (figura VII.10) se compone de un generador de pulsos, una capacidad de valor relativamente alto (10pF), un capacímetro y un osciloscopio.

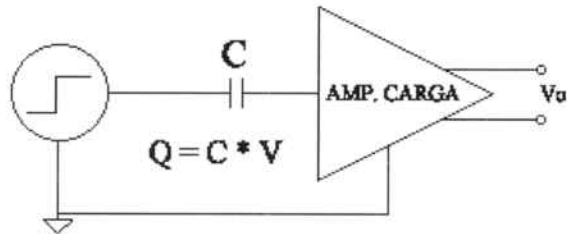


Figura VII.10: Esquema para obtener la ganancia del amplificador.

El método a seguir se distribuye en tres pasos:

- a) Medida de C usando un capacímetro:

Al ser C de un valor elevado, la precisión con que podemos conocer su valor es inferior al 1%. Al tomar estas medidas, se debe evitar la aparición de $C_{\text{parásitas}}$. Sabiendo que la señal a diferenciar es una función escalón con valor conocido de 950 mV, podemos conocer el valor de la carga inyectada utilizando la fórmula $Q=CV$.

b) Factor de amplificación :

Una vez conocido el valor de C, esta se ensambla en el sistema de medida. Utilizando pulsos a baja frecuencia (100 KHz), la respuesta del amplificador de carga es recogida por el osciloscopio y capturada a través de un PC (conexión al puerto paralelo). Las medidas se realizan para amplitudes diferentes, con ayuda del atenuador del sistema CAMAC.

c) Cálculo de la ganancia:

Los pasos a) y b) se repiten con diferentes valores de C. Esto nos permitirá realizar un estudio diferencial: en vez de calcular el valor de la ganancia directamente con los datos, se toman las diferencias entre los valores de capacidades diferentes. Así conseguimos tener los datos de forma diferencial eliminando los errores procedentes de capacidades parásitas asociadas al circuito.

Los valores obtenidos se muestran en la figura VII.11. El valor de ganancia es de 158 mV/pF.

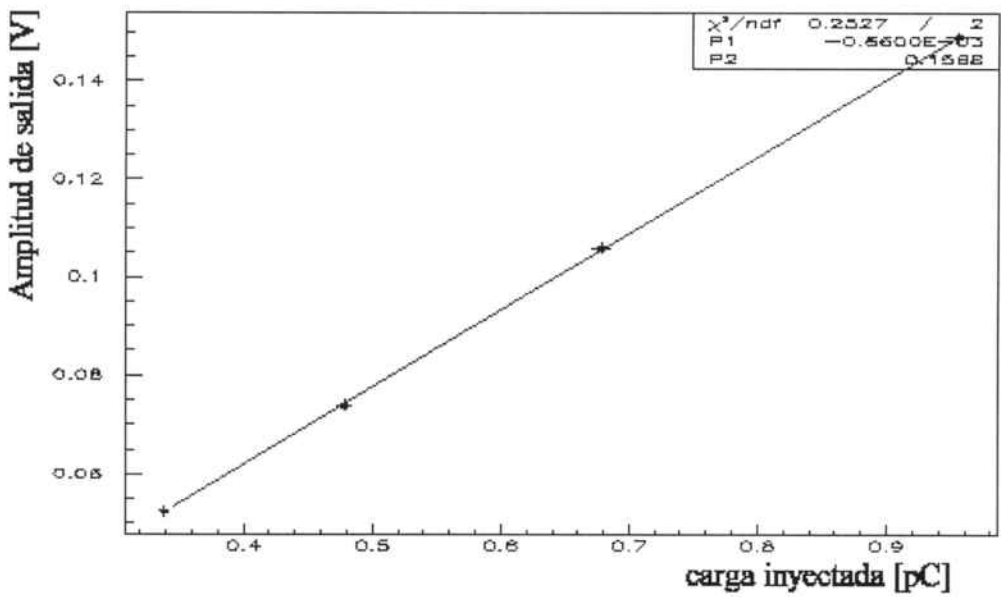


Figura VII.11: Ganancia del amplificador de carga usado en la calibración.

7.3.3. Calibración del sistema de test.

Siguiendo el esquema indicado en la figura VII.2, colocamos el amplificador de carga en el lugar del DUT. En este caso, se introduce la señal NIM sin atenuar. La razón de ello es que la carga inyectada es muy pequeña y la atenuación reduciría considerablemente la resolución del amplificador. Tomando del orden de 10^3 medidas por cada canal, los resultados finales se ilustran en la figura VII.12, donde ya se da la capacidad asociada a cada canal. Se observa que los valores están distribuidos aleatoriamente pero por encima del valor nominal de 1pF.

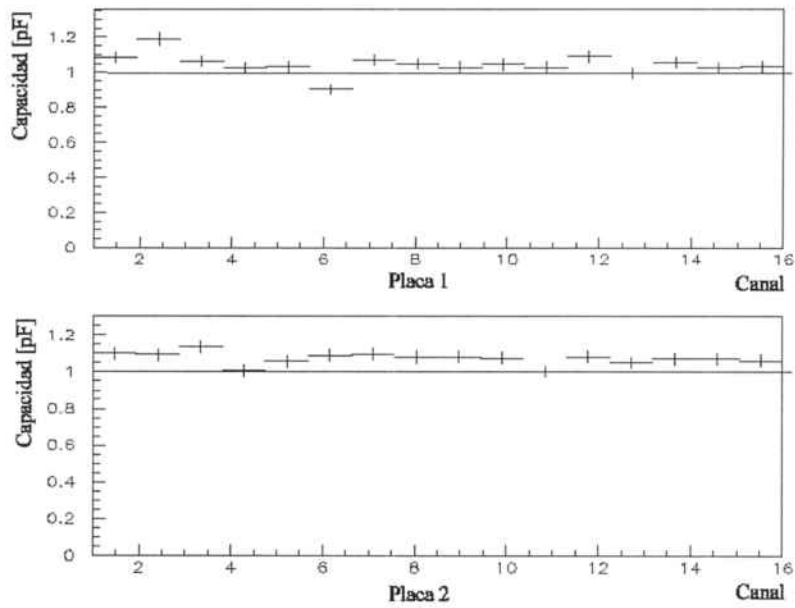


Figura VII.12: Valores de C_i para las placas 1 y 2 de interfaz.

8. RESULTADOS.

8.1. INTRODUCCIÓN.

En el capítulo 5, definimos el tipo de test a realizar. En la práctica, ha sido ligeramente variado, con el fin de ampliar la información sobre cada placa ASD-8. El cambio se ha efectuado sobre el TEST2 (inyección directa de carga al canal) y consiste en obtener una matriz de eficiencia E_{ij} donde i expresa el valor de carga a la entrada y j el valor de *threshold* del discriminador.

De los datos obtenidos, se ha hecho una clasificación que tiene en cuenta una serie de factores como son la ganancia relativa del amplificador, la dispersión entre canales dentro de una misma placa, el ruido, el nivel de *crosstalk* u otros aspectos como la existencia de canales muertos.

8.2. VALIDACIÓN DE LOS RESULTADOS EXPERIMENTALES.

El proceso de calibración explicado en el capítulo precedente, nos permitirá valorar la exactitud de los datos obtenidos. La verificación pasa por contrastar los resultados estadísticos de la eficiencia al 50% obtenidos en el *testpulse* con los obtenidos en la entrada de *front-end* de cada canal para un valor de *threshold* fijo.

Nominalmente, las capacidades asociadas al *testpulse* son 1 pF. Por tanto, la carga inyectada es de $q=1\text{pF}\cdot V$. El valor de la carga que se detecta por canal manteniendo el *threshold* fijo a -1.2 V se muestra en la gráfica VIII.1. En media, se sitúa alrededor de 8.8 fC, valor que está por encima del esperado, según la fórmula 5.1.

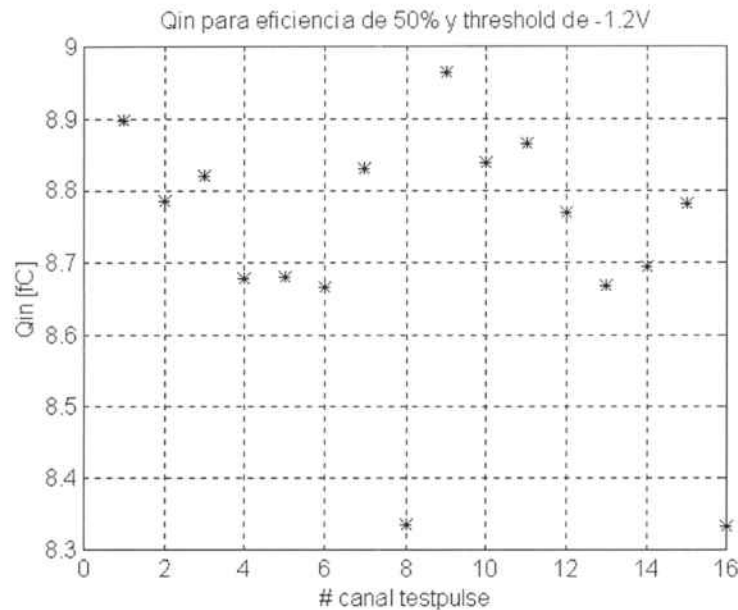


Figura VIII.1: Carga de entrada para obtener una eficiencia del 50% con el nivel de *threshold* del discriminador a -1.2V para los canales de entrada del *testpulse* (estadística de 250 placas).

Cada canal, en la prueba de inyección directa, tiene su propia C_i . Estableciendo la relación $q_i=C_i \cdot V_{in}$, la fig VIII.2 muestra cuáles son los valores de carga al 50%. Comparando con los resultados del *testpulse*, se observa una discrepancia entre ambos métodos.

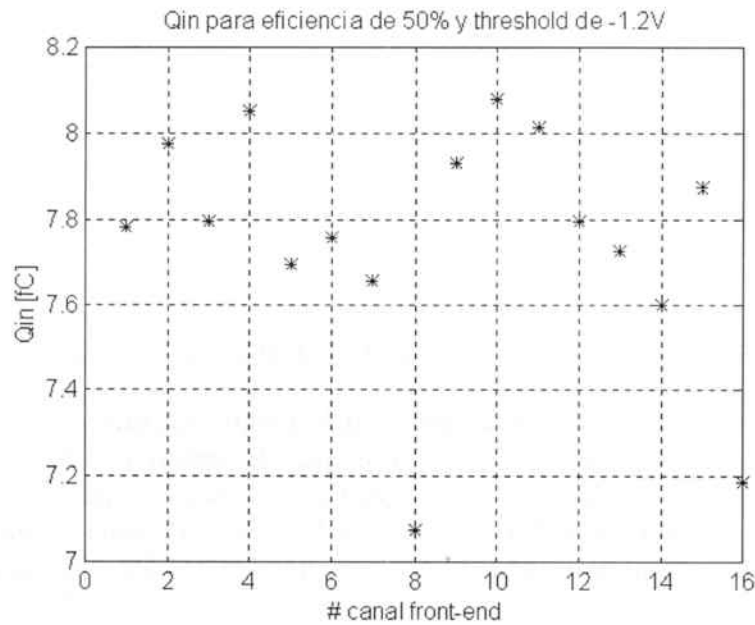


Figura VIII.2: Carga de entrada para obtener una eficiencia del 50% con el nivel de *threshold* del discriminador a -1.2V para los canales de *front-end* (estadística de 250 placas).

La respuesta a esta incógnita se debe buscar en el análisis del circuito. Uno de los parámetros de diseño es el tiempo de medida (tiempo de integración de la carga) que

se establece dentro del *shaper*, siendo aproximadamente el doble del t_r del preamplificador.

Para entender mejor este fenómeno, simularemos en SPICE una etapa de preamplificación a la que posteriormente se le ha incluido una de *shaper* con el valor de tiempo de medida del ASD-8. La gráfica VIII.3 muestra la respuesta cuando se introduce un *step* de voltaje con tiempo de subida de 3ns, 10ns y 15ns respectivamente. Se observa que a la salida del *shaper* no todas las amplitudes son iguales, aunque la carga inyectada en el sistema es la misma. Es decir, para señales que están cerca o por debajo de esta frecuencia de corte, no se determina correctamente el valor de carga.

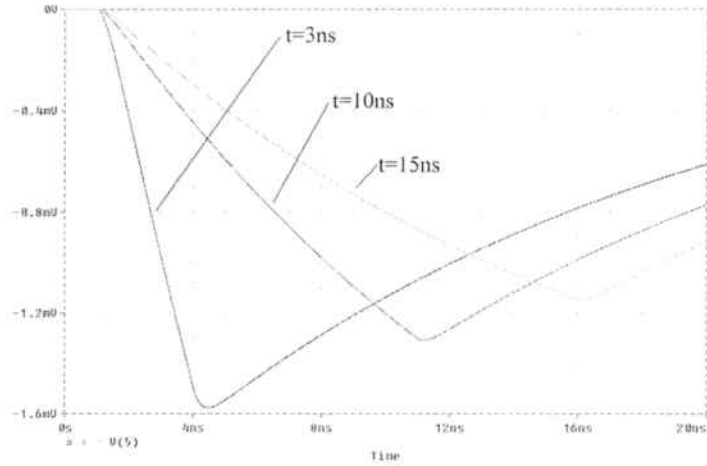


Figura VIII.3: Variación de la respuesta en función del tiempo de subida de la señal de entrada: la amplitud disminuye al aumentar el tiempo de subida.

Este comportamiento ha obligado a estudiar que ocurre con las señales cuando se desplazan por los módulos. Observando su comportamiento en el osciloscopio, se ve que la señal degrada su tiempo de subida de forma apreciable dando un tiempo de subida de 7 ns para la señal que entra por el canal de *front-end* y de 10 ns para la del *testpulse*. La forma de resolver la cuestión es realizar un pequeño estudio del sistema en función del ancho de banda de la señal entrante.

7.3. ESTUDIO DEL ANCHO DE BANDA.

El esquema utilizado, figura VIII.4, consta de una fuente generadora de pulsos de amplitud variable y tiempo de subida de 3ns. El pulso generado se hace circular siguiendo las vías del *tespulse*, por un lado, y de *front-end*, por otro. Además, también se inyecta directamente. El *threshold* del circuito ASD8 se ajusta al valor de -1.2 V. Con la ayuda de los *scalers*, se modifica el valor de la amplitud de la señal hasta que la respuesta del ASD8 se sitúa en el 50 % de eficiencia.

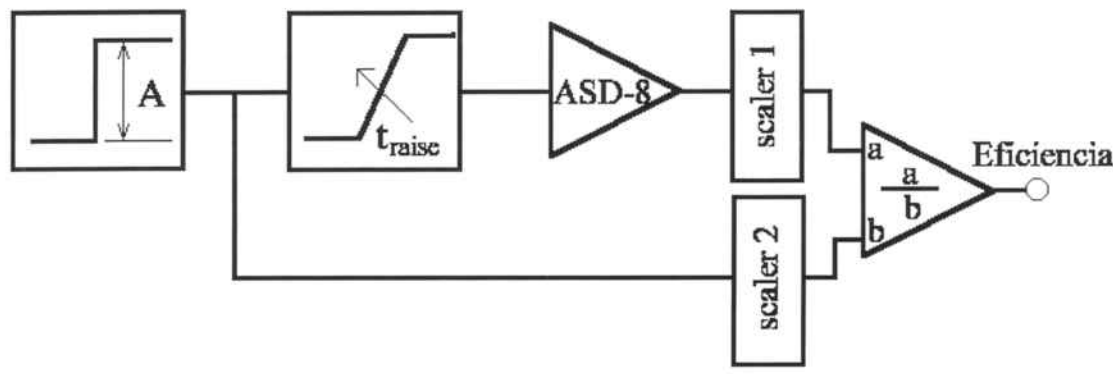


Figura VIII.4: Modelo experimental para el estudio de la influencia del t_{raise} .

El tiempo de subida cuando el pulso se introduce directamente es de 3ns. Para esta señal, se toma el valor de su amplitud como la unidad, ya que para el t_{raise} de 3ns se supone que se integra toda la carga en el ASDBLR. Luego, se procede a realizar la misma operación a través de *router*. En este caso la amplitud de la señal pasa a tener un valor de 1.17 respecto al valor de referencia unidad. La señal que se introduce a través del *testpulse* ha de pasar adicionalmente por un inversor, dando lugar a un factor de 1.37.

Tomando la gráfica anterior y multiplicando por sus respectivos valores de corrección, el nuevo ajuste que resulta se obtiene en la figura VIII.5. Puede verse una buena coincidencia en la respuesta estadística de ambos canales.

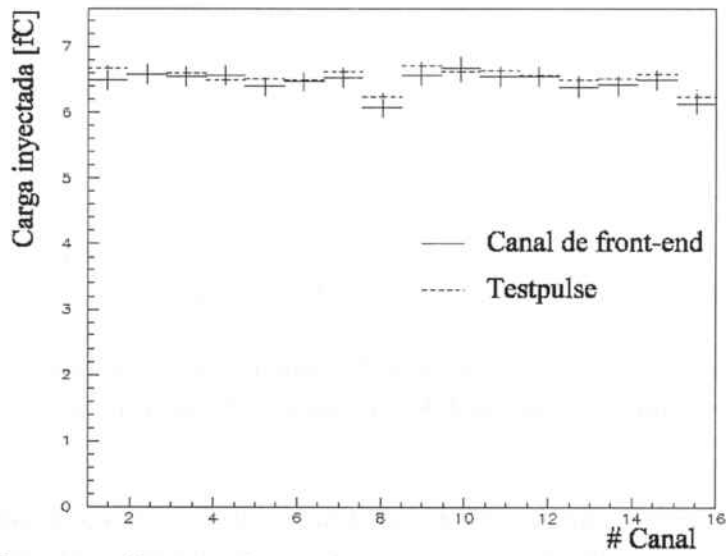


Figura VIII.5: Comparación entre la estadística de *testpulse* y de canal de *front-end*, una vez corregida la dependencia con el ancho de banda de la señal de entrada.

Vemos que la diferencia entre valores se sitúa alrededor del 3%, por debajo del valor establecido como objetivo final de análisis.

La gráfica VIII.6 es un resumen de todas las placas testeadas, donde se representa el valor de *threshold* para obtener una respuesta al 50%, teniendo en la entrada una carga de 5.68 fC. Cabe destacar, como dato curioso, una extraña dependencia con el número de serie de las placas comprendidas entre los números 300 a 600.

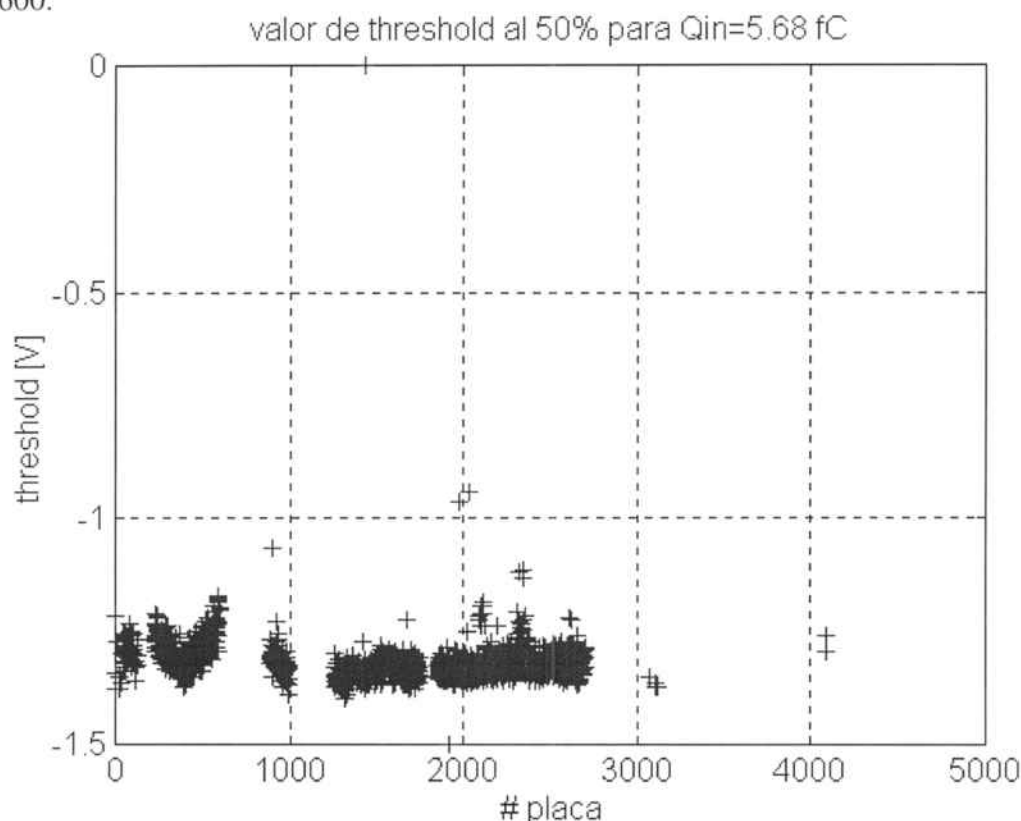


Figura VIII.6: Valores de *threshold* al 50% de eficiencia para carga de entrada de 5.68fC.

7.4. RESULTADOS EN EL RICH.

A continuación se presentan los primeros resultados de observación de anillos Čerenkov en el subdetector RICH de HERA-B (16-08-98). El ratio de interacción del haz con el blanco se situó entre 10 y 30 Mhz, con el dipolo magnético sin funcionar. El contenedor del radiador se llenó con aire. Cuando una partícula atraviesa la cavidad con $\beta=1$, se estima un ángulo de Čerenkov de $23.5 \pm 0.3 \text{ mr}$, con una media de 7.3 ± 1.1 impactos en el anillo.

Un evento típico se presenta en la figura VIII.5, donde algunos sucesos parecen ser intersecciones entre anillos. La zona verde indica la situación de los PMT de 4 canales y la salmón, los PMT de 16. Durante la operación, no se recogieron datos de la parte superior del detector. La figura VIII.6 muestra claramente un anillo. En este caso, el número de impactos es mayor al predicho (*up fluctuation* de 7.3 a 15 hits) y el ángulo se encuentra dentro de los parámetros esperados, como se aprecia en la figura VIII.7.

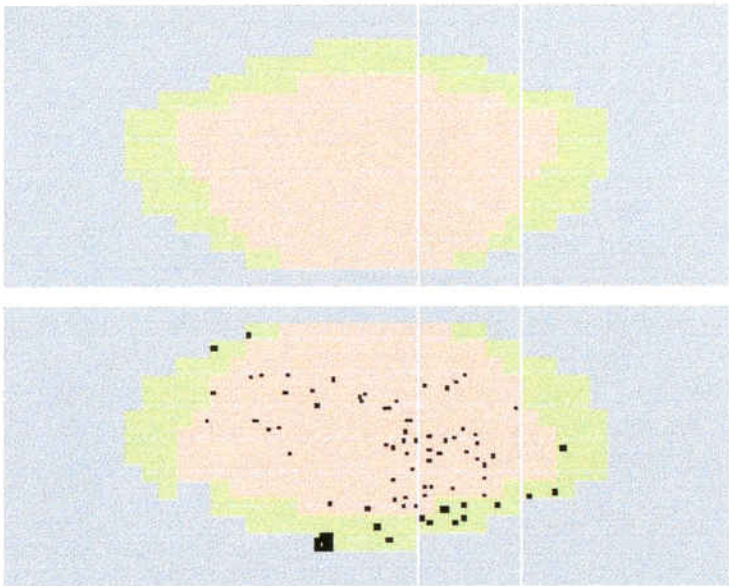


Figura VIII.5: Evento típico para frecuencia de 30 Mhz.

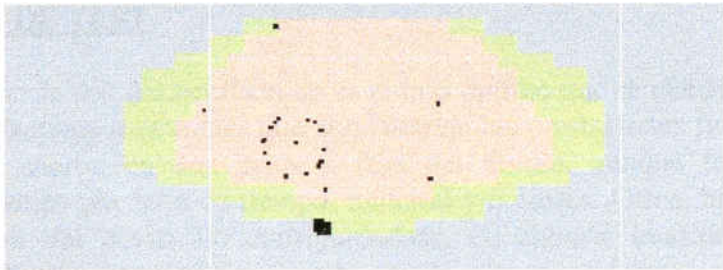


Figura VIII.6: Imagen *online* de una traza ajustada al anillo #erenkov.

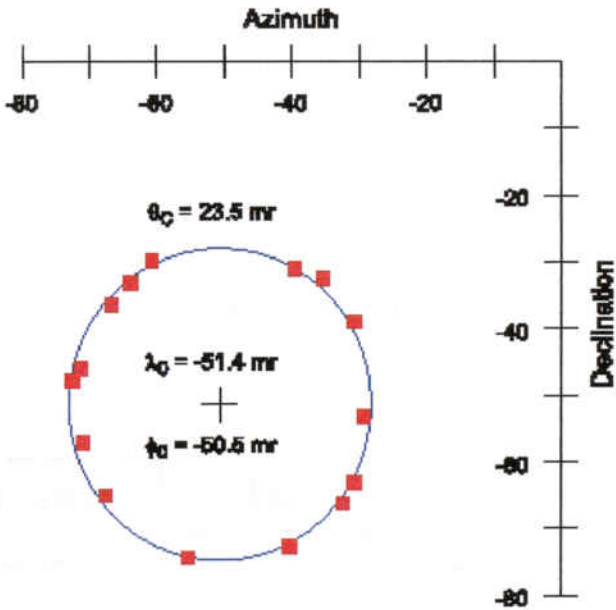


Figura VIII.7: Reconstrucción de un anillo.

9. MEJORAS Y CONCLUSIONES.

9.1. SISTEMA DE TEST.

El equipo de test desarrollado no es el más óptimo que se puede haber realizado. Existen varios factores mejorables que aumentarían las prestaciones finales del sistema. Algunos ya se vieron en una primera fase del diseño, aunque fueron imposibles ponerlos en práctica por falta de tiempo, material y/o costes. Otros, han salido a la luz en el transcurso del desarrollo consiguiéndose, en algunas ocasiones, obtener una solución sencilla que no modifique el desarrollo global de forma excesiva y que no retrase su puesta a punto.

Haciendo referencia a los requisitos del sistema de test, sección 5.4, nos hemos encontrado con el impedimento de mejorar el generador de señales:

- i) En su rango de frecuencia de funcionamiento, se ha visto limitada su capacidad por la del *dual timer* utilizado, no pudiendo llegar a la frecuencia de 30 Mhz.
- ii) El t_r y t_f de los pulsos son aceptables, aunque mejorables. Una posible alternativa, que parece ser una buena aproximación, es utilizar el siguiente esquema:

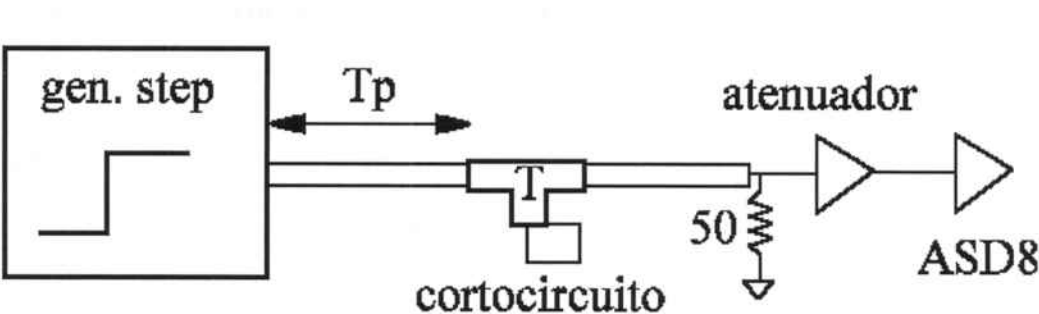


Figura VIII.1: generador de pulsos a través de un cortocircuito.

Al enviar un *step* desde el generador, se produce un pulso de duración $2 \cdot t_p$, que es el tiempo en que tarda la onda en superponerse. El ancho del pulso sólo es función del tiempo de propagación; su amplitud puede ser regulada a través de un atenuador. Ahora, los flancos de subida y bajada sólo dependen de la fuente que genera el escalón. Otra ventaja de este esquema es que evita la construcción de una placa de interfaz y simplifica el diseño.

Respecto al sistema de DAQ, se ha visto forzada la conversión ECL→ECL→NIM. El último paso, ECL→NIM, no es necesario si se usa un *scaler* ECL. Este era el esquema de la propuesta inicial, pero obtener dicho módulo ha sido imposible.

Otro punto de mejora, referente al diseño de la PCB, es utilizar tecnología de cuatro capas con el fin de mejorar el nivel de *crosstalk*. Se ha visto que seguir ciertas reglas de diseño EMI mejora enormemente este punto. Por tanto, es de esperar que esta técnica reducirá de forma sustancial el *crosstalk* del *set-up*.

Finalmente, como conclusiones y objetivos conseguidos sobre el equipo de test, podemos decir que:

- Se ha desarrollado un equipo de test para determinar la funcionalidad de los circuitos ASDBLR con la posibilidad de variar su rango dinámico de carga inyectada y frecuencia de funcionamiento.
- Cualquier otro tipo de circuito detector de carga, dentro del rango de 0 a 900 fC, puede ser testado sin más que adecuar la red pasiva de interfaz para modelar la señal de entrada.
- El nivel de ruido RMS en carga equivalente ha sido reducido a un valor aceptable, situado entorno a 2000 e⁻. Por otro lado, el *crosstalk* provocado por el *set-up* no es superior al 7%.
- El tiempo de ejecución de un test completo es de siete minutos, aceptable para testar el conjunto de placas dentro de los plazos previstos.
- La calibración del sistema presenta un error no superior al 3%.

9.2. ASDBLR.

El objetivo final del proyecto es determinar la viabilidad del ASDBLR como electrónica de *front-end* en el subdetector RICH de HERA-B. Una vez realizado el test de todos los circuitos, se concluye que:

- Los circuitos ASDBLR testados presentan un comportamiento óptimo como electrónica de *front-end*.

- El *crosstalk* entre canales para el *threshold* de operación de -1.2V es prácticamente nulo.
- La eficiencia al 50% en -1.2V posee un valor medio de 6.5fC , suficiente para detectar las señales provocadas por los fotomultiplicadores.

BIBLIOGRAFÍA.

1. E. Hartouni et al., “*HERA-B: An experiment to Study CP Violation in the B System Using an Internal Target at the HERA Proton Ring. Design Report*”, DESY-PRC 95/01 (1995).
2. F. Newcomer et al., “*A Fast, Low Power, Amplifier-Shaper-Discriminator for High Rate Straw Tracking Systems*”, IEEE Transactions on Nuclear Science, vol. 40, n° 4 (1993).
3. B. Bevensee et al., “*An Amplifier-Shaper-Discriminator with Baseline Restoration for the Atlas Transition Radiation Tracker*”, HERA-B, 96-129.
4. G. F. Knoll, “*Radiation Detection and Measurement*”, John Wiley & Sons, 1979.
5. W. Leo, “*Techniques for nuclear and particle physics experiments: a how-to approach*”, Springer, 1994.
6. R. Pallàs, “*Sensores y acondicionadores de señal*”, Marcombo, 1994.
7. J. Riu, “*Sistemas de Instrumentación*”, Edicions UPC, 1995.
8. H.U. Kirst et al., “*Test of a Multi-Layer Board Based on the ASD-8B Chip*”, Hera-b 95-134 Electronics 95-003, August 1995.
9. S. Kopar et al., “*ASD8 Chip Test with a Hamamatsu Multi-anode PMT*”, IJS Report, IJS-DP-7615, Institut “Jozef Stefan” (Ljubljana), enero 1997.
10. J. Oliver, “*A Tail Cancellation Circuit for Pulses from Wire Proportional Chambers*”, KEK Electronics meeting, pp 101-103, March 1993.
11. C. H. Mosher, “*Pseudo-gaussian Transfer Functions with Superlative Baseline Recovery*”, IEEE Transactions on Nuclear Science, vol. NS-23, n° 1, pp. 226-228.
12. K. Berkhan, “*Status of ASD-8 and HV Board Development*”, HERA-B 96-060.
13. “*IEEE Standard Test Procedures for Amplifiers and Preamplifiers for Semiconductor Radiation Detectors for Ionizing Radiation*”, IEEE Std 301-1976.
14. Ignacio Ariño et al., “*Test of the ASD8 boards*”, HERA-B, 98-036.
15. HERA-B RICH Group, “*First Light*”, <http://www-hera-b.desy.de/notes/98/98-142.pdf>.
16. V. Radeka, “*Low-Noise Techniques in Detectors*”, Ann. Re. Nucl. Part. Sci., 1988, vol. 38, 217-277.
17. Catálogo de Hamamatsu: “*Photomultiplier Tubes*”, 1994.
18. J.O. Petersen, “*An Introduction to CAMAC: Hardware and software aspects*”, Notes for summer students, DD Division (CERN), July 1985

19. "Catálogo RS", RS, (Septiembre 1996 - Agosto 1997)
20. Lecroy 1997: "*Research Instrumentation Products Catalog*".
21. CAEN 1997: "*Short Form Catalog*".



ANEXOS

APÉNDICE A: EQUIPO DE TEST Y GRUPO HERA-B EN E.C.M. (UB).

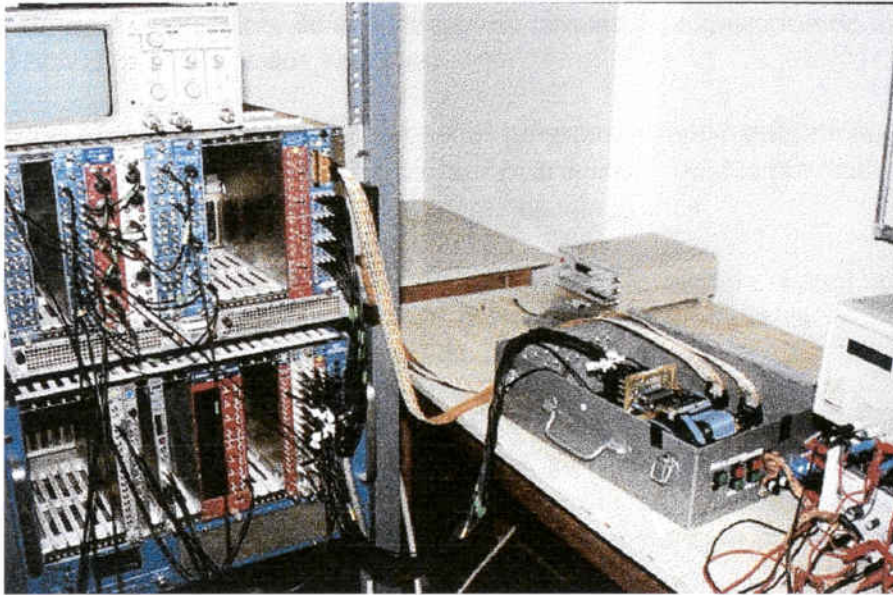


Imagen del equipo de test construido: a la izquierda puede apreciarse los bastidores NIM (superior) y CAMAC (inferior). A la derecha y dentro de una caja metálica, se sitúa los circuitos de acondicionamiento, el dispositivo bajo test, los reguladores de tensión y el conversor de GTL a ECL.



Componentes del grupo HERA-B del departamento E.C.M. de la U.B. Desde la izquierda y hacia la derecha: Ignacio Ariño, Daniel Peralta, David Gascón, Ramon Miquel, Lluís Garrido, Javier Sieiro, Mokhtar Chmeissani y Álvaro García (no presente en la imagen).

APÉNDICE B: PROGRAMA LABVIEW.

LabVIEW es un lenguaje de programación gráfico para instrumentación y análisis. Nos permite controlar diferentes interfaces de comunicación, tarjetas de adquisición de datos, etc. Dentro de una sesión de LabVIEW tenemos dos ventanas:

Diagrama de bloques (Block diagram): es el programa propiamente dicho. Contiene todos los bloques de funciones (llamados VI: *Virtual Instrument*), unidos por “cables” para realizar la función deseada. Es donde se realiza la programación gráfica.

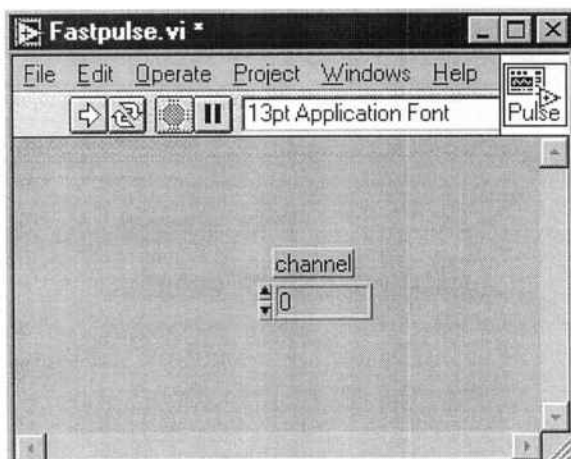
Panel frontal: simula el panel frontal de un aparato de medida. En él, podemos ver las variables del diagrama de bloques que se deseen. Si una variable es de entrada, recibe el nombre de *control*; en cambio, si es de salida, *indicador*.

Además, cada uno de los programas realizados en LabVIEW pueden utilizarse dentro de otro. Para realizar esta operación, se tiene que asignar las variables de entrada y las salida a unos terminales (*conectores*); además, se debe asociar un símbolo representativo a este subprograma (*Icono*). Por tanto, el diseño de programas complejos de instrumentación se simplifica con la ayuda de esta estructura jerárquica.

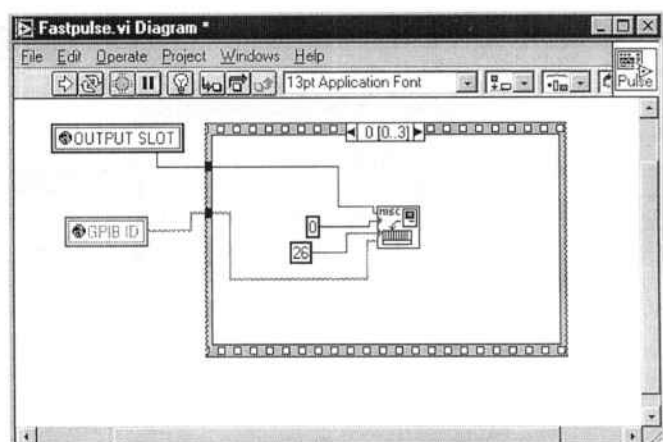
Con este entorno, el desarrollo del software de control del sistema es relativamente sencillo ya que los módulos de instrumentación utilizados poseen, en la mayoría de casos, VI's que facilitan al programador la tarea. Ofrecemos en este apéndice la construcción de los programas de control necesarios para el sistema de test.

Envío de la señal de inicio.

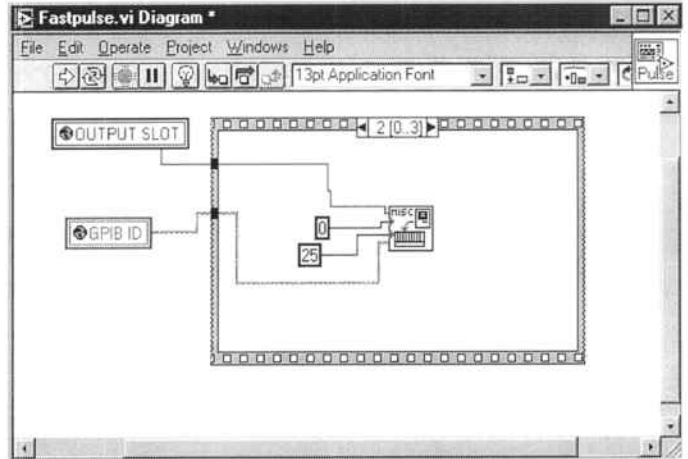
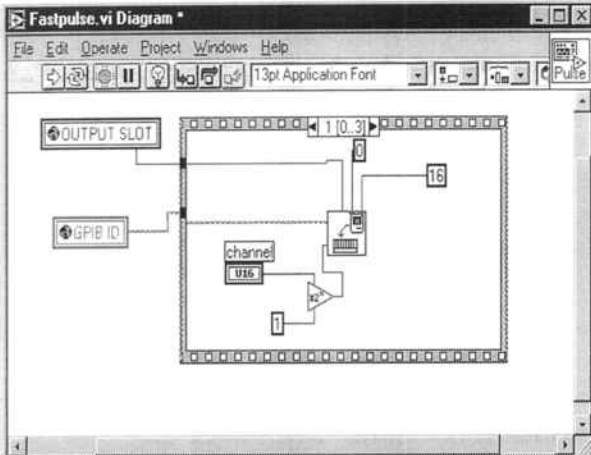
1. *Enviar instrucción NAF para habilitar el modo pulsado [f(26)].*
2. *Cargar el registro de salida con un 1 lógico [f(16)].*
3. *Ejecutar el pulso de duración S1 (strobe S1) [f(25)].*
4. *Deshabilitar el modo pulsado [f(24)].*
5. *End.*



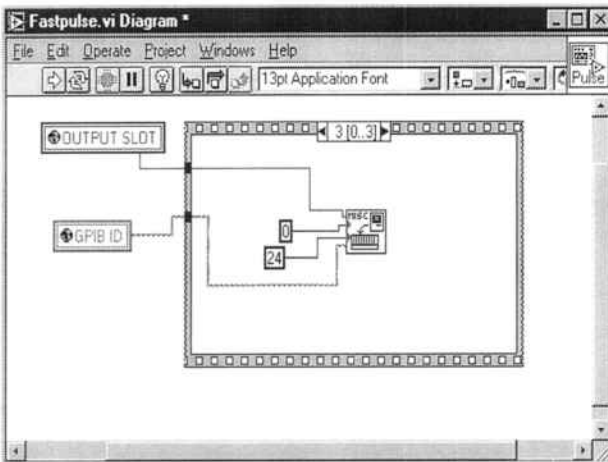
Panel frontal del instrumento.



NAF para habilitar el modo pulsado [f(26)].



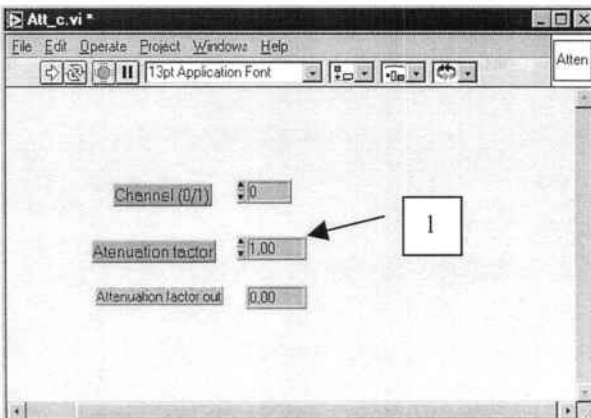
Cargar el registro de salida con un 1 [f(16)]. Ejecutar el pulso de duración S1 (strobe S1) [f(25)].



Deshabilitar el modo pulsado [f(24)].

Atenuador.

1. Introducir el factor de atenuación.
2. $\text{factor en dB} \leftarrow 20 \cdot \log(\text{factor de atenuación})$.
3. Convertir (factor en dB) a binario.
4. Recalcular el factor correcto de atenuación.
5. Enviar instrucción NAF al atenuador para establecer la conexión de los relés [f(16)].
6. Fin.



Panel frontal del instrumento.

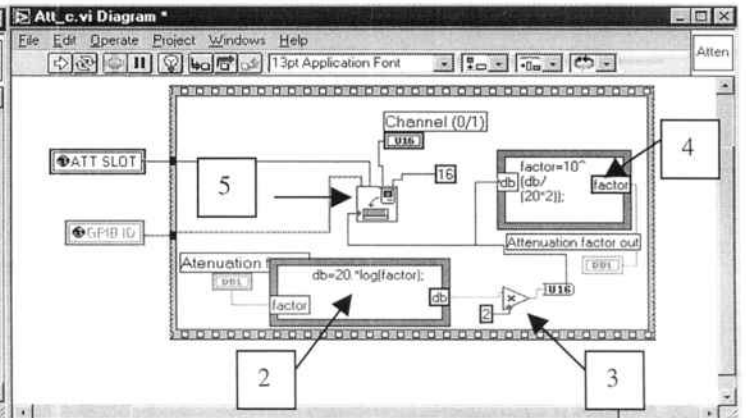


Diagrama de bloques

Router.

1. Canal $\leftarrow$ Introducir el canal que se quiere seleccionar.

2. Si Canal es menor que 8

Entonces

Poner N $\leftarrow$ dirección N del router #1.

Canal de selección $\leftarrow 2^{\text{Canal}}$. ;dirección CAMAC del canal.

Enviar NAF [f(16) A(0)].

Si no

Poner N $\leftarrow$ dirección N del router #1.

Canal selección $\leftarrow 2^{(11)}$. ;dirección CAMAC del canal 12.

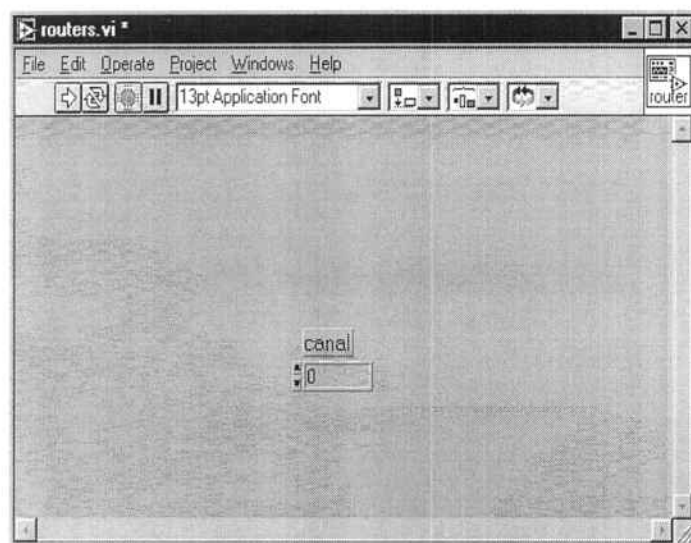
Enviar NAF [f(16) A(0)]. ;se habilita la conexión cascada.

Poner N $\leftarrow$ dirección N del router #2.

Canal selección $\leftarrow 2^{(\text{Canal}-8)}$. ;selección del canal 8 al 16.

Enviar NAF [f(16) A(0)]. ;se habilita la conexión del canal.

3. Fin.



Panel frontal del instrumento.

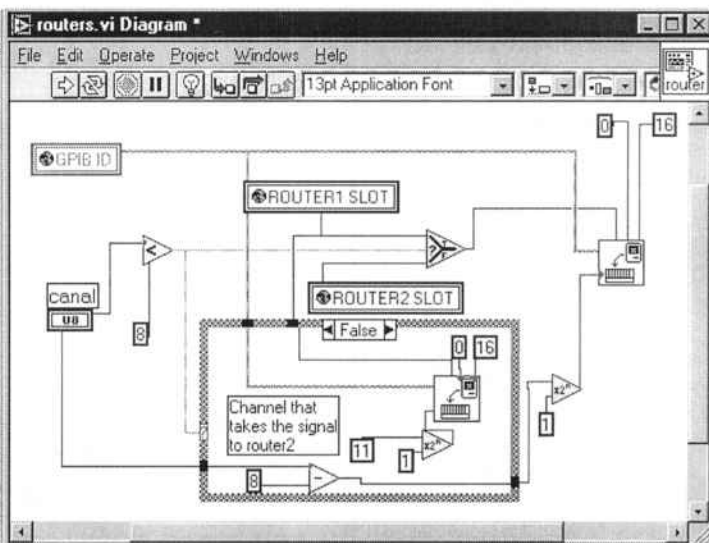
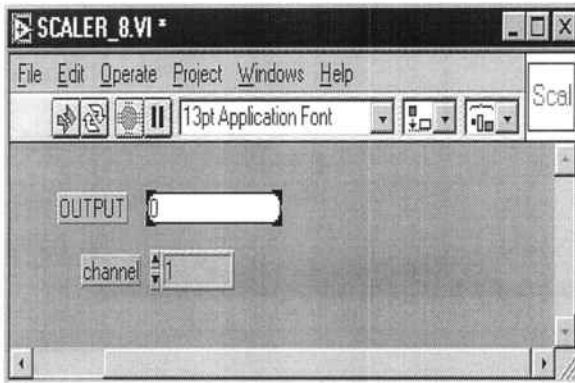


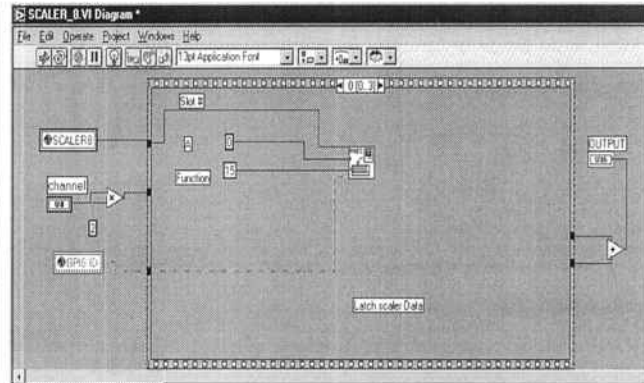
Diagrama de bloques

Programa de lectura para el scaler C243.

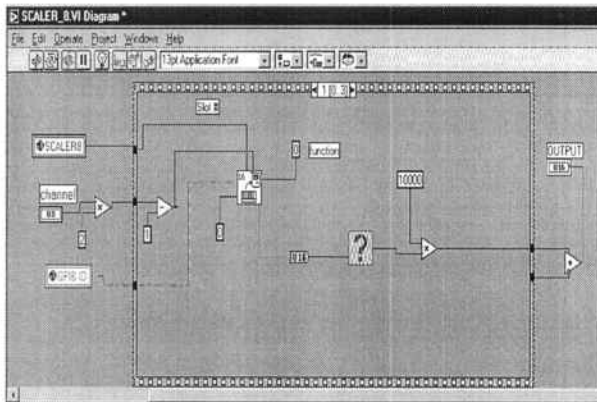
1. Introducir el canal a leer.
2. Enviar instrucción NAF para activar el modo latch [$f(15) A(0)$].
3. Leer el nibble más significativo [$f(0)A(\#canal*2-1)$].
4. Leer el nibble menos significativo [$f(0)A(\#canal*2-2)$].
5. Desactivación del modo latch [$f(26) A(0)$].
6. Fin.



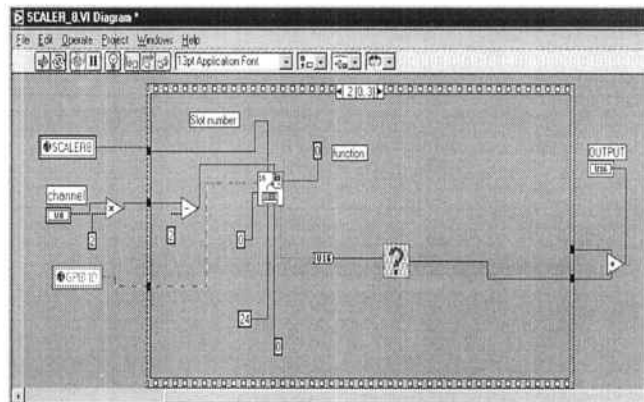
Panel de control.



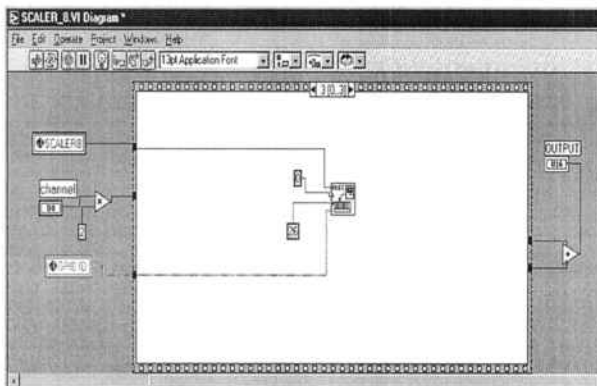
NAF para activar el modo latch [$f(15) A(0)$].



Leer el nibble más sign. [$f(0)A(\#canal*2-1)$].



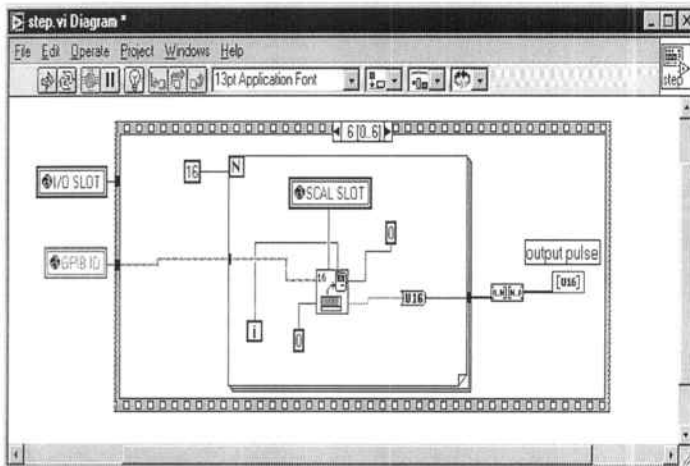
Leer el nibble menos sign. [$f(0)A(\#canal*2-2)$].



Desactivación del modo latch [$f(26) A(0)$].

Programa de lectura para el *scaler* C257.

1. Desde $i=1$ hasta 16
 Leer el nibble más significativo $[f(0)A(\# i*2-1)]$.
 Leer el nibble menos significativo $[f(0)A(\# i*2-2)]$.
2. Fin.



ANEXO C: HOJAS DE CARACTERÍSTICAS DE
INTEGRADOS Y MÓDULOS DE
INSTRUMENTACIÓN.

Positive Adjustable Regulator

FEATURES

- *Guaranteed* 1% Output Voltage Tolerance
- *Guaranteed* max. 0.01%/V Line Regulation
- *Guaranteed* max. 0.3% Load Regulation
- Min. 1.5A Output Current
- 100% Burn-in in Thermal Overload

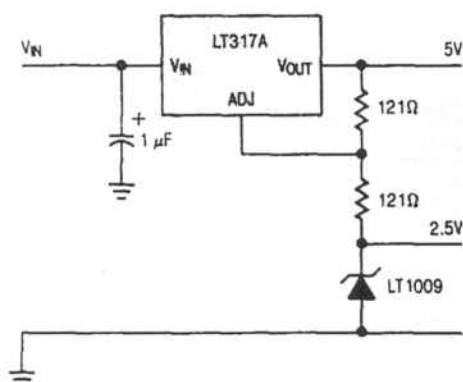
APPLICATIONS

- Wide Range Power Supplies
- Constant Current Supplies
- Voltage Programmable Supplies

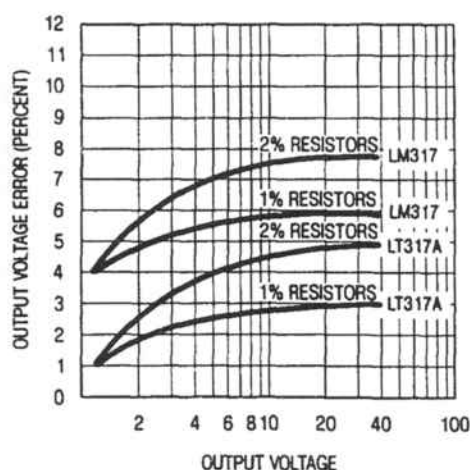
DESCRIPTION

The LT117A Series are 3-terminal positive adjustable voltage regulators which offer improved performance over earlier devices. A major feature of the LT117A is the output voltage tolerance is guaranteed at a maximum of $\pm 1\%$, allowing an overall power supply tolerance to be better than 3% using inexpensive 1% resistors. Line and load regulation performance has been improved as well. Additionally, the LT117A reference voltage is guaranteed not to exceed 2% when operating over the full load, line and power dissipation conditions. The LT117A adjustable regulators offer an improved solution for all positive voltage regulator requirements with load currents up to 1.5 amps.

Regulator with Reference



Output Voltage Error



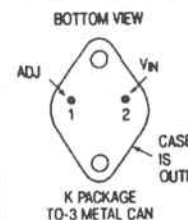
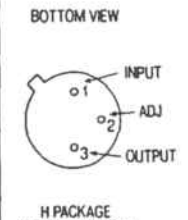
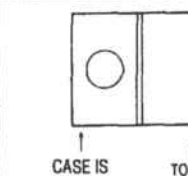
ABSOLUTE MAXIMUM RATINGS

Power Dissipation Internally Limited
Input to Output Voltage Differential 40V
Operating Junction Temperature Range
LT117A/LM117 -55°C to 150°C
LT317A/LM317 0°C to 125°C
Storage Temperature Range
LT117A/LM117 -65°C to 150°C
LT317A/LM317 -65°C to 150°C
Lead Temperature (Soldering, 10 sec.) 300°C

PRECONDITIONING:

100% THERMAL LIMIT BURN-IN

PACKAGE/ORDER INFORMATION

 BOTTOM VIEW K PACKAGE TO-3 METAL CAN (STEEL)	ORDER PART NO. LT117AK LT317AK LM117K LM317K	 BOTTOM VIEW H PACKAGE TO-39 METAL CAN	ORDER PART NO. LT117AH LT317AH LM117H LM317H
 T PACKAGE TO-220 PLASTIC	ORDER PART NO. LT317AT LM317T		

ELECTRICAL CHARACTERISTICS (See Note 1) LT117A/LM117

SYMBOL	PARAMETER	CONDITIONS	LT117A			LM117			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	
V_{REF}	Reference Voltage	$I_{OUT} = 10\text{mA}$ $T_J = 25^{\circ}\text{C}$	1.238	1.250	1.262				
		$3\text{V} < (V_{IN} - V_{OUT}) < 40\text{V}$ $10\text{mA} < I_{OUT} < I_{max}$, $P < P_{max}$	1.225	1.250	1.270	1.20	1.25	1.30	
$\frac{\Delta V_{OUT}}{\Delta V_{IN}}$	Line Regulation	$3\text{V} < (V_{IN} - V_{OUT}) < 40\text{V}$, (See Note 2)		0.005	0.01		0.01	0.02	%/
				0.01	0.02		0.02	0.05	%/
$\frac{\Delta V_{OUT}}{\Delta I_{OUT}}$	Load Regulation	$10\text{mA} < I_{OUT} < I_{max}$, (See Note 2) $V_{OUT} < 5\text{V}$ $V_{OUT} > 5\text{V}$		5 0.1	15 0.3		5 0.1	15 0.3	mV
		$V_{OUT} < 5\text{V}$ $V_{OUT} > 5\text{V}$		20 0.3	50 1		20 0.3	50 1	mV
	Thermal Regulation	$T_A = 25^{\circ}\text{C}$, 20msec Pulse		0.002	0.02		0.03	0.07	%/V
	Ripple Rejection	$V_{OUT} = 10\text{V}$, $f = 120\text{Hz}$ $C_{ADJ} = 0$		65			65		dB
		$C_{ADJ} = 10\mu\text{F}$		66	80		66	80	dB
I_{ADJ}	Adjust Pin Current			50	100		50	100	μA
ΔI_{ADJ}	Adjust Pin Current Change	$10\text{mA} < I_{OUT} < I_{max}$ $2.5\text{V} < (V_{IN} - V_{OUT}) < 40\text{V}$		0.2	5		0.2	5	μA
I_{min}	Minimum Load Current	$(V_{IN} - V_{OUT}) = 40\text{V}$		3.5	5		3.5	5	mA
	Current Limit	$(V_{IN} - V_{OUT}) < 15\text{V}$ K Package H Package		1.5 0.5	2.2 0.8		1.5 0.5	2.2 0.8	A
		$(V_{IN} - V_{OUT}) = 40\text{V}$, $T_J = 25^{\circ}\text{C}$ K Package H Package		0.3 0.15	0.5 0.2		0.3 0.15	0.4 0.2	A
$\frac{\Delta V_{OUT}}{\Delta T_{emp}}$	Temperature Stability	$-55^{\circ}\text{C} < T_J < +150^{\circ}\text{C}$		1	2		1		%
$\frac{\Delta V_{OUT}}{\Delta T_{ime}}$	Long Term Stability	$T_A = 125^{\circ}\text{C}$		0.3	1		0.3	1	%
e_n	RMS Output Noise (% of V_{OUT})	$T_A = 25^{\circ}\text{C}$, $10\text{Hz} < f < 10\text{kHz}$		0.001			0.001		%
θ_{jc}	Thermal Resistance Junction to Case	H Package K Package		12 2.3	15 3		12 2.3	15 3	$^{\circ}\text{C}/\text{W}$ $^{\circ}\text{C}/\text{W}$

ELECTRICAL CHARACTERISTICS (See Note 1) LT317A/LM317

SYMBOL	PARAMETER	CONDITIONS	LT317A			LM317			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	
V_{REF}	Reference Voltage	$I_{OUT} = 10mA$ $T_J = 25^\circ C$	1.238	1.250	1.262				V
		$3V \leq (V_{IN} - V_O) \leq 40V$ $10mA \leq I_{OUT} \leq I_{max}$, $P \leq P_{max}$	● 1.225	1.250	1.270	1.20	1.25	1.30	V
$\frac{\Delta V_{OUT}}{\Delta V_{IN}}$	Line Regulation	$3V \leq (V_{IN} - V_{OUT}) \leq 40V$, (See Note 2)		0.005	0.01		0.01	0.04	%/V
			● 0.01	0.02		0.02	0.07		%/V
$\frac{\Delta V_{OUT}}{\Delta I_{OUT}}$	Load Regulation	$10mA \leq I_{OUT} \leq I_{max}$, (See Note 2) $V_O \leq 5V$ $V_O \geq 5V$		5 0.1	25 0.5		5 0.1	25 0.5	mV %
		$V_O \leq 5V$ $V_O \geq 5V$	● 20 ● 0.3	50 1		20 0.3	70 1.5		mV %
	Thermal Regulation	$T_A = 25^\circ C$, 20msec Pulse	● 0.002	0.02		0.04	0.07		%/W
	Ripple Rejection	$V_O = 10V$, $f = 120Hz$ $C_{ADJ} = 0$		65		65			dB
		$C_{ADJ} = 10\mu F$	66	80		66	80		dB
I_{ADJ}	Adjust Pin Current			50	100		50	100	μA
ΔI_{ADJ}	Adjust Pin Current Change	$10mA \leq I_{OUT} \leq I_{max}$ $2.5V \leq (V_{IN} - V_{OUT}) \leq 40V$	● 0.2	5		0.2	5		μA
I_{min}	Minimum Load Current	$(V_{IN} - V_{OUT}) = 40V$	● 3.5	10		3.5	10		mA
	Current Limit	$(V_{IN} - V_{OUT}) \leq 15V$ K and T Package H Package	● 1.5 ● 0.5	2.2 0.8		1.5 0.5	2.2 0.8		A A
		$(V_{IN} - V_{OUT}) = 40V$, $T_J = 25^\circ C$ K and T Package H Package	0.15 0.075	0.4 0.2		0.15 0.075	0.4 0.2		A A
$\frac{\Delta V_{OUT}}{\Delta Temp}$	Temperature Stability	$0^\circ C \leq T_J \leq 125^\circ C$		1	2		1		%
$\frac{\Delta V_{OUT}}{\Delta Time}$	Long Term Stability	$T_A = 125^\circ C$		0.3	1		0.3	1	%
e_n	RMS Output Noise (% of V_{OUT})	$T_A = 25^\circ C$, $10Hz \leq f \leq 10kHz$		0.001			0.001		%
θ_{jc}	Thermal Resistance Junction to Case	H Package K Package T Package		12 2.3 4	15 3 5		12 2.3 4	15 3	$^\circ C/W$ $^\circ C/W$ $^\circ C/W$

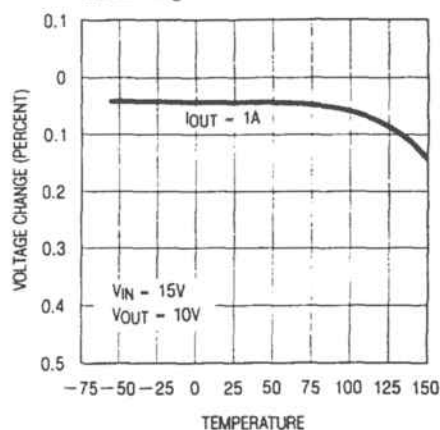
The ● denotes the specifications which apply over the full operating temperature range.

Note 1: Unless otherwise specified, these specifications apply for $V_{IN} - V_{OUT} = 5V$; and $I_{OUT} = 0.1A$ for the TO-39 and $I_{OUT} = 0.5A$ for the TO-3 and TO-220 packages. Although power dissipation is internally limited, these specifications are applicable for power dissipations of 2W for the TO-39, and 20W for the TO-3 and TO-220. I_{MAX} is 1.5A for the TO-3 and TO-220 packages and 0.5A for the TO-39.

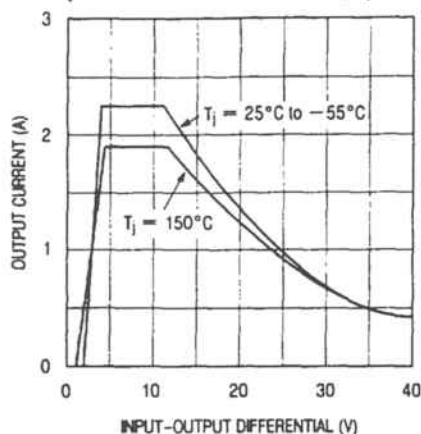
Note 2: Regulation is measured at constant junction temperature, using pulse testing with a low duty cycle. Changes in output voltage due to heating effects are covered under the specification for thermal regulation. Load regulation is measured on the output pin at a point $\frac{1}{8}$ " below the base of the K and H package and at the junction of the wide and narrow portion of the lead on the T package.

TYPICAL PERFORMANCE CHARACTERISTICS

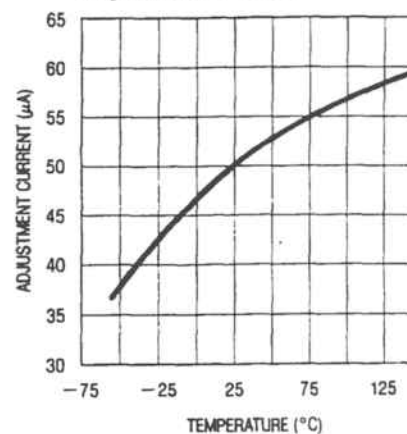
Load Regulation



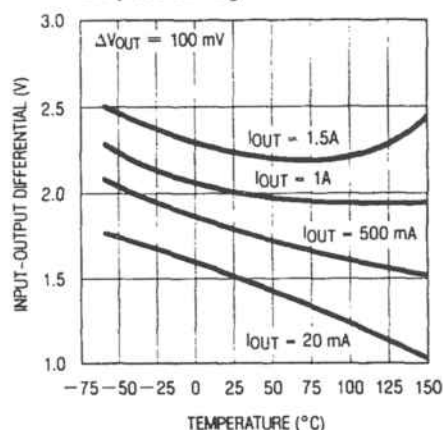
Current Limit
(TO-3 and TO-220 Package)



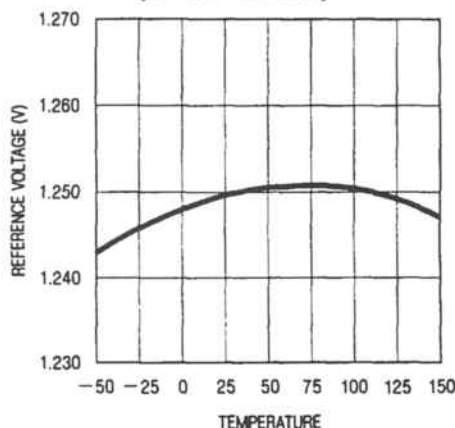
Adjustment Current



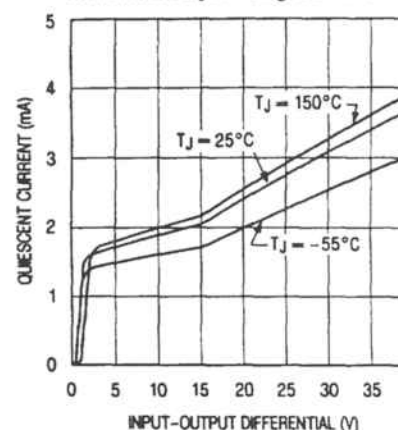
Dropout Voltage



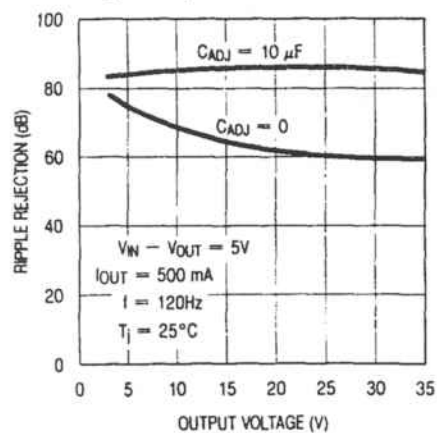
Temperature Stability



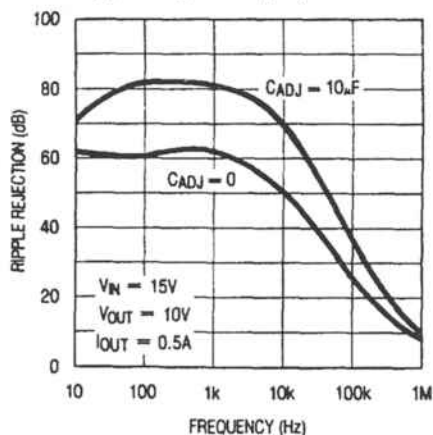
Minimum Operating Current



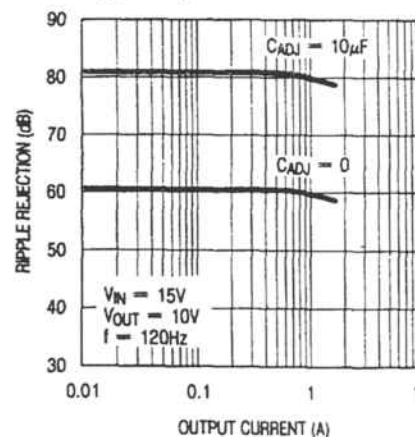
Ripple Rejection



Ripple Rejection (dB)

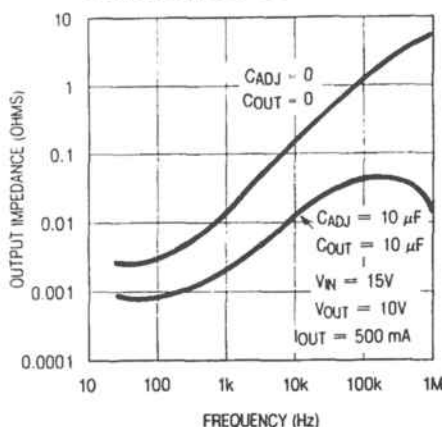


Ripple Rejection

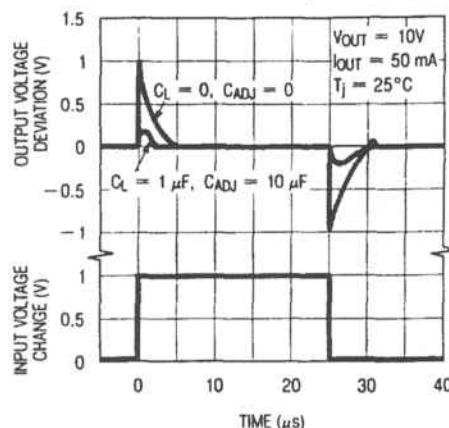


TYPICAL PERFORMANCE CHARACTERISTICS

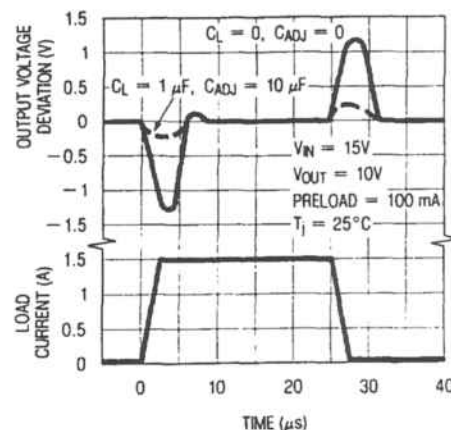
Output Impedance



Line Transient Response



Load Transient Response



APPLICATIONS INFORMATION

General: The LT117A develops a 1.25V reference voltage between the output and the adjustable terminal (see Figure 1). By placing a resistor, R₁, between these two terminals, a constant current is caused to flow through R₁ and down through R₂ to set the overall output voltage. Normally this current is the specified minimum load current of 5mA or 10mA.

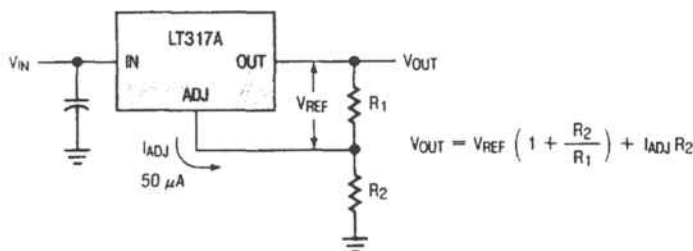


Figure 1

Because I_{ADJ} is very small and constant when compared with the current through R₁, it represents a small error and can usually be ignored.

It is easily seen from the above equation, that even if the resistors were of exact value, the accuracy of the output is limited by the accuracy of V_{REF} . Earlier adjustable regulators had a reference tolerance of $\pm 4\%$. This tolerance is dangerously close to the $\pm 5\%$ supply tolerance required in many logic and analog systems. Further, many 1% resistors can drift $0.01\%/^{\circ}\text{C}$ adding another 1% to the output voltage tolerance.

For example, using 2% resistors and $\pm 4\%$ tolerance for V_{REF} , calculations will show that the expected range of a 5V regulator design would be $4.66\text{V} \leq V_{OUT} \leq 5.36\text{V}$ or approximately $\pm 7\%$. If the same example were used for a 15V regulator, the expected tolerance would be $\pm 8\%$. With these results most applications require some method of trimming, usually a trim pot. This solution is both expensive and not conducive to volume production.

One of the enhancements of Linear Technology's adjustable regulators over existing devices is tightened initial tolerance. This allows relatively inexpensive 1% or 2% film resistors to be used for R₁ and R₂ while setting output voltage within an acceptable tolerance range.

With a guaranteed 1% reference, a 5V power supply design, using $\pm 2\%$ resistors, would have a worst case manufacturing tolerance of $\pm 4\%$. If 1% resistors were used, the tolerance would drop to $\pm 2.5\%$. A plot of the worst case output voltage tolerance as a function of resistor tolerance is shown on the front page.

LT117A/LT317A LM117/LM317

For convenience, a table of standard 1% resistor values is shown below.

Table of ½% and 1% Standard Resistance Values

1.00	1.47	2.15	3.16	4.64	6.81
1.02	1.50	2.21	3.24	4.75	6.98
1.05	1.54	2.26	3.32	4.87	7.15
1.07	1.58	2.32	3.40	4.99	7.32
1.10	1.62	2.37	3.48	5.11	7.50
1.13	1.65	2.43	3.57	5.23	7.68
1.15	1.69	2.49	3.65	5.36	7.87
1.18	1.74	2.55	3.74	5.49	8.06
1.21	1.78	2.61	3.83	5.62	8.25
1.24	1.82	2.67	3.92	5.76	8.45
1.27	1.87	2.74	4.02	5.90	8.66
1.30	1.91	2.80	4.12	6.04	8.87
1.33	1.96	2.87	4.22	6.19	9.09
1.37	2.00	2.94	4.32	6.34	9.31
1.40	2.05	3.01	4.42	6.49	9.53
1.43	2.10	3.09	4.53	6.65	9.76

Standard Resistance Values are obtained from the Decade Table by multiplying by multiples of 10. As an example, 1.21 can represent 1.21Ω, 12.1Ω, 121Ω, 1.21KΩ etc.

Bypass Capacitors: Input bypassing using a 1μF tantalum or 25μF electrolytic is recommended when the input filter capacitors are more than 5 inches from the device. Improved ripple rejection (80 dB) can be accomplished by adding a 10μF capacitor from the adjust pin to ground. Increasing the size of the capacitor to 20μF will help ripple rejection at low output voltage since the reactance of this capacitor should be small compared to the voltage setting resistor, R2. For improved AC transient response and to prevent the possibility of oscillation due to unknown reactive load, a 1μF capacitor is also recommended at the output. Because of their low impedance at high frequencies, the best type of capacitor to use is solid tantalum.

Protection Diodes: The LT117A/317A do not require a protection diode from the adjustment terminal to the output (see Figure 2). Improved internal circuitry

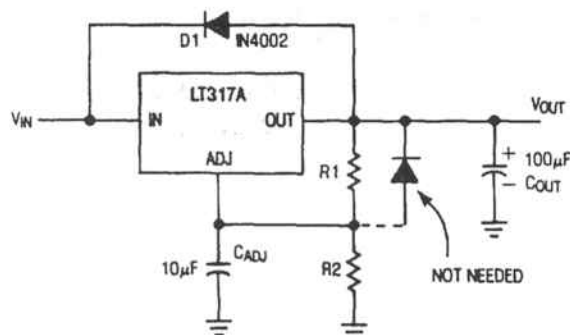


Figure 2

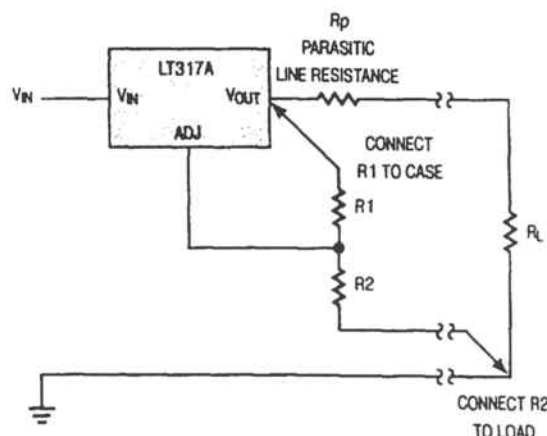
eliminates the need for this diode when the adjustment pin is bypassed with a capacitor to improve ripple rejection.

If a very large output capacitor is used, such as a 100μF shown in Figure 2, the regulator could be damaged or destroyed if the input is accidentally shorted to ground or crowbarred. This is due to the output capacitor discharging into the output terminal of the regulator. To prevent damage a diode D1 is recommended to safely discharge the capacitor.

Load Regulation: Because the LT117A is a three-terminal device, it is not possible to provide true remote load sensing. Load regulation will be limited by the resistance of the wire connecting the regulator to the load. For the data sheet specification, regulation is measured at the bottom of the package. Negative side sensing is a true Kelvin connection, with the bottom of the output divider returned to the negative side of the load. Although it may not be immediately obvious, best load regulation is obtained when the top of the divider is connected *directly* to the case *not to the load*. This is illustrated in Figure 3. If R1 were connected to the load, the effective resistance between the regulator and the load would be

$$R_p \times \left(\frac{R_2 + R_1}{R_1} \right), R_p = \text{Parasitic Line Resistance.}$$

Connected as shown, R_p is not multiplied by the divider ratio. R_p is about 0.004Ω per foot using 16 gauge wire. This translates to 4mV/ft at 1A load current, so it is important to keep the positive lead between regulator and load as short as possible.



Connections for Best Load Regulation

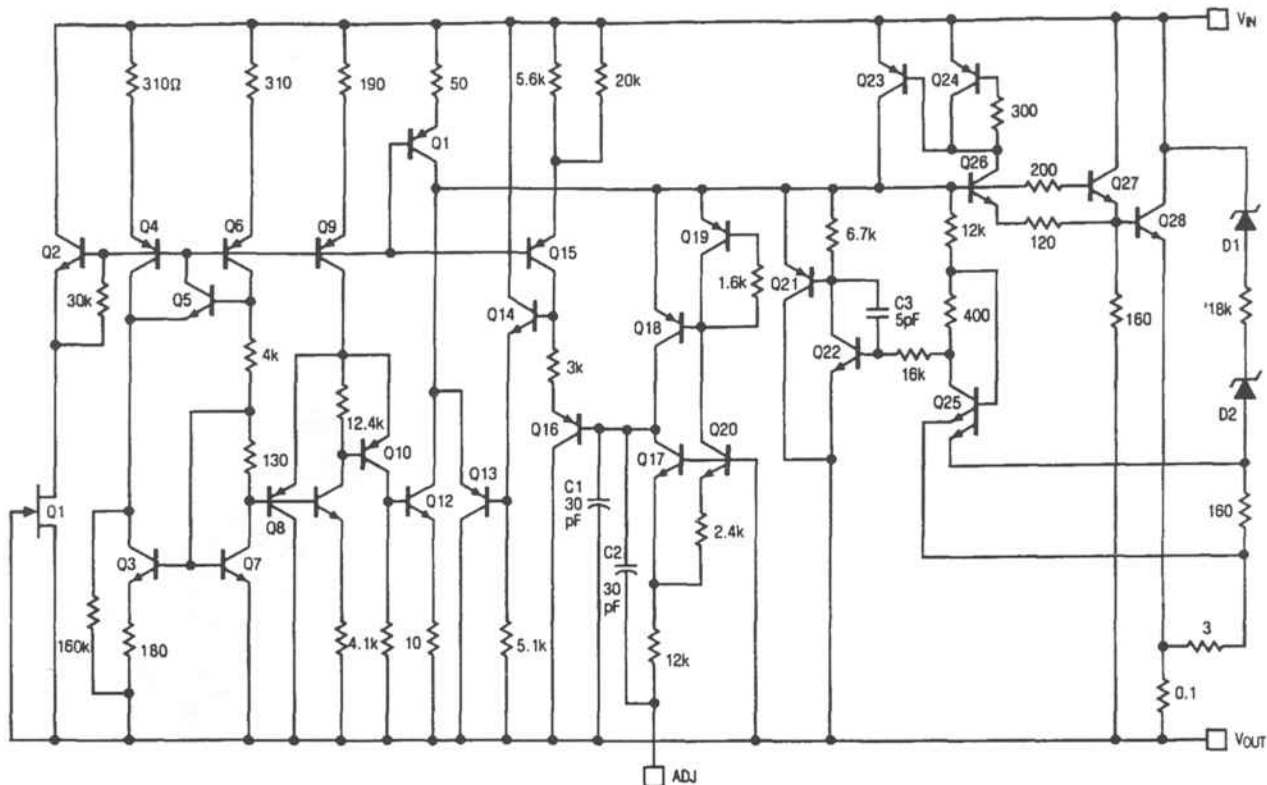
Figure 3

$$V_{OUT} = 1.25V \left(1 + \frac{R_2}{R_1} \right)$$

* C1 IMPROVES RIPPLE REJECTION
X_C SHOULD BE SMALL
COMPARED TO R2

SCHEMATIC DIAGRAM

LT117A/LT317A

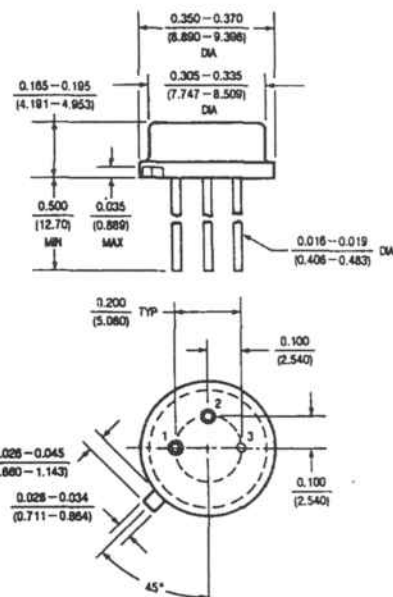
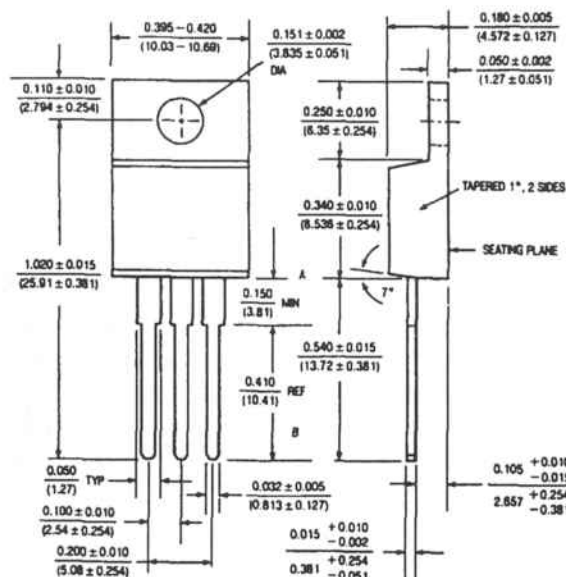
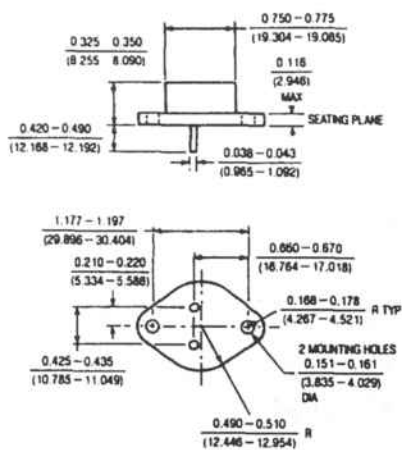


PACKAGE DESCRIPTION

K Package TO-3 STEEL Metal Can

T Package TO-220 Plastic

H Package 3-Lead Metal Can



	T_j max.	θ_{JA}	θ_{JC}
117A 117	150°C	35°C/W	3°C/W
317A 317	125°C	35°C/W	3°C/W

	T_j max.	θ_{JA}	θ_{JC}
317A 317	125°C	50°C/W	5°C/W

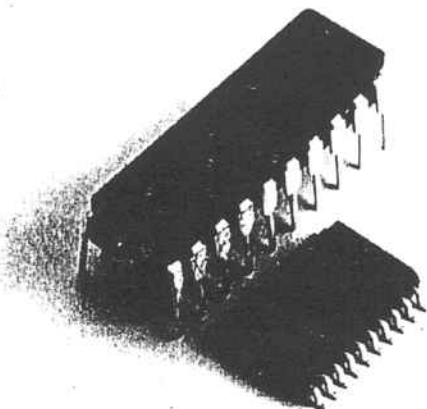
	T_j max.	θ_{JA}	θ_{JC}
117A 117	150°C	150°C/W	15°C/W
317A 317	125°C	150°C/W	15°C/W

MVL407, MVL407S

Monolithic Voltage Comparator

Components

MVL407 4-CHANNEL VOLTAGE COMPARATOR
MVL407S 4-CHANNEL VOLTAGE COMPARATOR



**ULTRA-FAST
COMPARATOR FOR
DISCRIMINATORS,
TDCS AND WIRE
CHAMBER
FRONT-ENDS**

- 400 MHz Operation
- 3.5 nsec Propagation Delay
- Built-in 4.8 mV Hysteresis
- 50 Ω Line Drive Capability
- 4 Comparators/Device
- 100 mW/Channel Typical Power Dissipation
- Complementary ECL Outputs
- Available in 20-Pin DIP or SOIC Packages
- Low Cost

The Model MVL407 and the Model MVL407S are quad voltage comparators designed for applications requiring ultra-high speed and accurate timing. The devices are manufactured using a high speed bipolar process which results in an extremely short (3.5 nsec) propagation delay with operation at speeds in excess of 400 MHz. The comparators are available in two types of package; a standard 20-pin DIP (MVL407), or a surface-mount version in a SOIC (Small Outline IC) package (MVL407S). Unpackaged die are also available (MVL407D).

The MVL407 incorporates a unique hysteresis feature for exceptionally clean operation. When the comparator changes state, an internal differential input offset of about 4.8 mV is generated. This positive feedback drives the device quickly through its switching region, greatly reducing the possibility of oscillation or output chatter with small or slowly changing inputs. The propagation delay is typically 3.5 nsec and changes by only 100 psec across a 5 to 100 mV overdrive range. This very low delay variation makes these comparators extremely useful in critical timing applications.

Each channel provides differential inputs and complementary outputs compatible with the ECL logic family. The outputs can drive 50 Ω loads or 100 Ω twisted pair. (External pull-down resistors are required.)

For evaluation and prototyping, the Model MVL407PK is recommended. It consists of a single MVL407 mounted on a printed circuit board. Space is provided for user prototyping circuitry. The power and reference voltage must be supplied to the board via a wire pigtail.

SPECIFICATIONS

MVL407, MVL407S

MAXIMUM RATING

Symbol	Parameter	Min	Typ	Max	Units	Comments
V_{CC}	Positive Supply Voltage		+5.00	+6.00	V	
V_{EE}	Negative Supply Voltage		-5.20	-6.00	V	
	Input Voltage			± 4.00	V	
	Differential Input Voltage			± 4.00	V	
	Output Current		30.00		mA	Per output pin
	Power Dissipation		800.00		mW	
T	Operating Temperature	-20.00	25.00	+70.00	$^{\circ}\text{C}$	

ELECTRICAL CHARACTERISTICS

Symbol	Parameter	Min	Typ	Max	Units	Comments
I_{OS}	Input offset current	-0.50	± 0.05	+0.50	μA	See Fig. 1
$\Delta I_{OS}/\Delta T$	Avg. Temp. Const. of I_{OS}	-1.50	± 0.50	+1.50	$\text{nA}/^{\circ}\text{C}$	
I_B	Input bias current	3.50	5.00	7.00	μA	See Fig. 1
$\Delta I_B/\Delta T$	Avg. Temp. Const. of I_B	-40.00	-20.00	0	$\text{nA}/^{\circ}\text{C}$	See Fig. 11
R_{in}	Input resistance	20.00	30.00	—	$\text{K}\Omega$	
C_{in}	Input capacitance	1.20	1.60	2.10	pF	
V_{cm}	Input voltage range	-2.00	—	1.70	V	See Figs. 2, 14
V_{T+}	Threshold for OUT $\uparrow$	-1.00	+2.40	+5.00	mV	See Fig. 4, Note 4
V_{T-}	Threshold for OUT $\downarrow$	-6.00	-2.40	0	mV	
$\Delta V_{T\pm}/\Delta T$	Avg. Temp. Const. of $V_{T\pm}$	-10.00	± 5.00	10.00	$\mu\text{V}/^{\circ}\text{C}$	
V_H	Hysteresis voltage	4.60	4.80	5.00	mV	See Fig. 3 $R_T = 510 \Omega$, $V_T = -5.2 \text{ V}$
V_{OL}	Output low level	-1.85	-1.71	-1.63	V	
V_{OH}	Output high level	-0.96	-0.84	-0.80	V	
$\Delta V_{OH}/\Delta T$	Avg. Temp. Const. of V_{OH}	—	1.50	—	$\text{mV}/^{\circ}\text{C}$	4 channels without output pulldown resistors, See Fig. 1
$\Delta V_{OL}/\Delta T$	Avg. Temp. Const. of V_{OL}	—	0.60	—	$\text{mV}/^{\circ}\text{C}$	
I_+	Positive supply current	—	40.00	50.00	mA	
I_-	Negative supply current	—	37.00	47.00	mA	
PD	Power dissipation	—	392.00	494.00	mW	

SWITCHING CHARACTERISTICS

Symbol	Parameter	Min	Typ	Max	Units	Comments
t_{pd}	Propagation delay	3.00	3.50	4.00	nsec	See Fig. 3 50 mV overdrive $R_T = 510 \Omega$ Notes 2, 4 $V_T = -5.2 \text{ V}$
$\Delta t_{pd}/\Delta T$	Avg. Temp. Const. of prop. delay	—	2.00	—	$\text{psec}/^{\circ}\text{C}$	0 to 70°C
t_r, t_f	Transition time	0.80	1.20	1.40	nsec	$R_T = 50 \Omega$ $V_T = -2 \text{ V}$, Fig. 3
t_r, t_f	Transition time	0.50	0.85	1.20	nsec	$R_T = 510 \Omega$ $V_T = -5.2 \text{ V}$, Fig. 3
DPR	Double pulse resolution	—	2.00	—	nsec	Notes 3, 4
f_{max}	Max. toggle frequency	—	400.00	—	MHz	
T_{min}	Min. input width	—	1.00	—	nsec	

INTERCHANNEL MATCHING*

Symbol	Parameter	Min	Typ	Max	Units	Comments
ΔV_H	Hysteresis	—	± 0.25	—	mV	
$\Delta V_{T\pm}$	Threshold voltage	—	± 1.25	—	mV	
ΔI_{OS}	Input offset current	—	± 50.00	—	nA	
Δt_{pd}	Propagation delay	—	± 125.00	—	psec	
	Cross talk - any channel	—	—	—	dB	Unobservable, Note 1

*Interchannel matching refers to the variation between the channels on any single chip.

Notes:

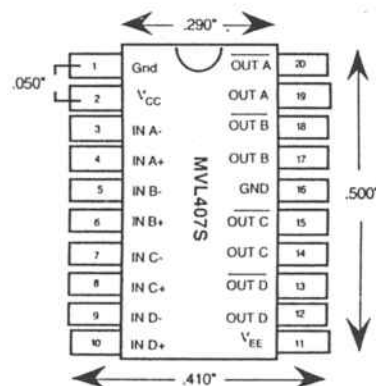
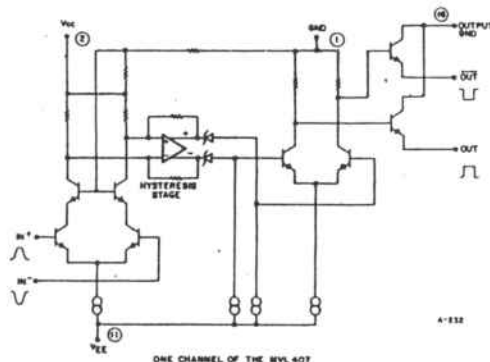
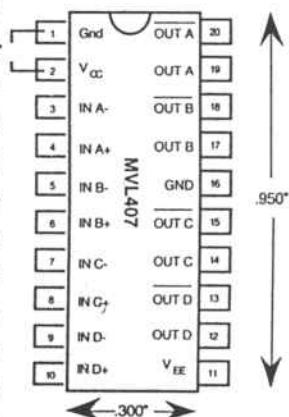
1. Cross talk is measured at a threshold of 2 mV.

2. Propagation delays are defined as the delay between a positive going input and an output transition of either polarity. The input overdrive is 50 mV with the threshold set at 0 mV.

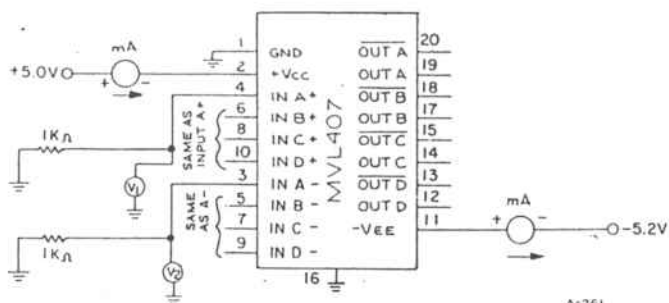
3. Double pulse resolution is defined as the minimum pulse pair spacing at which the MVL407 responds to the second pulse of the pair. The output levels of the second pulse must cross V_{OH} and V_{OL} . See Figure 5.

4. See Application Hints.

5. Characteristics measured at $V_{CC} = +5.0 \text{ V}$, $V_{EE} = -5.2 \text{ V}$ and $T = 25^{\circ}\text{C}$.



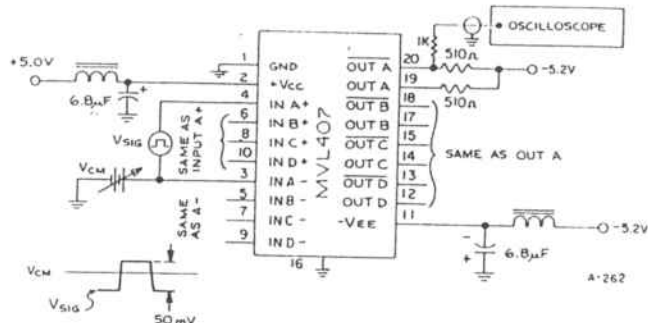
COMP & CHAMBER



Note: Outputs not loaded.

$$I_B = \frac{1}{2} \frac{V_1 + V_2}{1 \text{ K}\Omega} \quad I_{OS} = \frac{V_1 - V_2}{1 \text{ K}\Omega}$$

Figure 1



V_{CM} is varied from -2.0 V to $+1.7 \text{ V}$. Over this range output should not be affected by V_{CM} .

Figure 2

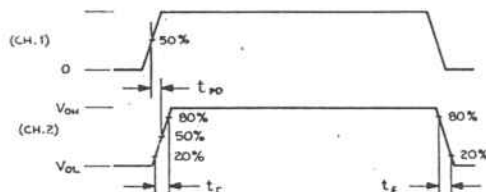
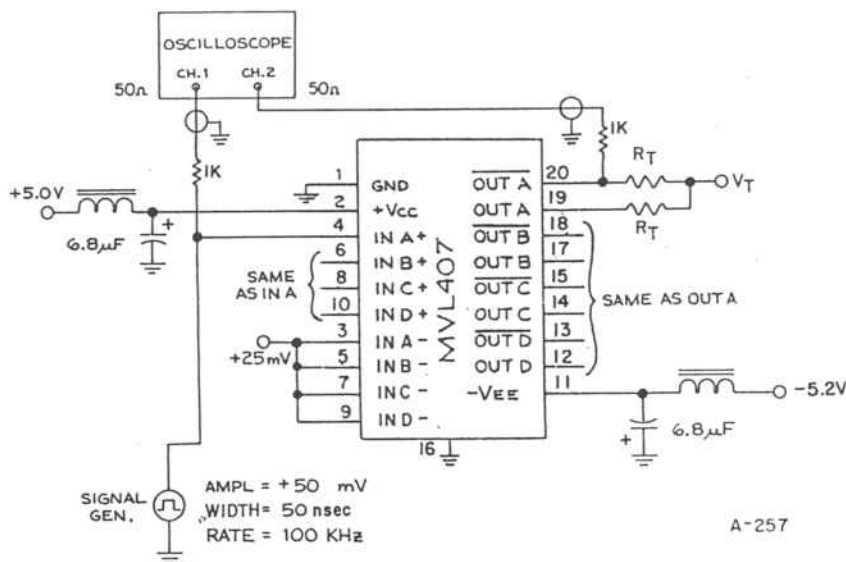


Figure 3

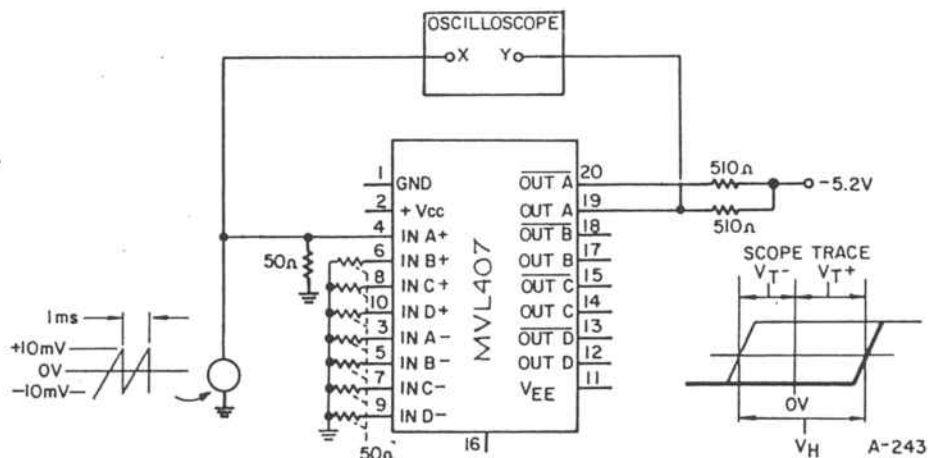
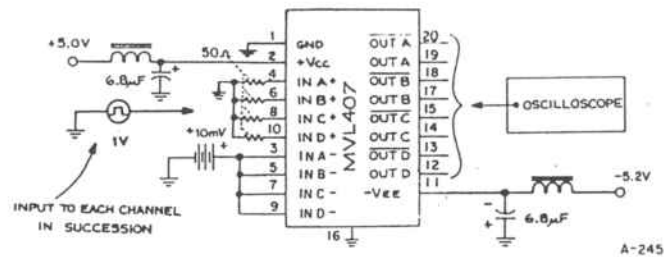
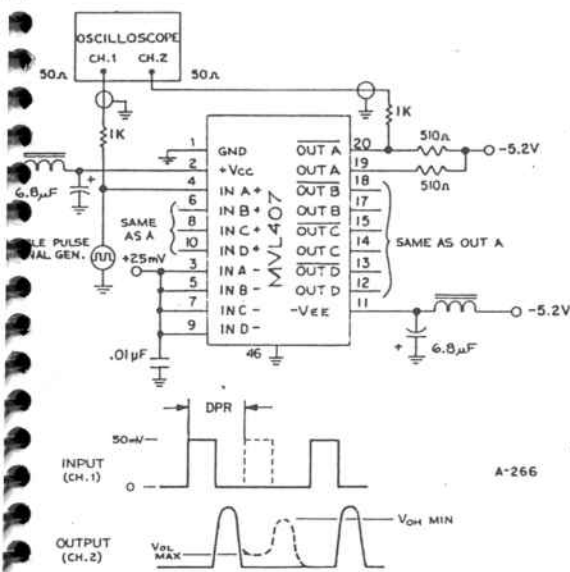


Figure 4



Drive one channel only. If any other channel triggers, cross talk spec is not met.

Figure 6

APPLICATION HINTS

Interconnection Techniques

To achieve optimum performance, high speed circuits require some special layout precautions. For a good low inductance ground return path, a ground plane must be used. The input impedance should be as low as is practical and lead lengths should be as short as possible. The MVL407 should be soldered into the printed circuit board instead of using a socket. To minimize ringing, output lead lengths of 2 cm or less are recommended. If longer leads are required, use a microstrip transmission line, miniature coaxial cable, or twisted pair. Reflections will occur if the line is properly terminated. Termination resistors should go to -2.0 V. Low impedance lines are better for driving capacitive loads. Supply voltages should be well decoupled with good RF capacitors connected to the ground pins as close to the MVL407 supply pins as practical.

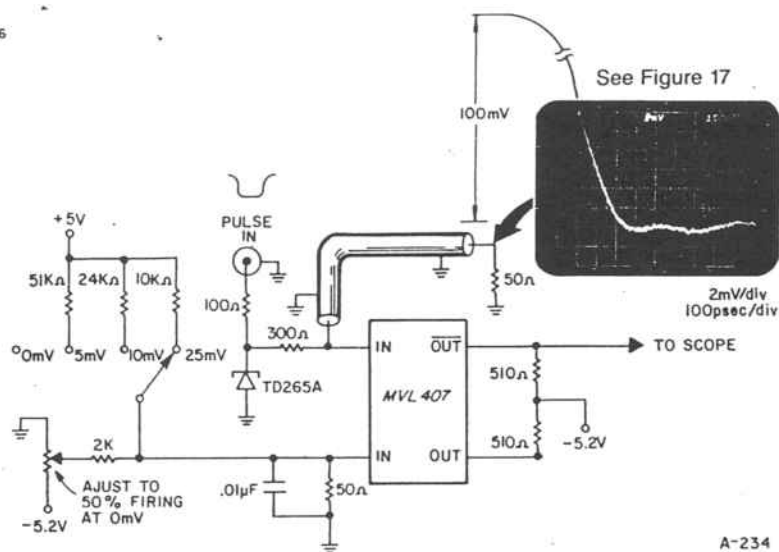
Propagation Delay Measurement

The ability of a voltage comparator to perform an accurate timing function is determined by the constancy of its propagation delay with overdrive. Because the input rise time and the comparator's slew time add in quadrature to produce the observed propagation delay, it is necessary to employ a very fast input pulse to accurately measure propagation delay differences of the device. A slow input would give optimistically low results. See Figures 8, 9, & 14.

In order to produce a sufficiently fast and clean input pulse, a tunnel diode based pulse generator was employed. It produced a very clean pulse with a rise time (10% to 90%) approximately 0.1 nsec. See Figures 7 and 17.

Double Pulse Resolution Measurement

To measure the double pulse resolution (DPR), the input pulse width was adjusted to the minimum, which provides a



A-234

Figure 7

full amplitude output. The delay of the second pulse was reduced until a degradation of output amplitude was noted. The closest spacing of the input pulse pair which will produce a second pulse of full output amplitude is considered to be the DPR (Figure 5).

Hysteresis

The MVL407 incorporates about 4.8 mV of internal hysteresis, and therefore has two thresholds separated by about 4.8 mV. One threshold (V_{T+}) applies for input signals that cause a low-to-high transition on the normally low output (e.g., a positive-going signal applied to the IN^+ input, or a negative-going signal applied to the IN^- input). The other (V_{T-}) applies for input signals that cause a high-to-low transition on the normally low output. The hysteresis voltage (V_H) is the difference between these two thresholds. V_{T+} , V_{T-} and V_H are measured as shown in Figure 4.

The presence of this hysteresis helps assure that the outputs of the MVL407 are always in a defined state, even for small or very slowly changing inputs. Comparators without hysteresis show a pronounced tendency to oscillate when biased near threshold. In spite of its higher speed, the MVL407 gives much cleaner operation than other comparators.

TYPICAL PERFORMANCE CURVES

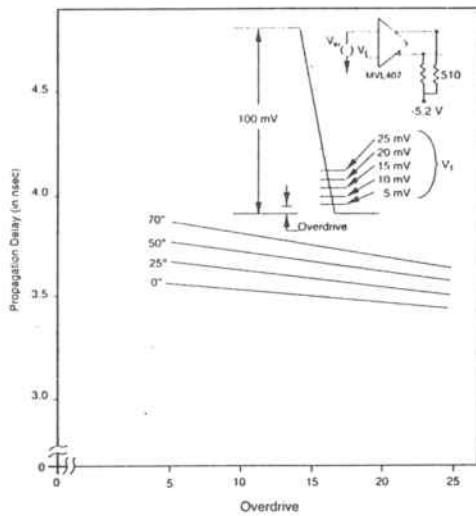


Figure 8: Propagation Delay as a Function of Overdrive

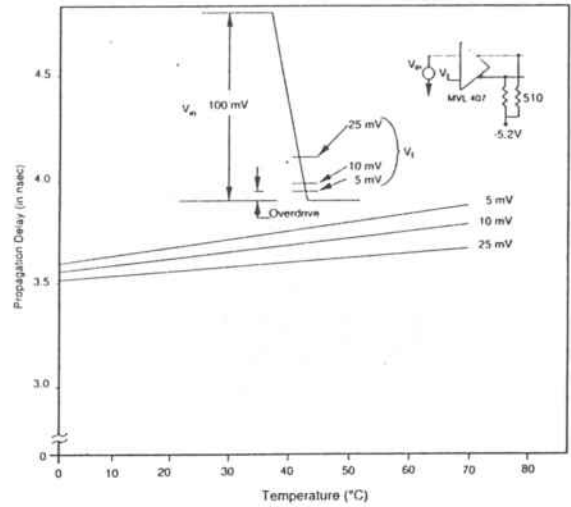


Figure 9: Propagation Delay as a Function of Temperature

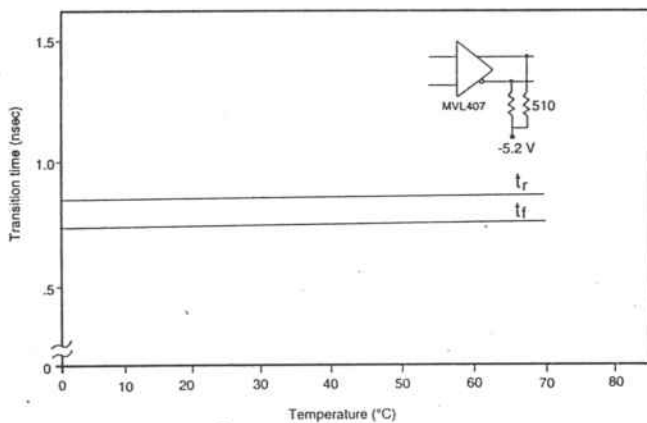


Figure 10: Output Rise and Fall Time as a Function of Temperature

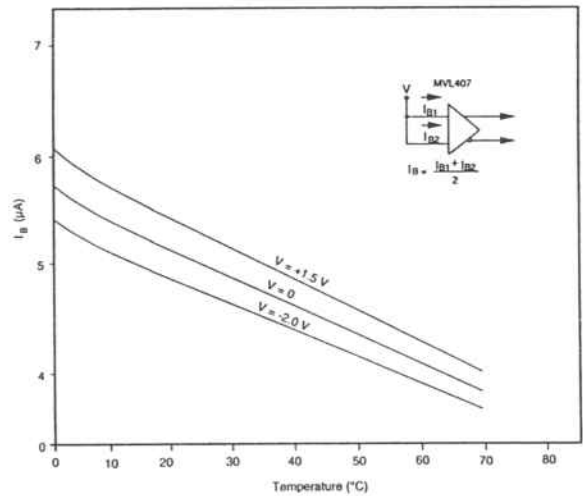


Figure 11: Input Bias Current as a Function of Temperature

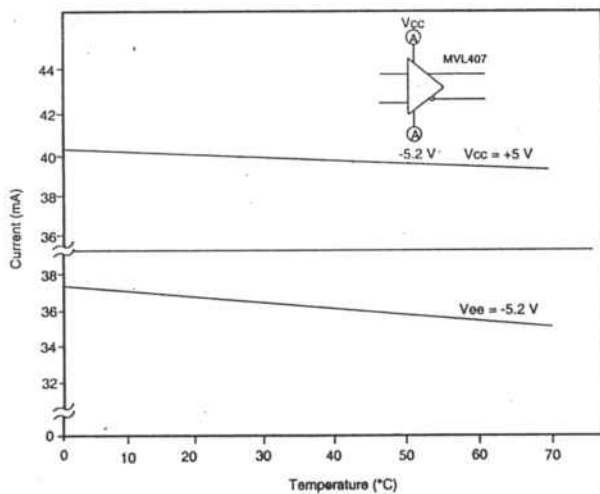


Figure 12: Supply Current as a Function of Temperature (outputs unloaded)

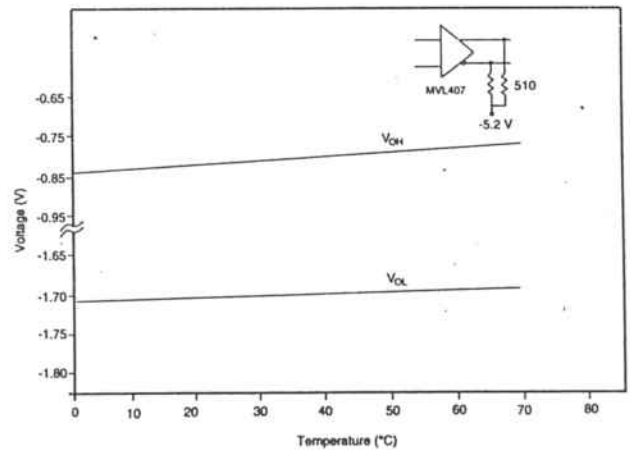


Figure 13: Output Level as a Function of Temperature (510 W to -5.2 V)

TYPICAL PERFORMANCE TRACES

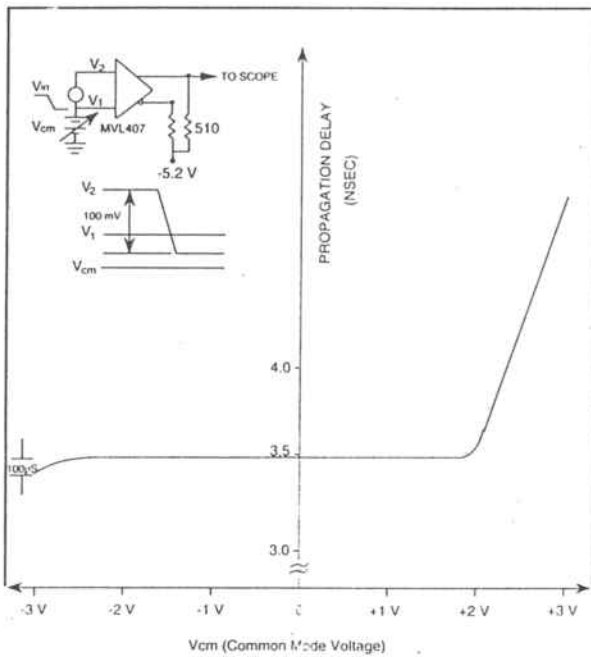


Figure 14: Propagation Delay as a Function of Common Mode Voltage

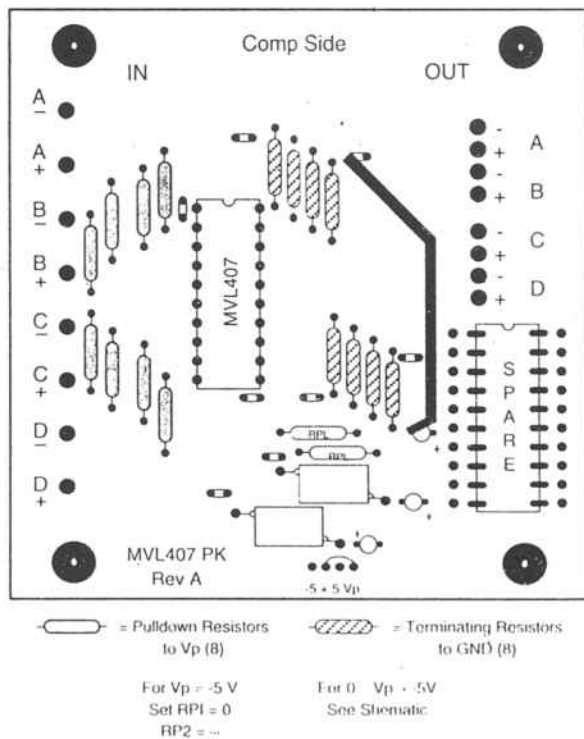


Figure 17: Fast timing pulse, see Figure 7.

50 mV/div

2 nsec/div

400 mV/div

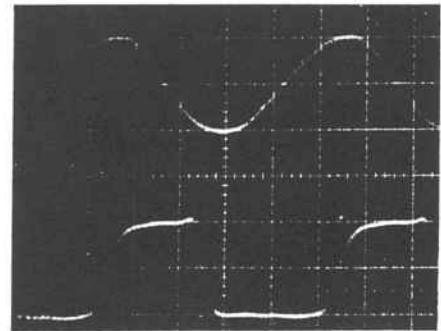


Figure 15: Response to 100 MHz sine wave.

50 mV/div
Input

1 nsec/div

400 mV/div
Output

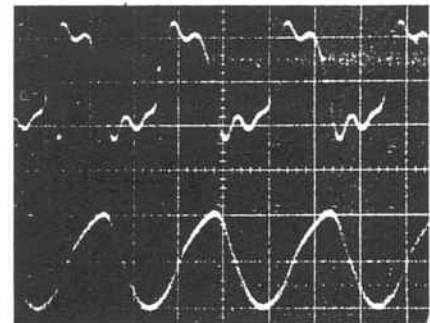
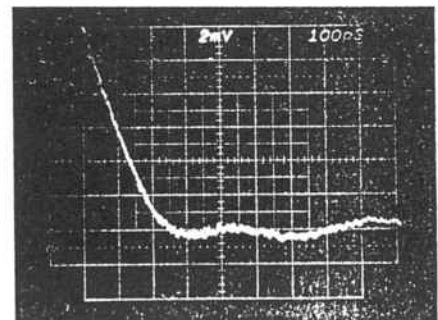


Figure 16: Response to 400 MHz input.

2 mV/div

10 psec/div



MODEL C 257

16 CHANNEL SCALER

FEATURES

- One unit wide CAMAC module.
- 16 independent 24-bit channels.
- ECL, NIM or TTL inputs.
- 100 MHz guaranteed counting frequency.
- Channels can be cascaded in order to obtain a counting scale with up to 24×16 bits.
- Fast Clear, Inhibit and Test NIM inputs.
- LAM generation.

DESCRIPTION

The Model C 257 is a 1-unit wide CAMAC module provided with 16 independent 24-bit counting channels operating at the guaranteed input frequency of 100 MHz. Three versions are available:

- C 257 E differential ECL inputs;
- C 257 N, NIM inputs;
- C 257 T, TTL inputs.

A Fast Clear Input signal (NIM level), through the front panel connector "CLR", and specific CAMAC functions reset all the channels.

An Inhibit Input signal (NIM level), sent through the front panel connector "INH", and the "I" CAMAC line disable the counting.

The front panel green LED "INH" switches off when the INHIBIT signal is present.

A Test Input pulse (NIM level), sent through the front panel connector "TST", and the specific CAMAC function increase all the channels.

Each channel is provided with two internal jumpers by which it is possible:

- to connect the channel itself to the subsequent one: each channel adds a 24-bit counting capacity to the previous one. In this way, a 24×16 bit counting scale is available;
- to enable/disable the LAM generation.

Generally a LAM signal (if enabled) is generated whenever the last bit of a counting scale becomes true (the 24th bit of a channel, or the 24th bit of the last channel in a scale if the preceding cascaded channels are disabled). However, it is possible to set the 16th bit as the last one in a channel or counting scale, by simply removing one or both of the internal jumpers labelled "CH 0-7 LAM SEL" and "CH 8-15 LAM SEL". The front panel red LED "INT LAM" lights up when the internal LAM is true.

CAMAC FUNCTIONS

All the allowed functions give the X and Q responses when the module is addressed.

F(0) N A(0 to 15): Reads the value (R1 to R24) held in the counter addressed by A(0 to 15). Q is true only if the input is inhibited.

F(1) N: Reads the status of the internal jumpers for LAM enabling/disabling. (R(i)=1 if CH(i)= enabled).

F(2) N A(0..15): Same as F(0) N A(0 to 15), but with A(15) reads the 15th channel and if the input is inhibited, resets all the channels and LAM line.

F(8) N: Tests the LAM line. Q is true if LAM is enabled and present.

F(9) N: Resets the module (All the scales and internal LAM are set to 0. The LAM line is disabled).

F(10) N: Clears LAM.

F(24) N: Disables LAM.

F(25) N: Tests the counters (same as Test Input signal). At the S2 time all the channels are increased (valid only in single channel configuration).

F(26) N: Enables LAM.

F(27) N: Tests the internal LAM. Q is true if the internal LAM is enabled and present.

C, Z : Same as F(9) N.

I: The inhibit line disables all the inputs.

SPECIFICATIONS

CONNECTORS and SIGNALS

ECL VERSION

- 1 CH0 to CH7 INPUT signals, low profile header, type 3M 7616-5002 8+8, terminated in 110 Ohm impedance.
- 1 CH8 to CH15 INPUT signals, low profile header, type 3M 7616-5002 8+8, terminated in 110 Ohm impedance.

NIM AND TTL VERSIONS

- 16 LEMO 00 type INPUT signals, terminated in 50 Ohm impedance. One per channel.

FOR EACH VERSION

- 1 INH. LEMO 00 type. INPUT signal, NIM level 50 Ohm. Min. width 50 ns. It must precede the input channel signal by 15 ns.
- 1 CLR. LEMO 00 type. INPUT signal, NIM level 50 Ohm. Min. width 60 ns.
- 1 TST. LEMO 00 type. INPUT signal, NIM level 50 Ohm. Min. width 10 ns.

MAX. INPUT FREQ: 100 MHz.

MIN. INPUT WIDTH: 5 ns.

DOUBLE PULSE RESOLUTION: 5 ns.

DISPLAYS

- 1 INH. Green LED.
- 1 INT LAM. Red LED.

POWER REQUIREMENTS

+6V 1.6 A

-6V 0.3 A

© 1998 caen.it, info@caen.it

Created on: 04/27/98 02:33 PM

Last Modified: 05/22/98 12:50:18 PM

SEN 2073

Wide-Band Router

[[Page 1](#) | [Retrieve other information](#)]

Page 1



WIDE-BAND ROUTER

WBR 2073

PRELIMINARY

APR. 1975

This fully-shielded single width CAMAC module has a choice of operating modes which provides the user with two separate fields of application. In a survey application, 12 PM type signals can be switched through the common output to other instruments for examination and/or processing (e.g. display, recording, attenuation etc.). The termination of non-selected inputs is in 50 Ohms.

In a multiplexing application, the router makes the connection of 1 input signal to any 1 of the 12 output channels. If the characteristic impedance does not have to be maintained, the input signal can be connected to more than one output.

In addition, several router modules can be cascaded where extra channels are required.

Channel selection can be obtained in two ways : a Write Instruction from the dataway loads the 12-bit selection register and any combination of the 12 channels can be selected in this way. Alternatively, an Increment Instruction will give channel by channel scanning, and can be programmed to recycle.

All connections are made on the front panel by LEMO sockets and channel selection is displayed by the associated LED's.

Consumption

+6V	700mA
+24V	80mA

[[Go to top of page](#) | [Retrieve other information](#)]

MODEL N 89

NIM-TTL-NIM ADAPTER

FEATURES

- One unit wide NIM module.
- 8 NIM-TTL, 8 TTL-NIM translator channels.
- Less than 10 ns input/output delay.
- 60 MHz/40 MHz max. operating frequency
- All channels DC coupled.
- No duty-cycle limitations.

DESCRIPTION

The **Model N 89** is a NIM-to-TTL, TTL-to-NIM Adapter and incorporates 8 channels of NIM to TTL converters and 8 channels of TTL to NIM converters in a 1-unit wide std. NIM module.

In order to increase its flexibility, the module is divided into four sections: the two upper sections perform the NIM to TTL conversion; the two lower sections, the TTL to NIM conversion. In each section a two-position switch allows logic inversion.

All the channels are DC coupled and do not have duty cycle limitations. The TTL output can deliver 2V on 50 Ohm and can therefore be connected to remote 50 Ohm loads through 50 Ohm coaxial cable with minimum signal degradation. Fast rise-and-fall times ensure reliable operations with minimum pulse width and maximum frequency.

SPECIFICATIONS

PARAMETER	NIM-TTL	TTL-NIM
Number of channels	8	8
Input impedance	50 Ohm	50 Ohm
Min. input pulse width	10 ns	12 ns
Output pulse amplitude	> 2 V	800 mV
Rise- and fall-time	< 3 ns	< 2 ns
Input-Output delay	< 8 ns	< 10 ns
Max. operating frequency	60 MHz	40 MHz

POWER REQUIREMENTS

- + 6V 0.23 A
- 6V 0.23 A

© 1998 caen.it, info@caen.it

Created on: 04/29/98 04:50 PM

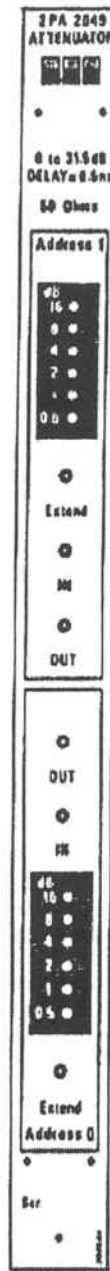
Last Modified: 05/22/98 12:50:19 PM

SEN 2049

Dual Programmable Attenuator

[[Page 1](#) | [Page 2](#) | [Retrieve other information](#)]

Page 1



Dual Programmable Attenuator 2PA 2049

The 2PA 2049 is a single-width CAMAC unit providing 2 channels of programmable attenuation for signals, pulses or levels whose level has to be adapted for measurement, multiplexing, delaying, etc ..

The attenuation occurs through integrated blocks providing 6 steps of attenuation from 0,5 db to 31,5 db in increments of 0,5 db. Six subminiature relays select the attenuator combination required.

These relays can be set in one of two ways :

- a) The relay position of the register for the attenuation concerned is loaded by a 6-bit word through a write command from the dataway.
- b) The contents of the register can be incremented manually, which is most useful when the optimum attenuation has to be found for a line, and is obtained by activating the 'Extend' push-button of the line concerned.

Whilst the button is held in, the value contained in the position register is incremented every 2/10ths of a second, and the front panel Led display of the register contents provides for rapid and accurate selections.

Since the relays cannot be set instantaneously, the module is fitted with an internal clock which generates an L-request as soon as the selection is completed.

This clock also comes into operation when manual selection is used; an L transmitted to the CAMAC system indicates that the selection has been completed and a new value may be read onto the dataway.

Page 2

CAMAC Functions

The subaddress 0 is associated with the lower half of the unit,

F(0), A(0)(1)	Reads the contents of the relay position register associated with channel 0 or 1 onto R1 - R5. Generates Q
F(8), A(0)(1)	Tests the state of the source L0 or L1. This source indicates that the relays associated to the addressed channel are positionned. Generates Q if L = 1
F(10), A(0)(1)	Clears L0 or L1
F(16), A(0)(1)	Loads the relay position register with the value of the attenuation required from W1-W5. Generates Q
F(24), A(0)(1)	Disables L0 or L1
F(26), A(0)(1)	Enables L0 or L1
F(27), A(0)(1)	Tests the Busy of the clock which defines the relay positionning time Generates Q if the relays are not yet positionned
Z	Clears the relay position register of to the channels and L0 and L1

All functions generate an X response.

SPECIFICATIONS

NUMBER OF CHANNELS	2
INPUT	50 Ω , Lemo 00 connectors
REFLECTION	$\leq 8\%$ with $\Gamma = 1ns$
RANGE	0db to 31,5db in increments of 0,5db + $\leq 0,5db$ of internal attenuation
SWITCHING	carried out by subminiature sealed relays controlled by a relay position register Switching time : 3,5ms
SETTING	front panel increment switch with automatic times or dataway command
PROPAGATION DELAY	6,5ns + 200ps per attenuation step
ACCURACY	$\leq 2\%$ per attenuation step
POWER REQUIREMENTS	+6V 500mA +24V 0-240mA
PACKAGING	single width CAMAC module which conforms to all EUR-4100 specifications

[[Go to top of page](#) | [Retrieve other information](#)]

CES 1320

16 Channel NIM Output Register

[[Page 1](#) | [Page 2](#) | [Page 3](#) | [Retrieve other information](#)]

Page 1

CAMDEB Line : Output register

OR 1320

Features -----

- 16 bit NIM Output Register
- Bit or Word programmable
- Pulsed Output mode
- User-programmable identification code
- LED display of output status and module status

General description -----

The OR 1320 is a simple CAMAC instrument of general use. The main application is to interface CAMAC to external instruments which use NIM-level control signals (typically Fast Electronics units).

It features a bit setting code which minimizes software effort.

Data can be loaded in the OR 1320 either as a 16 bit word or as a set of bits which are forced either to '0' or '1', the other bits remaining unaffected. This feature is very useful in test mode.

The output register can be read back. It is also displayed on the front panel.

The module can be operated in a 'pulse' mode, where the pattern appears on the outputs during S1 of the CAMAC cycle.

The register remains unaffected.

The pattern is triggered either by a CAMAC command or by a front-panel pulse input.

Page 2

F(0).A(0)	Read back the output register onto R1-R16. Q-response
F(6).A(0-15)	read 8-bit identification codes Nos. 0-15. Q-response
F(7).A(0-15)	Read 8-bit identification codes Nos. 16-31. Q-response.
F(16).A(0)	Loads the output register from W1-W16. Q-response.
F(18).A(0)	Selective set of output register bits from W1-W16. Q-response.
F(21).A(0)	Selective reset of output register bits from W1-W16. Q-response.
F(24).A(0)	Disable pulse mode. The contents of the output register are connected directly to the outputs.
F(25).A(0)	When in pulse mode, executes a pulse of duration equal to S1 on the active outputs. No action when in normal mode.
F(26).A(0)	Enable pulse mode. The contents of the output register are gated by F(25)A(0) or Ext. Pulse input before being connected to the outputs.
F(9).A(0)	Clear the output register (set all bits to 0)
?	Clear LAM, output register, disable pulse mode.

C and I are not used.

All functions generate X-response.

Specifications

Outputs : Lemo 00, NIM level.

Pulse shape : rise time max. 6ns
fall time max. 8ns

Ext. Pulse : Lemo 00, NIM level, high impedance
Input bridged input.

Pulse shape: minimum FWHM width: 12ns
minimum FWHM width at output: 8ns

Propagation delay : 19ns(+2, -2)

LEDs display the contents of the output register, and
the module status (normal or pulse mode)

Note 1 : If required, the OR 1320 can generate a LAM
when programmed in pulse mode with the external
pulse strobe, after the end of the strobe signal.
This feature is selected by a jumper located
between IC14 and IC18. The associated CAMAC
commands are:

F(8).A(0) Test LAM; Q-response if L=1

F(10).A(0) Clear LAM.

Power requirements

+6v , 1.4A

-6v , 0.6A

[[Go to top of page](#) | [Retrieve other information](#)]

Request a Quotation!

428F QUAD LINEAR FAN-IN/FAN-OUT

429A QUAD LOGIC FAN-IN/FAN-OUT

- 4 Inputs, and at Least 4 Outputs Per Channel
- Positive or Negative Inputs
- NIM Packaging
- High Speed

FOR COMBINING INPUTS OR DISTRIBUTING MULTIPLE OUTPUTS

Fan-in/fan-out units are accessory modules used to simplify the configuration of an experimental set up. The fan -in function adds or combines multiple analog signals and ORs logic signals for later processing. The fan-out function makes multiple outputs from one or more analog or logic inputs. Fan-outs are commonly used to distribute gate or veto signals over a number of data acquisition units.

LeCroy's fan-in/fan-out units are available for use with either analog (linear) or logic signals. They are NIM standard modules for maximum flexibility.

FEATURES

Multiple Independent Units - Each module contains four sections of fan-in/fan-out.

Multiple Inputs - 4 inputs per channel.

Multiple Outputs - Each channel has 4 outputs and the Model 429A also has 2 complementary outputs.

Flexible Accessory - Fan-in/fan-outs are useful utility modules which should be part of every lab.

FUNCTIONAL DESCRIPTION

Both fan-in/fan-out modules have the same basic function of combining the inputs and distributing multiple outputs. The Model 428F is used with linear (analog) inputs while the Model 429A is used with logic (NIM or TTL) signals. In either case, they are high performance versatile accessory modules which can be used in CAMAC crates if desired with the Model 4501A NIM-to-CAMAC adaptor.

Model 428F

Each channel of the Model 428F Quad Linear Fan-In/Fan-Out contains 4 direct-coupled linear outputs. The bipolar inputs, together with the polarity switch, allow convenient summing of either anode or dynode pulses. An output swing of +100 mV to -2 V is compatible with all normal analog inputs (e.g., discriminators, ADCs, etc.) and also accommodates standard logic levels. Each of the 428F's inputs is provided with input protection circuitry which gives immunity to transient signals up to ± 5 A for 0.5 microseconds.

The incorporation of the polarity switch is particularly significant in that it enables convenient, direct use of the fanned-out dynode signals for multiple fast logic decisions, while the anode signal can be directly applied to a current-integrating ADC.

All outputs are reverse-terminated and mutually isolated. The 428F utilizes a direct-coupled feedback-stabilized circuit design that provides excellent linearity, long-term stability, and uniformity of gain and pulse shape. The speed of the unit is suitable for all common photomultiplier and logic signals, and there are no duty cycle limitations or rate effects in the Normal Mode.

In the Inverting Mode, the 428F operates as a capacitively-coupled unit with a 400 μ sec time constant, recovering to the average non-inverted DC input level. In addition, the 428F exhibits duty-factor related base-line shifts equal to twice that of a normal AC-coupled circuit. Thus, although the Inverting Mode provides great versatility and convenience in application, some care must be exercised when using this mode with wide inputs or at high rates.

Model 429A

The Model 429A is a multi-functional fast logic module designed to fulfill a wide variety of signal handling needs. It combines the operations of TTL-to-NIM level translation, logic fan-in, logic fan-out, and polarity inversion in one low-cost module. Each of the 4 channels of the 429A has four inputs which accept both NIM and TTL levels. This is particularly useful for test setups and experiments where digital triggers and/or control logic may use both signal standards.

Each channel of the 429A includes four independent logic inputs, four normal logic outputs, and two complementary logic outputs. Channels may be paralleled to provide up to 16 inputs and 24 outputs by means of a front-panel switch. An efficient circuit design holds power dissipation of the entire module to within the NIM standard.

The 429A eliminates the extra cabling and time delay involved when conventional fan-ins and fan-outs must be cascaded. In addition, it eliminates the common use of expensive logic units to perform logical ORing with adequate fan-out. The ability to conveniently parallel channels permits the 429A a degree of flexibility and efficiency heretofore unavailable.

Inputs are 50 ohm impedance for NIM or TTL signals. Unused inputs need not be terminated. Inputs may be driven with single or double amplitude NIM signals or TTL signals without affecting output amplitude. The three pairs of bridged outputs are direct-coupled current sources which deliver -32 mA into two 50 ohm loads. Output duration is equal to the logical OR of the input durations.

The circuitry of the 429A is completely direct-coupled and compatible with either normal or complementary logic signals in any duty ratio. Channel paralleling is accomplished by means of a single front-panel locking switch that is not in the signal path and hence permits switching with minimal effect on signal fidelity. Front-panel LEDs located between channels light to indicate channels that are combined, providing a clear, easily-interpreted display of the unit's status.

SPECIFICATIONS

Model 428F

Number of Sections: 4 independent sections with 4 inputs per section. A front-panel switch on each

section which selects normal or inverting mode.

INPUT

No. of Inputs: 4 per channel; 50 ohm $\pm 5\%$; direct-coupled in non-inverting mode. In inverting mode operates as a capacitively-coupled unit with a 400 μsec time constant. Inputs protected against 0.5 μsec transient overloads, up to $\pm 5\text{ A}$.

Signal Level Requirements: Positive or Negative analog signals.

Reflection Coefficient: Less than 7% for inputs of 2 nsec rise time.

OUTPUT

No. of Outputs: 4 per channel; reverse-terminated; direct-coupled; for optimum output shape, three outputs must be terminated into 50 ohm. For proper operation, at least 2 outputs must be terminated on each channel used.

Output Levels: Linear range in normal mode is limited to: +100 mV to $> -2\text{ V}$, with maximum amplitude of $> -2\text{ V}$ into 50 ohm and gain of $1.0 \pm 2\%$ up to -2 V . Linear range in inverting mode: +100 mV to $> -1.5\text{ V}$, with maximum amplitude of $> -1.5\text{ V}$ into 50 ohm and gain of approximately 0.98 up to -1.5 V .

Rise Times: 2.5 nsec, 10% to 90%, with outputs terminated in 50 ohm.

Fall Times: 4 nsec 10% to 90%, with outputs terminated in 50 ohm. Integral non-linearity: $\pm 1\%$ up to -1 V .

MISCELLANEOUS

DC Offset: Adjustable with front-panel potentiometer. Care should be taken to readjust DC level whenever the Normal/Inverting switch is used. Stability: $< 60\text{ }\mu\text{V}/^\circ\text{C}$ in normal and inverting modes.

Output DC Level Voltage Coefficient: $< 25\text{ }\mu\text{V}/1\%$ variation of any supply voltage in normal and inverting modes.

Interchannel Isolation: 40 dB.

Noise: $< 750\text{ }\mu\text{V}$ R.M.S.

Overload Recovery: Approximately 2 nsec with four simultaneous NIM level (-800 mV) inputs.

GENERAL

Rate: DC to 100 MHz typically.

Input/Output: $< 6\text{ nsec}$.

Duty Cycle Limitations: None for direct-coupled outputs.

Packaging: RF-shielded AEC/NIM #1 module. Lemo-type connectors.

Power Requirements: 80 mA at +24 V, 80 mA at -24 V, 160 mA at +12 V, 160 mA at -12 V.

Model 429A

Number of Sections: 4: may be cascaded by means of front-panel switch to form dual 8-fold fan-in/12-fold fan -out or single 16-fold fan-in/24-fold fan-out, with LED indication.

INPUT

Number of Inputs: 4 per section; 50 ohm $\pm 5\%$; direct-coupled. Quiescent level is 0 V DC.

Signal Level Requirements: Standard NIM logical 1 input levels, -12 mA to -36 mA; Standard TTL logical 1 input levels, +2 V to +5 V; signal width must be 4 nsec minimum, FWHM.

Reflection Coefficient: < 10% for input rise times 2 nsec.

OUTPUT

Number of Outputs: 4 normal (2 bridged pairs); 2 complementary (1 bridged pair).

Output Levels: Normal NIM (quiescently 0 mA, -32 mA into two 50 ohm loads during output). Complementary NIM (quiescently 32 mA into two 50 ohm loads, 0 mA during output). Duration is equal to the logical sum of the input durations.

Rise Times: 2.3 nsec typical, 2.8 nsec maximum.

Fall Times: 2.3 nsec typical, 2.8 nsec maximum.

MISCELLANEOUS

Time Variation of Output with Input Amplitude: < 1 nsec worst case between inputs of -600 mV and -1.6 V; typically < 0.5 nsec.

Time Variation Between Outputs: 4 channels, 4 x 6 operation: < 0.2 nsec; 2 channels, 8 x 12 operation: < 0.4 nsec; 1 channel, 16 x 24 operation: < 0.9 nsec.

GENERAL

Rate: DC to 100 MHz.

Input/Output: < 6.5 nsec.

Duty Cycle Limitations: None.

Packaging: RF-shielded AEC/NIM #1 module. Lemo-type connectors.

Power Requirements: 35 mA at +12 V, 50 mA at -12 V, 295 mA at +6 V, 460 mA at -6 V.

Copyright© September 1995. LeCroy is a registered trademark of LeCroy Corporation. All rights reserved. Information in this publication supersedes all earlier versions.

Click model number for photo

623B OCTAL, 100 MHz DISCRIMINATOR

821 QUAD, 100 MHz DISCRIMINATOR

4608C OCTAL, 150 MHz DISCRIMINATOR

- NIM Packaging
- High Speed
- Variable Threshold and Output Width Per Channel
- Good Stability
- No Multiple Pulsing

GENERATION OF LOGIC PULSES FROM ANALOG SIGNALS

A discriminator generates precise logic pulses in response to its input exceeding a given threshold. Output pulses are of standard amplitude and of preset duration or proportional to the input rate. The threshold is a specific voltage of interest to the user (which can be set above some critical noise level or correspond to a physical quantity such as energy). In other applications, the threshold level can correspond to a certain level of integrated rates (coincidence events).

The output of a discriminator can be used to trigger or gate associated portions of the data collection system or to generate pulses which are to be counted. It may also be integrated into a complex logic system allowing sophisticated decisions to be made in real time.

LeCroy's family of NIM discriminators offers flexibility and versatility with features such as at least three outputs per channel, adjustable output width and variable threshold level settings. The low minimum threshold levels permit the use of lower gain photomultipliers, long input cables and often avoid the need for preamplifiers.

FUNCTIONAL DESCRIPTION

LeCroy's NIM discriminators offer versatility, high speed, multiple input and high performance packaged in single -width NIM modules. All models have small double pulse resolution times and have updating capabilities to reduce dead time. Input signal threshold levels as well as output pulse widths are fully adjustable over a wide range for each channel. Each module offers at least three outputs per channel for added convenience and has a maximum counting rate exceeding 100 MHz. In addition, a common Veto or Inhibit is provided.

Each module offers a variable threshold from -30 mV (-15 mV for the Model 4608C) to -1 V via a front-panel screwdriver adjustment for each channel. The low threshold level is useful when working

with signals directly from photomultipliers and other detectors. A monitor point is provided to permit measurement of the threshold level with a voltmeter, assuring accurate results even in varied operating environments. Threshold stability is 0.3%/°C or better. Low input reflections make these units less sensitive to multiple pulsing.

The Model 623B and the Model 821 operate at maximum rates of 100MHz while the Model 4608C operates up to 150 MHz. All modules have updating capability which permits retriggering while an output from a previous input is still present. A second pulse, which exceeds threshold while an output is already occurring extends the present output by the preset width. However, if the second threshold crossing occurs within the double pulse resolution time, the module will not respond. This configuration is useful when the discriminators are used in DC coincidence logic.

The 821 and 4608C have a selectable Burst Guard operation. In this mode, the output is extended until the falling edge of the last pulse of the burst when input pulses are separated by less than the resolving time. This feature is particularly important when the module is used in Veto applications.

Although the actual width depends on the rate of input and the mode of operation, outputs of the modules are NIM Standard (see Application Note AN-34) level signals with minimum widths set by the front-panel controls. There are a minimum of three standard negative NIM outputs per channel. In addition, the 821 and the 4608C both have one complementary output per channel.

The 4608C includes a built-in test feature which simulates an input signal for each channel. The test feature is enabled with the receipt of a NIM level applied to the front-panel Lemo connector and permits rapid simultaneous testing of all channels.

SPECIFICATIONS

Model 821

INPUT

Signal Inputs: Four inputs via Lemo connectors, 50 ohm $\pm 5\%$ protected to ± 5 A for 0.5 μ sec, clamping at +1 and -7V. Reflections: < 1% for input pulses of 3nsec rise time. Offset 0 ± 2 mV.

Threshold: -30mV to -1.0 V; front-panel screwdriver adjustment. Stability: 0.2%/°C over 20°C to 60°C operating range. Threshold Monitor has 10:1 ratio of monitor voltage to actual voltage, $\pm 5\%$. Hysteresis: 15 mV.

Veto: Front-panel connector permits simultaneous inhibiting of all channels; 50 ohm; requires NIM-level signal; direct-coupled, must overlap leading edge of input signal. Must precede input by approximately 5 nsec to inhibit. Minimum width 5nsec.

Bin Gate: Slow gate via rear connector and rear-panel ON-OFF switch; rise times and fall times approximately 50 nsec; clamp to ground from +5 inhibits; direct-coupled.

OUTPUT

Negative Outputs: Two bridged pairs (0 mA quiescently, -32 mA during output). Amplitude limit of -1.2 V. Rise time < 2.0 nsec, fall time < 2.5 nsec typical but slightly longer on wider output durations. Width Stability is < $\pm 0.2\%$ /°C maximum. Duration of output depends on mode of operation selected by front panel switch.

Update Only Mode: 5 nsec to 1 μ sec, continuously variable up to 600 nsec with a setting for 1 μ sec via front -panel screwdriver control. (Narrower widths possible at slight expense of amplitude.)

Burst Guard Mode: Output duration is either equal to the time-over-threshold of the input signal or equal to the preset duration, whichever is greater. For input burst rates greater than the DPR of the unit, the output is equal to the duration of the burst.

Fast Negative Timing Output: Differential type current source (0 mA quiescently, -16 mA in 50 ohm during output). Rise time is typically 1.5 nsec.

Complementary Output: As above except levels opposite.

GENERAL

Maximum Rate: 110 MHz typical, input and output.

Double Pulse Resolution: < 9 nsec.

Time Slewing: < 1 nsec for input amplitudes 110% of threshold and above.

Input-Output Delay: 9.5 nsec, typical.

Multiple Pulsing: None; one and only one output pulse of preset duration is produced for each input pulse regardless of input pulse amplitude or duration.

Rate LED: One per channel. Indicates discriminator output; 10 msec stretching.

Model 4608C

INPUT

Signal Inputs: Eight inputs via Lemo front-panel connectors, 50 W $\pm 5\%$ protected to ± 5 A for 0.5 μ sec clamping at ± 5 V. Reflections: < 4% for input pulses of 2 nsec rise time.

Threshold: -15 mV to -1 V ± 2.5 mV or $\pm 5\%$, whichever is greater. Stability: better than 0.3%/°C to 60°C operating range. Offset ± 3 mV. Threshold Monitor: front-panel test point has 10:1 ratio of monitor voltage to actual voltage $\pm 5\%$. Hysteresis: Typical 3.5 mV.

Test Input: One NIM input via a Lemo connector on the front-panel, 50 ohm $\pm 5\%$, triggers all channels. Minimum width: 3 nsec. Maximum rate: 150 MHz.

Veto Input: One NIM input via a Lemo front-panel connector, 50 W $\pm 5\%$, permits simultaneous fast inhibiting of all channels. Must precede input signal by approximately 1 nsec and overlap its leading edge in Update Mode or completely overlap input signal in Burst Guard Mode. Minimum duration: 3 nsec.

OUTPUT

Negative Outputs: Three outputs, NIM (0 mA quiescently, -50 mA ± 6 mA during output, -800 mV into three 50 W loads). Amplitude limited to -1.2 V. Duration 4.5 nsec to > 100 nsec. Rise times and fall times less than 2 nsec. Width stability better than 0.3%/°C, 821, 4608C max.

Complementary Output: One output, NIM ($16\text{ mA} \pm 2\text{mA}$ quiescently, 0mA during output). Duration, rise times, fall times, and width stability specifications are identical to those of negative outputs.

Veto Input to 4608C with Updating and Burst Guard Operations Diagram.

GENERAL

Maximum Rate: 150 MHz.

Double Pulse Resolution: Typical, 5 nsec.

Time Slewing: 500 psec for input amplitudes from

2x to 20x over threshold.

Input-Output Delay: < 18 nsec.

Test-Output Delay: < 18 nsec.

Multiple Pulsing: None, one and only one output pulse is produced for each input pulse regardless of input pulse amplitude and duration.

Burst Guard: A front-panel switch enables the Burst Guard or Updating operation for all channels.

Comparison of Updating and Burst Guard Modes with various fast input signals. DPR is the Double Pulse Resolution.

NIM DISCRIMINATORS SELECTION CHART

Copyright© September 1995. LeCroy is a registered trademark of LeCroy Corporation. All rights reserved. Information in this publication supersedes all earlier versions.

MODEL N 93 B

DUAL TIMER

FEATURES

- Manual or pulse triggered START (NIM or ECL input).
- Monostable (retriggerable) or bistable operation.
- NIM and ECL output pulses from 50 ns to 10 s.
- Manual or electrical RESET.
- (NIM and ECL) END-MARKER pulse.
- Flashing LED for operation monitoring.
- Veto input.

DESCRIPTION

The Dual Timer Model N 93 B (derived from CERN type 2255) consists of two identical triggered pulse generators in a one unit wide NIM module.

They produce fast NIM and ECL pulses with adjustable width from 50 ns to 10 s, and are retriggerable before the end of the output signal.

The END-MARKER, a short output pulse at the end of the timing cycle, can be used for delayed triggering of other units or, if fed back into the START input, it provides a self-running rate generator that can be started and stopped at will.

By cascading the two sections of the module, a pulse generator with independently adjustable rate and width can be obtained.

SPECIFICATIONS

(each section)

INPUT SIGNALS

START: 2, NIM and ECL, leading edge sensitive. Minimum width 5 ns. Momentary Switch for single cycle operation.
VETO: 1, NIM input. NIM true level at VETO input disables the START input (within ± 2 ns of START leading edge).
RESET: 1, NIM signal. Minimum width: 7 ns (15 ns for recurring operations). It can be applied at any point of the timing cycle. Produces END-MARKER.

OUTPUT CHARACTERISTICS

OUTPUTS: Two normal independent, one complementary NIM level and one ECL.
WIDTH: 50 ns to 10 s in 9 decade steps, with a potentiometer and locking dial for fine adjustment (*).

Accuracy $\pm 10\%$ of full scale, with adequate range overlap.

Temperature coefficient $0.001/^{\circ}\text{C}$ of setting.

Switch position "Infinity" for bistable operation.

(*) Fine adjustment below the low end of any range is impractical.

A more accurate setting is obtained at the high end of the lower range.

DEAD TIME: Shorter than the cycle time. The timer can be triggered well before the end of the timing cycle.

RISE/FALL TIME: < 2 ns.

INPUT-OUTPUT DELAY: Delay from Start to leading edge of output, or from Reset to trailing edge, is approx. 13 ns.

END MARKER: NIM and ECL output, 15 ns wide output pulse leading edge is coincident with the trailing edge of outputs within 2 ns. Can be connected to Start input for free running operation (sequence activated by the START switch).

LED: Flashes for 0.1 s or output width, whichever is longer. At high rates the lamp has its own flashing rate.

NIM connectors are LEMO 00 type

ECL connectors "TWISTED PAIR" type

POWER REQUIREMENTS

+24 V 40 mA

-24 V 18 mA

+12 V 17 mA

+ 6 V 55 mA

- 6 V 560 mA

© 1998 caen.it, info@caen.it

Created on: 04/29/98 05:10 PM

Last Modified: 05/22/98 12:50:19 PM

MODEL C 221

16 CHANNEL MULTIPLEXED DAC

FEATURES

- One unit wide CAMAC module.
- Output voltage ranges settable via internal jumpers.
- Offset on output channels adjustable via internal trimmer.
- 12-bit resolution.
- Short circuit protection.

DESCRIPTION

The **Model C 221** is a 16 channel multiplexed DAC with output voltages settable by a 12-bit Digital to Analog Converter connected to 16 sample-and-hold circuits.

Six output voltage ranges are selectable via internal jumpers.

The Voltage value, set via CAMAC functions, is stored (according to the selected address) into one of the 16 internal registers.

These values are cyclically used for the analog memories refreshing.

The stored values can be read by the 16 CAMAC Read Lines at any time.

The power-on or the reset procedure disables all the outputs (all the output values are set to zero) until the corresponding registers are written via CAMAC functions.

It is possible to check the status of the outputs (ON/OFF) by the Read Line 13. The output status is displayed on the relevant front-panel LEDs.

CAMAC FUNCTIONS

F(0) N A(n): Reads the values stored into the internal registers. $n = 0$ to 15. The READ Lines R1 to R12 give the value and the Read line R13 gives the channel status (ON/OFF). The function does not affect the internal Refresh cycle.

F(16) N A(n): Writes the output voltage values into the internal registers. $n = 0$ to 15. The WRITE Lines W1 to W12 set the value. The write operation automatically enables the relevant output channel. The function does not affect the internal Refresh cycle.

F(17) N A(n): Same as F(16), but the write operation resets the refresh counter to the selected channel value. This function may be however used when an immediate action is required.

Z, C: Disables all the outputs. All the output values are set to zero until a write operation is performed.

All the functions above give X and Q response. After a function has been performed, the access via CAMAC is denied during 15 μ s to guarantee the correct Refresh cycle.

SPECIFICATIONS

CONNECTORS:

16, Lemo 00 type.

DISPLAYS:

16, red LEDs (1 to 16), displaying the status of the outputs.
3, red LEDs (+ 12, - 12, + 6), displaying the status of the relative voltage.
1, red LED (SEL), monitoring the CAMAC memory access.
1, red LED (ON), monitoring the internal Refresh sequence.

INTERNAL JUMPERS:

8, for setting the output voltage ranges .

OUTPUT VOLTAGE RANGES:

0 V to ± 10 V
0 V to ± 5 V
-10 V to +10 V
-5 V to +5 V

CHARACTERISTICS OF THE SIGNALS:

- output maximum current: 50 mA;
- resolution: 12 bits;
- differential non-linearity: $\pm 1/2$ LSB;
- integral non-linearity: ± 1 LSB;
(max. deviation from a straight line passing through the endpoints of the DAC transfer function)
- offset on output channels adjustable via internal trimmer,
- voltage maximum drift: 50 ppm/°C of F.S.;
- short circuit protection;
- update time: 2 ms max. for F(16), 300 μ s for F(17).

POWER REQUIREMENTS

+24 V 800 mA
-24 V 950 mA
+6 V 1.42 A
-6 V 800 mA

NOTE:

An internal circuitry generates the power supplies +12 V and -12 V.

© 1998 caen.it, info@caen.it

Created on: 04/27/98 12:24 PM
Last Modified: 05/22/98 12:50:18 PM

Request a Quotation!

365AL DUAL 4-FOLD MAJORITY LOGIC UNIT

465 TRIPLE 4-FOLD LOGIC UNIT

622 QUAD 2 INPUT LOGIC UNIT

- NIM Packaging
- High Speed
- Multiple Input
- Multiple Output
- Selectable Number of Coincident Inputs

FOR HIGH SPEED LOGIC OPERATIONS

A logic unit generates a precise standard pulse when the inputs correspond to preset logical conditions. The inputs to the logic modules are standard NIM logic levels typically generated by a discriminator or another logic module. The inputs are restandardized and then compared to the setting of the module.

The logical conditions which can be selected are 4-fold, 3-fold (Model 365AL and Model 465), AND (all units) and an OR (Model 365AL and Model 622). If only one input is selected, then the units will act as a logic fan-out. The output of the logic module has a duration that is either the same period as the coincidence of the inputs (465) or is adjustable via a front-panel potentiometer for maximum flexibility. The output of a logic module is typically part of a trigger system which triggers, gates or disables a data acquisition system.

LeCroy's family of NIM logic modules are flexible and versatile. They offer a number of features and can be easily configured.

FEATURES

Multiple Channels - Each module has up to 3 channels and has 2 or 4 inputs per channel. A minimum of 5 outputs are available.

High Speed - All modules have greater than 110 MHz operation. In addition, all channels have adjustable output pulse widths.

Selectable Logic Function - Each unit has a switch selectable logic function from 4-fold coincidence (365AL and 465), to majority logic (365AL) to AND/OR (622).

High Performance - All three modules experience no multiple pulsing, have good output width stability and as low as 5 nsec double pulse resolution.

FUNCTIONAL DESCRIPTION

LeCroy's NIM logic units offer flexibility, versatility, high speed and performance packaged in a single width NIM module. All together they provide the functions of majority logic, up to 4-fold coincidence, fan-in and fan-out and AND/OR Logic along with > 110 MHz operation. Each of the channels accept up to 2, Model 622, or 4, Model 365AL and Model 465, standard NIM logic signals.

Both the 365AL and the 465 have inputs which may be individually enabled or disabled without altering cabling or termination by means of front-panel switches. In the 465, with all inputs enabled, four inputs are required. Disabling the logic inputs is equivalent to reducing the number of simultaneous negative input signals required for an output. Thus, each channel may be programmed for 4-fold, 3-fold or 2-fold logic decisions. With only one input enabled, each channel operates as a logic fan-out.

The 365AL, however, has a selectable number of coincidence values to allow programming of one to four simultaneous input signals required for an output. Thus, it can operate similar to the 465 or can be used for the majority logic as well as a logic fan-in. Alternatively, the 622 features 4 channels with switch selectable AND or an OR output condition of the two inputs.

All three units offer at least 2 sets of bridged outputs and at least one complementary output as well as continuously adjustable output pulse duration. The output pulse width is set via a front-panel screwdriver control pot from 5 nsec to 600 nsec for the 622. The outputs are highly stable and independent of input amplitude, duration and rate. All units are updating and can be retriggered before the end of an output pulse. The 465 also has bridged overlap outputs (-32 mA) whose output pulse width is equal in duration to the coincidence overlap.

Note that each unit can be used in a CAMAC crate with the Model 4501A NIM-to-CAMAC adapter.

SPECIFICATIONS

Model 365AL

INPUT

Logic Inputs: 4 Lemo-type connectors; 50 ohm impedance; negative NIM level input requirements; each input can be separately enabled or disabled.

Veto Input: Lemo-type connector; 50 ohm impedance; negative NIM level input requirements. Requires 3 nsec minimum width delayed 3 nsec from leading edge of input.

Bin Gate: Via rear connector; clamp to ground from +4 V inhibit; rise times and fall times < 50 nsec.

OUTPUT

Outputs: 3 pairs; 2 negative (quiescently 0 mA, -32 mA during output), one complementary (quiescently -32 mA, 0 mA during output).

Fan-out: 6-fold, if each output drives two 50 W loads. (Any used output pair should drive 25 ohm for

proper amplitude and shape.)

Duration: Continuously adjustable from less than 4 nsec to greater than 50 nsec by means of front-panel screwdriver-adjustable potentiometer. Updating.

Output Rise and Fall Times: 1.2 nsec typical. Fall time is 2.2 nsec maximum at 10 nsec pulse width and longer.

GENERAL

Functions: AND; OR; Majority Logic; Leading Edge Inhibit; Complement; Pulse standardization without multiple pulsing; coincidence level determined by front-panel selector.

Coincidence Width: 1 nsec and up, determined by input pulse durations.

Rate: 150 MHz minimum.

Input-Output Delay: Approximately 10 nsec.

Double Pulse Resolution: Typical 5 nsec; (6.5 nsec for triple pulses).

Packaging: NIM single-width module; Lemo-type connectors used for all inputs and outputs.

Power Requirements: 55 mA at +12 V (increases to 120 mA if both channels in 4-fold coincidence), 165 mA at -12 V, 22 mA at -24 V.

Model 465

INPUT

Logic Inputs: 4; Lemo connectors; 50 ohm impedance; negative NIM-level input requirements; each input can be separately enabled or disabled by front-panel push-buttons.

Veto Input: Standard negative NIM-level signal, 3.5 nsec minimum width. Requires complete overlap of input coincidence for linear outputs and prompt overlap of the leading edge of the input signal that would otherwise create the coincidence condition for the preset outputs. (Veto should precede this leading edge by approximately 5 nsec in this case.)

Bin Gate: Via rear connector; clamp to ground from +4 V inhibits; rise times and fall times < 50 nsec.

OUTPUT

Preset: 3; one bridged negative (quiescently 0 mA, -32 mA during output) one complementary (quiescently -16 mA, 0 mA during output). Updating.

Overlap: One bridged negative; quiescently 0 V, -32 mA during output; duration equal to coincidence overlap. Non-updating.

Fan-Out: 5 fold, if each output drives a 50 ohm load.

Duration: Continuously adjustable from less than 5 nsec to greater than 500 nsec by means of front-panel screwdriver-adjustable potentiometer. Width stability better than $\pm 0.2\%/^{\circ}\text{C}$.

Output Rise Times: OUT: 2.0 nsec typical (maximum 2.5 nsec). OUT*: 2.2 nsec typical (maximum 2.5 nsec; 3.0 nsec with negative output unterminated).

Output Fall Times: OUT: 2.0 nsec typical (maximum 2.5 nsec). OUT*: 2.2 nsec typical (maximum 2.5 nsec). Both are slightly longer on wide output durations.

GENERAL

Functions: 2-fold, 3-fold, or 4-fold coincidences plus fan-out determined by selectively disabling logic input.

Coincidence Width: > 1 nsec, determined by input pulse durations.

Rate: 0 to > 120 MHz.

Input-Output Delay: 13 nsec for preset outputs; 8.5 nsec for overlap output.

Double Pulse Resolution: 8 nsec.

Multiple Pulsing: None; one and only one output pulse of preset duration is produced each time the input conditions are satisfied regardless of the duration of the input pulses or their overlap.

Packaging: Single-width AEC/NIM module; in conformance with AEC standard; Lemo connectors used for all inputs and outputs.

Power Requirements: 65 mA at +12 V, 135 mA at -12 V, 125 mA at +6 V, 640 mA at -6 V, 5 mA at -24 V.

Model 622

INPUT

No. of Channels: 4, all identical.

Logic Inputs: 2, 50 ohm direct-coupled; reflections < 7% for standard negative NIM of 2 nsec rise time.

Veto Input: Front-panel connector permits simultaneous inhibiting of all channels; 50 ohm; requires negative NIM-level signal; direct-coupled; must overlap leading edge of input signal that would otherwise cause the coincidence condition; must precede input by approximately 5 nsec.

Bin Gate: Via rear connector, with rear-panel ON/OFF switch; quiescently +4 V, clamping to ground inhibits logic unit; direct-coupled; rise times and fall times approximately 50 nsec.

OUTPUT

Bridged Negative: 2 pairs; NIM (quiescently 0 mA, -32 mA during output), duration, 5 nsec to 1 μ sec, continuously variable up to 600 nsec via front-panel screwdriver control (narrower widths possible at slight expense of amplitude); rise times and fall times (all outputs terminated in 50 ohm) typically 2.0 nsec (maximum 2.5 nsec). Output fall times slightly longer on wide output durations. Width stability better than $\pm 0.2\%/^{\circ}\text{C}$ maximum. Updating.

Fast Negative Timing: One NIM (quiescently 0 mA, -16 mA during output). Other characteristics same as above, except rise times are typically 1.5 nsec (maximum 2.0 nsec) and minimum width is < 6 nsec.

Complementary: One NIM (quiescently, -16 mA, 0 mA during output). Other characteristics same as for Fast Negative Timing Output.

GENERAL

Functions: Fan-in (2-fold); coincidence; inhibit.

Coincidence Width: Determined by input pulse durations; total widths approximately 1.0 nsec and up.

Rate: 110 MHz typical, input and output.

Input-Output Delay: 9.5 nsec typical.

Double Pulse Resolution: < 9 nsec at minimum output width setting.

Multiple Pulsing: None; one and only one output pulse of preset duration is produced for each input pulse, regardless of input pulse amplitude or duration.

Packaging: In RF-shielded, AEC/NIM #1 module (AEC Report #TID-20893); Lemo-type connectors.

Power Requirements: 450 mA at -6 V, 215 mA at +6 V, 165 mA at -12 V, 20 mA at +12 V, 85 mA at -24 V.

NIM LOGIC UNIT SELECTION CHART

Copyright© July 1996. LeCroy is a registered trademark of LeCroy Corporation. All rights reserved. Information in this publication supersedes all earlier versions. Specifications and prices subject to change without notice.

MODEL C 243

8 CHANNEL 100 MHz SCALER

FEATURES

-
- 4-unit wide CAMAC module.
- 8 independent 8-digit BCD counters.
- TTL and NIM inputs.
- 100 MHz maximum counting frequency.
- INHIBIT and CLEAR inputs.
- CARRY output for each odd-numbered counter.
- Manual CLEAR.

DESCRIPTION

The **Model C 243** is a 4-unit wide CAMAC module provided with 8 independent 8-digit BCD counters controllable via CAMAC functions. Each counter can accept either TTL or NIM inputs. Control and output signals (INHIBIT, CLEAR, CARRY) are standard NIM. The maximum counting frequency is 100 MHz.

Counters can have different operating modes and can be variously interconnected, thereby making the module a flexible and powerful tool for several applications. A CARRY output connector is available on each odd numbered counter, and can be connected to a NIM input connector of another counter in order to obtain a 16-digit scale; it is possible to obtain a scale with up to 40-digit.

An INHIBIT signal sent to the upper or lower INH connector, inhibits the first four counters or the last ones respectively. Both the connectors can be connected to each other, in order to inhibit all the counters at the same time.

The previously mentioned information is also valid for a CLEAR signal and the relevant CLR connectors. The front-panel push-button MAN CLR clears all the counters simultaneously.

CAMAC FUNCTIONS

F(0) N A(n): After an F(15)N has been performed it reads the scales according to the **n** value:

n	READ	(R1 to R16)
0	CH1	Least Significant Digits
1	CH1	Most Significant Digits
2	CH2	Least Significant Digits
3	CH2	Most Significant Digits
.		
.		
14	CH8	Least Significant Digits
15	CH8	Most Significant Digits
Q response if the datum has been latched with the module in INHIBIT mode.		

The value on the front panel 8-digit segment LED is read from CAMAC in BCD mode.

Example:

CH 1 display 1 2 3 5 7 8 9 1

With F(0) N A(0) the read line R1 to R16 will have: 0111/1000/1001/0001-

with F(0) N A(1) the read line R1 to R16 will have: 0001/0010/0011/0101

F(2) N A(n): Same as F(0) N A(n), but at the reading end (n=15) all the scales are reset.

F(9) N A(n): Clears the scales according to the n value:

n	CLEAR SCALE
0	ALL
EVEN	1 to 4
ODD	5 to 8

F(15) N: This function is used to latch the data before reading them by an F(0) N A(n) or F(2) N A(n) function.

F(24) N A(n): Sets the INHIBITS according to the n value:

n	INH SCALE
0	ALL
EVEN	1 to 4
ODD	5 to 8

F(25) N: Increases all the scales in order to test (1 counting unit).

F(26) N A(n): Resets the INHIBITS according to the n value:

n	RESET INH SCALE
0	ALL
EVEN	1 to 4
ODD	5 to 8

C and **Z** commands reset scales and INHIBITS. **X:** X response is generated for each valid function. **Q:** Q response is generated for each valid function unless otherwise specified

NOTE: The module's station number corresponds to the slot in which the edge connector of the module has been inserted (4th CAMAC unit occupied).

SPECIFICATIONS

DISPLAYS:

8, 8-digit segment LEDs.

INPUTS:

8, "Input signals", std. TTL level; max. frequency 100 MHz; min. width 5 ns.
8, "Input signals", std. NIM level; max. frequency 100 MHz; min. width 5 ns.
2, "INHIBIT" std. NIM level; minimum width 5 ns; it must precede the input signal by 2 ns.
2, "CLEAR A, B", std. NIM level; minimum width 5 ns.
1, "MAN CLR", push-button.
CLR A - INH B: must be terminated with 50 Ohm.
CLR B - INH A: do not require termination.

OUTPUTS:

4, "CARRY", std. NIM level; min. width 5 ns.

CONNECTORS:

All Lemo 00 type.

POWER REQUIREMENTS

+6 V 1.4 A
-6 V 230 mA

© 1998 caen.it, info@caen.it

Created on: 04/27/98 02:01 PM
Last Modified: 05/22/98 12:50:18 PM