

Lab 5. OTA Miller de dues etapes.

1. Objectiu de la pràctica

Dissenyar, simular i caracteritzar amplificadors operacionals.

2. Amplificadors operacionals

L'amplificador operacional (opamp) és un component essencial del disseny del sistema analògic. És similar a l'amplificador de transconductància operacional (OTA), però la gran diferència és que l'OTA treballa amb una sortida en corrent mentre que l'opamp ho fa en tensió. De totes formes, quan l'opamp és dissenyat per atacar càrregues capacitives la topologia pot ser molt similar.

El disseny de circuits integrats, així com el disseny a nivell de la placa, utilitza en gran mesura amplificadors operacionals. Aquest component és bàsicament un amplificador de tensió d'alt guany. Els amplificadors operacionals s'utilitzen en molts sistemes analògics com ara filtres, reguladors i generadors de funcions. Aquest dispositiu també s'utilitza per crear buffers, amplificadors logarítmics i amplificadors d'instrumentació. L'amplificador operacional també pot funcionar com un comparador simple. El coneixement de la funció i el disseny de l'amplificador operacional és clau en el disseny analògic.

El símbol d'un amplificador operacional es mostra a la Figura 1. El dispositiu bàsic té dues entrades i una única sortida.

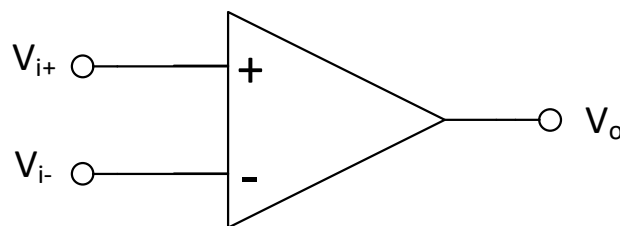


Figura 1. Símbol de l'amplificador operacional.

Com hem comentat anteriorment, l'amplificador operacional funciona com un amplificador de tensió. La relació entre la tensió d'entrada i de sortida ve donada per:

$$V_o = A_{V0}(V_{i+} - V_{i-}) \quad (1)$$

L'amplificador té un guany d'alta tensió ($A_{V0} > 1000$ per als opamps CMOS). A causa del gran guany, la regió lineal és molt estreta. La Figura 2 il·lustra la característica típica d'entrada-sortida per a un amplificador operacional en bucle obert o bé amb retroalimentació. La traça de bucle obert (sense retroalimentació) mostra que la regió lineal només té uns quants mV d'amplada. A la Figura 2, la característica d'entrada-sortida de bucle obert és clarament no lineal.

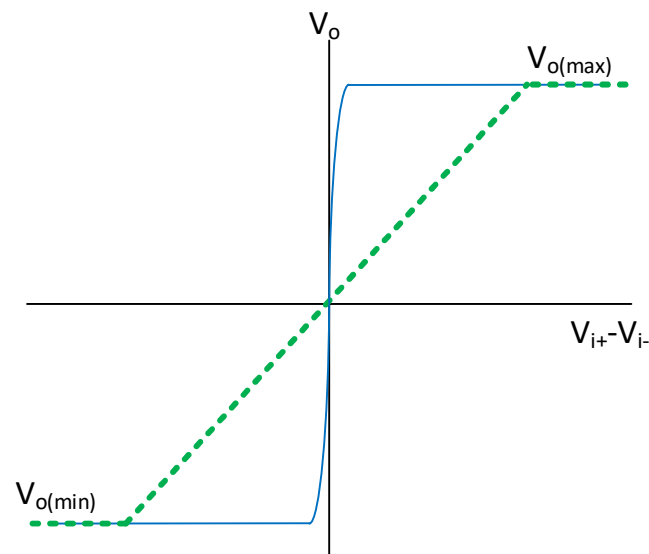


Figura 2. Funció de transferència d'un amplificador operacional en bucle obert (línia continua, blau) i amb realimentació (verd, línia discontinua).

A causa de l'alt guany i la regió lineal limitada, l'amplificador operacional s'utilitza habitualment en un bucle de retroalimentació negativa. La Figura 2 també mostra la característica d'entrada-sortida quan s'utilitza l'amplificador amb retroalimentació. Observeu que la regió lineal de bucle tancat consta de gairebé tot el rang de voltatge d'entrada. L'aplicació de retroalimentació redueix la no linealitat, però també redueix el guany de tensió.

L'amplificador operacional més senzill és l'amplificador diferencial estudiat a teoria. Aquest amplificador es pot millorar afegint una segona etapa. La segona etapa és un amplificador inversor amb una càrrega de font de corrent. L'amplificador de dues etapes que es mostra a la Figura 3 es coneix com Miller OTA i també s'ha estudiat a teoria.

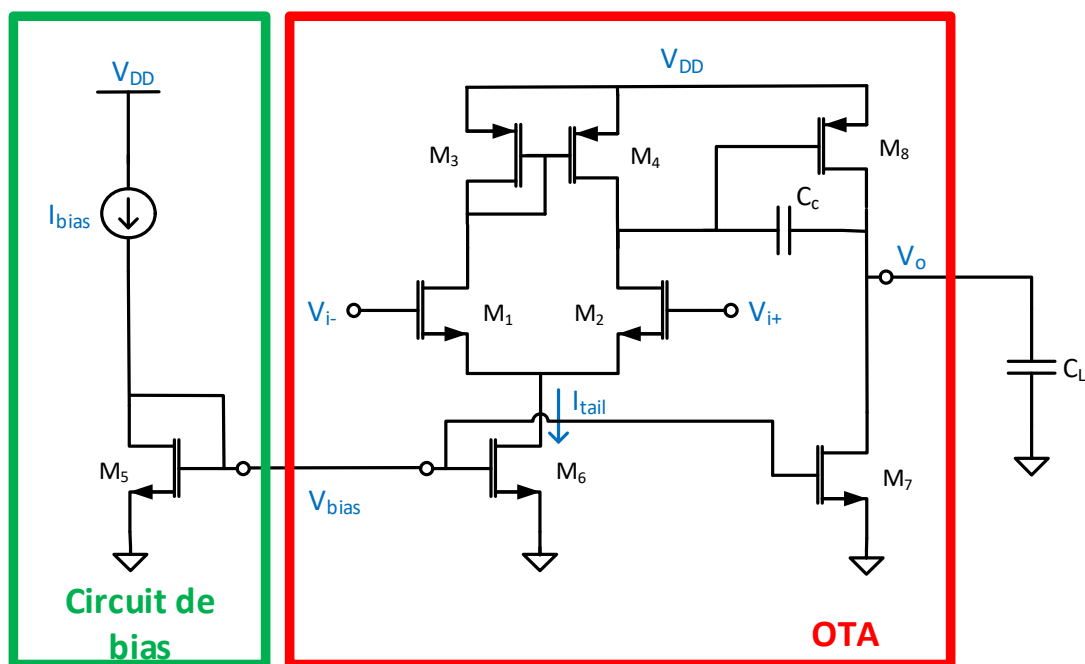


Figura 3. OTA Miller de dues etapes (dreta) amb circuit de polarització (esquerra)

Fixeu-vos que hem separat l'estructura de l'OTA del circuit basic del circuit de polarització, que en aquest cas és el màster d'un mirall de corrent simple. En un circuit integrat podem tenir diverses instàncies del mateix OTA que s'acostumen a polaritzar amb el mateix circuit de bias (conectant-se al node V_{bias}). En un circuit integrat real, la font de corrent I_{bias} s'hauria d'implementar com una font de corrent estable front variacions de temperatura i de tensions d'alimentació.

Recordem que les equacions de disseny principals de l'OTA Miller són:

$$A_{V0} = g_{m1,2}(r_{ds2}||r_{ds4})g_{m8}(r_{ds7}||r_{ds8}) \quad [V/V] \quad (1)$$

$$p_1 = \frac{-1}{g_{m8}(r_{ds7}||r_{ds8})C_c(r_{ds2}||r_{ds4})} \quad [rad/s] \quad (2)$$

$$p_2 = \frac{-g_{m8}}{C_L} \quad [rad/s] \quad (3)$$

$$z = \frac{g_{m8}}{C_c} \quad [rad/s] \quad (4)$$

$$GBW = \frac{g_{m1,2}}{C_c} \quad [rad/s] \quad (5a)$$

$$GBW = \frac{g_{m1,2}}{2\pi C_c} \quad [Hz] \quad (5b)$$

$$PM \approx 90^\circ - \tan^{-1}\left(\frac{GBW}{p_2}\right) - \tan^{-1}\left(\frac{GBW}{z}\right) \quad [^\circ] \quad (6)$$

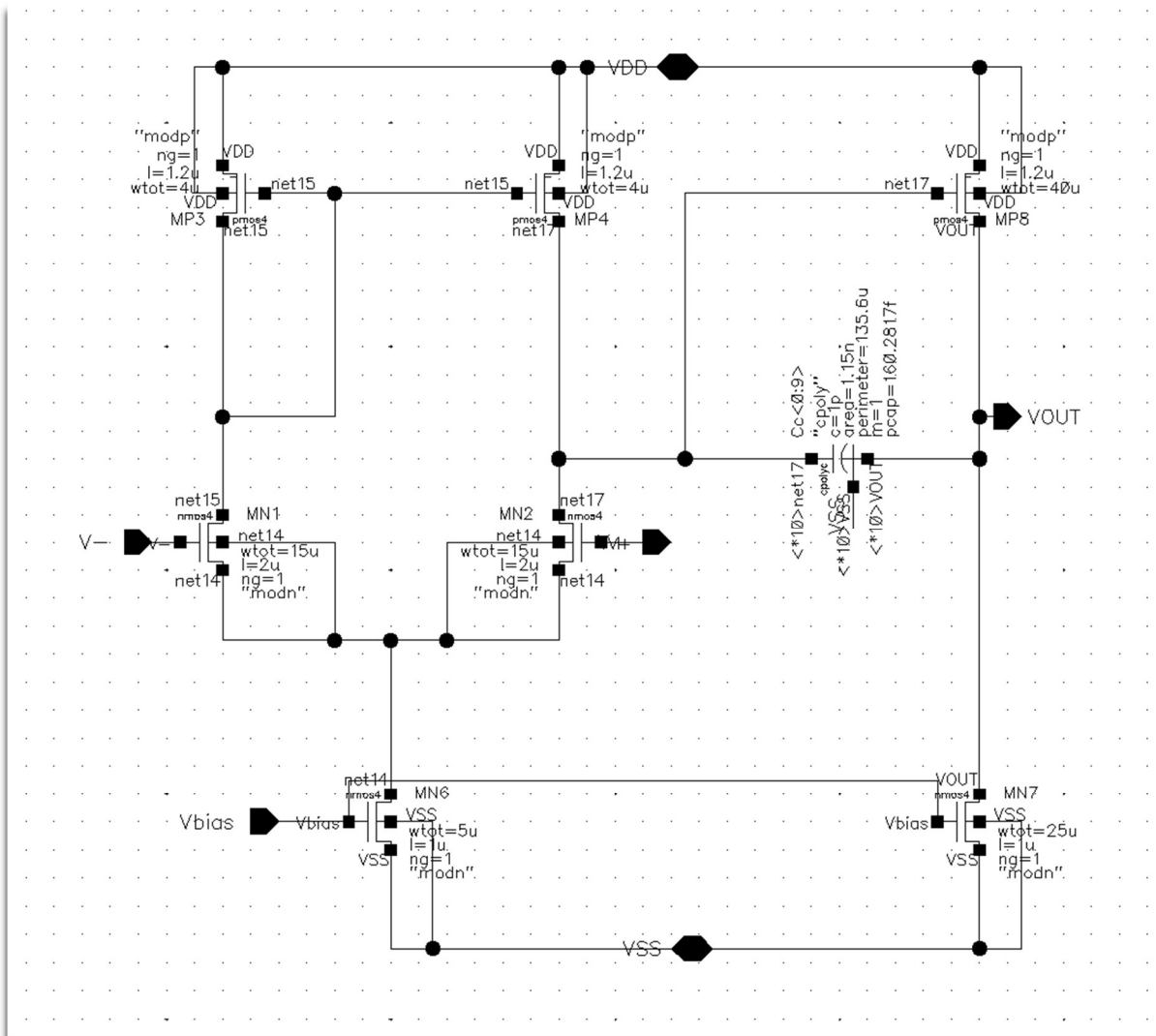
$$SR_{intern} = \frac{I_{tail}}{C_c} \quad [V/s] \quad (7)$$

$$SR_{load} = \frac{I_{M7}}{C_L} \quad [V/s] \quad (8)$$

3. Simulacions

Caldrà que dissenyeu un OTA Millers segons els paràmetres desenvolupats a partir de les qüestions en la secció 4. Haureu de crear l'esquema i el símbol de l'OTA. A la Figura 4 es mostra un exemple. Fixeu-vos que fem servir una capacitat de polisilici ("cpoly") de la llibreria PRIMLIB. Es tracta d'un *array* de 10 capacitats de 1 pF cadascuna. Aquest component te tres terminals per que també modela les capacitats paràsites. El tercer terminal dona la connexió d'aquestes capacitats.

De la mateixa forma, haureu de crear el esquema i el símbol del circuit de polarització. A la Figura 4 es mostra també un exemple.



4

3.1. Simulació en bucle obert

Amb els dos blocs (OTA Miller i circuit de polarització) construireu diversos bancs de proves, com el que es mostra a la Figura 5 per les simulacions DC en bucle obert. La variable “Vdm” defineix la tensió diferencial d’entrada i la variable “Vcm” la tensió en mode comú.

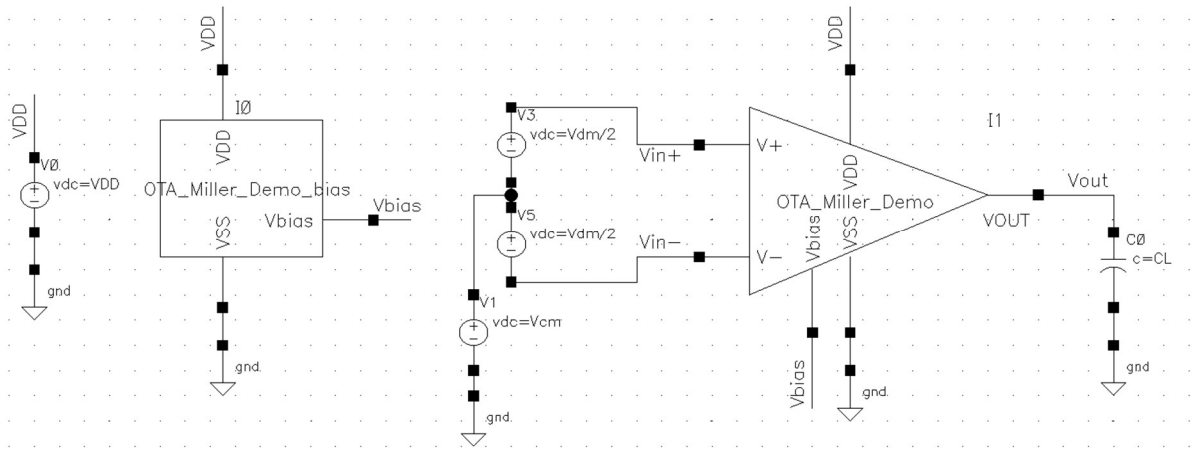


Figura 5. Banc de proves de simulació DC en bucle obert.

Si fem un escombrat de la variable Vdm podem caracteritzar la funció de transferència del opamp i fent la seva derivada trobem el guany tal i com es mostra a la Figura 6. (en aquesta simulació Vcm=1.5). En general farem servir els següents valors: $I_{bias}=10\ \mu A$, $V_{DD}=3.3\ V$ i $C_L=10\ pF$. **Important:** cal reduir el pas de la simulació a valors de l’ordre de $10\ \mu V$ o similars per poder tenir prou resolució per estudiar acuradament el guany del circuit (el pas hauria de ser $\ll V_{DD}/Guany$).

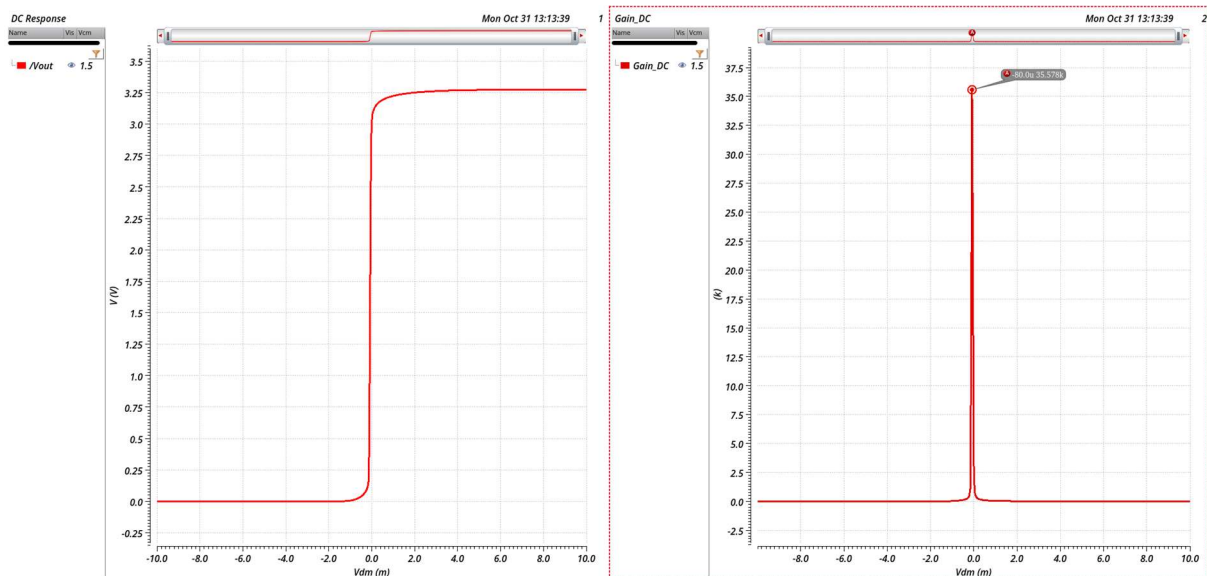


Figura 6. Funció de transferència (esquerra) i guany (dreta) del Op Amp

Com hem dit, en la simulació anterior la tensió en mode comú Vcm es 1.5 V, però com heu vist a teoria l’etapa d’entrada (un amplificador diferencial) opera correctament només en un rang limitat de tensions de mode comú d’entrada. És el que es coneix com “Common Mode Range (CMR)”. Hi ha una Vcm mínima (CMR-) i una Vcm màxima (CMR+) per a que el circuit funcioni correctament. A la Figura 7 mostrem el resultat d’una simulació paramètrica de Vcm. Com veieu, el circuit no funciona

correctament per V_{cm} menors de 430 mV ni per V_{cm} majors de 2.58 V. Això vol dir que el CMR- seria d'uns 860 mV i el CMR+ d'uns 2.58 V. Podriem fer escombrats paramètrics addicionals per determinar CMR+ i CMR- amb més precisió.

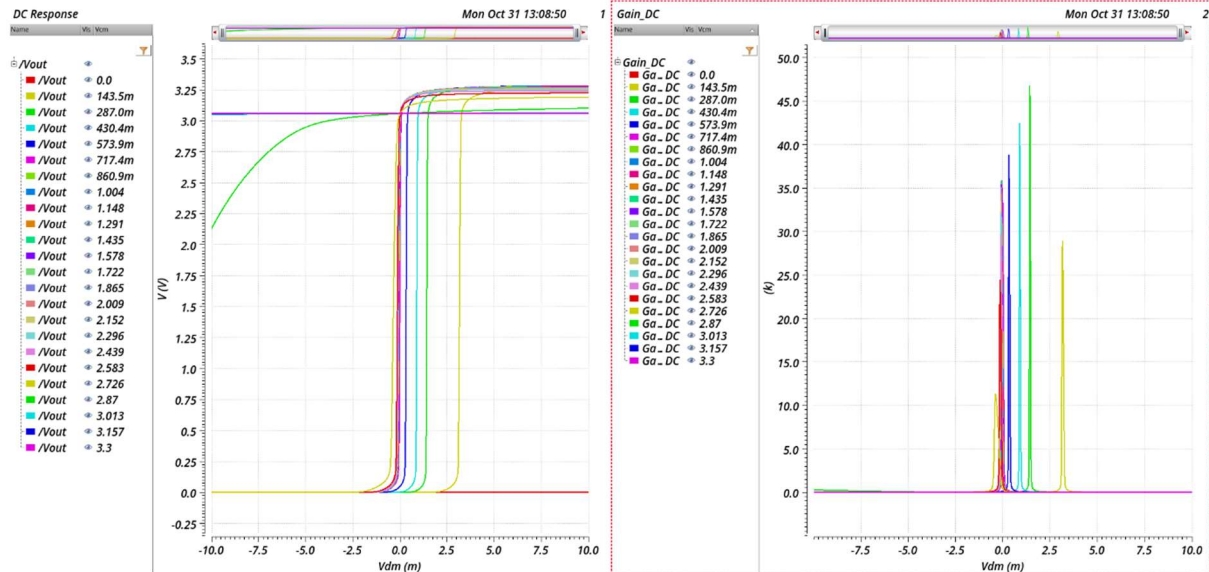


Figura 7. Funció de transferència (esq.) i guany (dreta) del opamp en funció de V_{cm} (CMR).

Una forma alternativa d'estudiar el CMR és a partir del consum del amplificador (corrent en el pin de VDD). En aquesta topologia, el consum quan les fonts de corrent MN6 (I_{tail}) i MN7 estan en saturació hauria de ser estàtic i determinat per la relació d'aspecte amb MN5. Per tant, en el disseny actual $I_{VDD} = 6 \cdot I_{bias}$ o 60 μA en el nostre cas. Si fem un escombrat de V_{cm} amb $V_{dm} = 0$ V, veiem que el CMR- hauria de ser d'uns 800 mV.

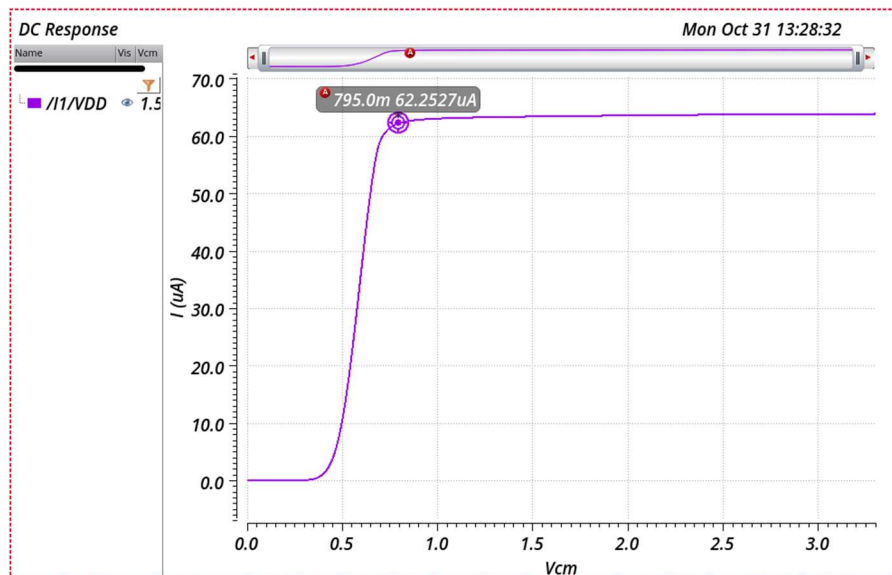


Figura 8. Consum del Op Amp en funció de V_{cm} .

3.2. Resposta en freqüència en bucle obert (Guany, GBW, PM, etc)

Per estudiar la resposta en petit senyal d'un opamp en bucle obert el primer que cal fer es polaritzar correctament l'amplificador. Podríem pensar en emprar un banc de proves semblant al de la Figura 5, afegint un estímul AC. Però aquest tipus de banc de proves donen problemes degut al gran guany del amplificador que fa que la tensió de sortida Vout fàcilment s'apropi a VDD o a VSS.

Una millor solució (veure [2]) és emprar bancs de proves com el de la Figura 9, on s'estableix el punt d'operació mitjançant realimentació negativa que només opera en freqüències molt baixes $f \ll \frac{1}{2\pi\sqrt{LC}}$ fent que el valor de L i C siguin molt grans. Per $f \gg \frac{1}{2\pi\sqrt{LC}}$ el circuit està en bucle obert.

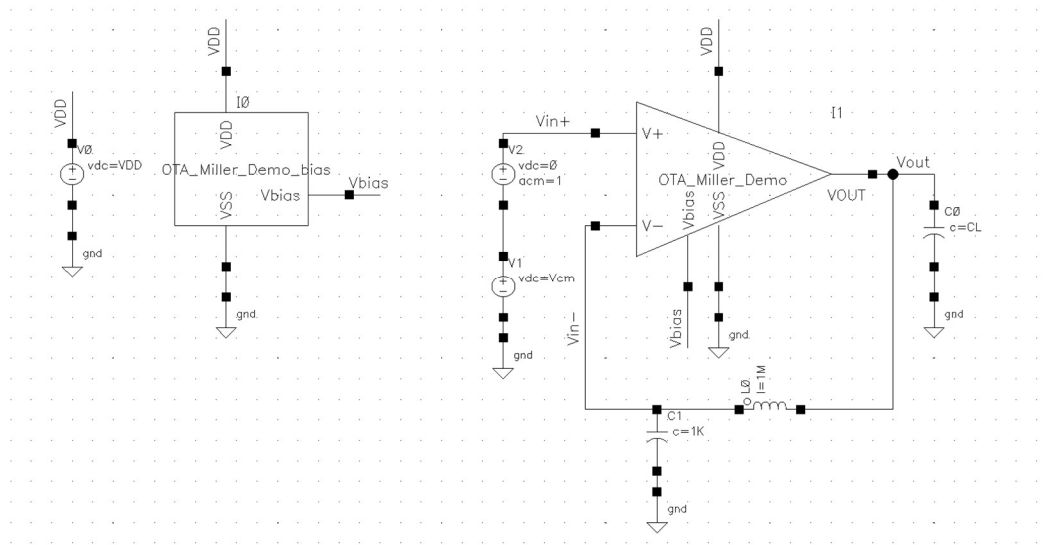


Figura 9. Banc de proves per la simulació de la resposta AC del amplificador en bucle obert.

Podem calcular el guany (magnitud i fase) de l'amplificador en bucle obert emprant les equacions indicades en la Taula 1.

Taula 1. Expressions pel càlcul del guany (magnitud i fase) de l'amplificador en bucle obert.

Vdm_ac	expr	(VF("/Vin+") - VF("/Vin-"))
Gain	expr	(VF("/Vout") / Vdm_ac)
Gain_Mod_db20	expr	db20(Gain)
Gain_phase	expr	phase(Gain)

El resultat el veiem en la Figura 10. Podem veure que el Guany en Baixa freqüència és d'uns 90 dB (o 34.7 kV/V). El pol dominant estaria a 36.7 Hz i per tant el producte de guany-amplada de banda (GBW o GBP) seria de 1.27 MHz. La freqüència de guany unitat (f_u) és 1.227 MHz, el marge de fase (PM) d'uns 64.3° i el marge de guany (GM) és de 13.48 dB.

Important: com en qualsevol anàlisi AC cal establir un punt d'operació correcte. En un opamp saben que s'ha de complir $CMR < V_{cm} < CMR+$. En aquest cas triem $V_{cm}=1.5$ V.

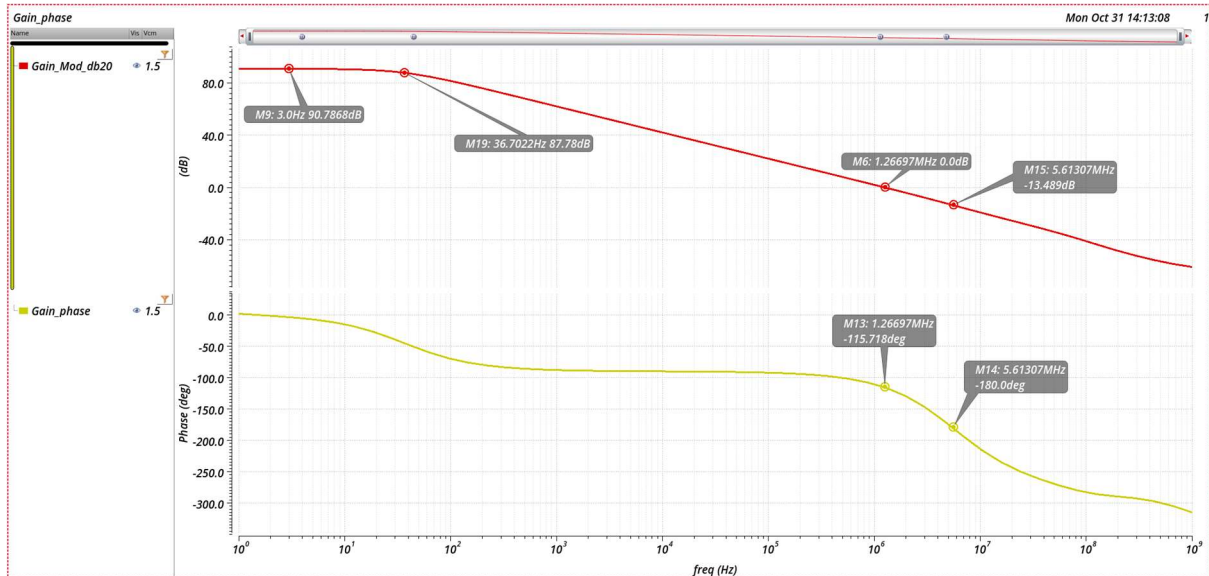


Figura 10. Resposta (magnitud i fase) de l'amplificador en bucle obert

El Cadence proporciona un mètode alternatiu d'estudiar l'estabilitat i el guany en bucle obert de sistemes realimentats mitjançant l'anàlisi "stb". En primer lloc, cal inserir una sonda de corrent ("iprobe") en la realimentació del sistema tal i com es mostra a la Figura 11. Per l'anàlisi en DC el bucle queda tancat per la sonda IPRBO, però per l'anàlisi "stb" el bucle s'obre en aquest punt i s'estudia el guany en bucle obert pel punt d'operació calculat per l'anàlisi en DC.

Important: l'anàlisi "stb" és un anàlisi en petit senyal i com a tal treballa sobre un model linealitzat del circuit. El paràmetres d'aquest model es calculen en funció del punt d'operació DC.

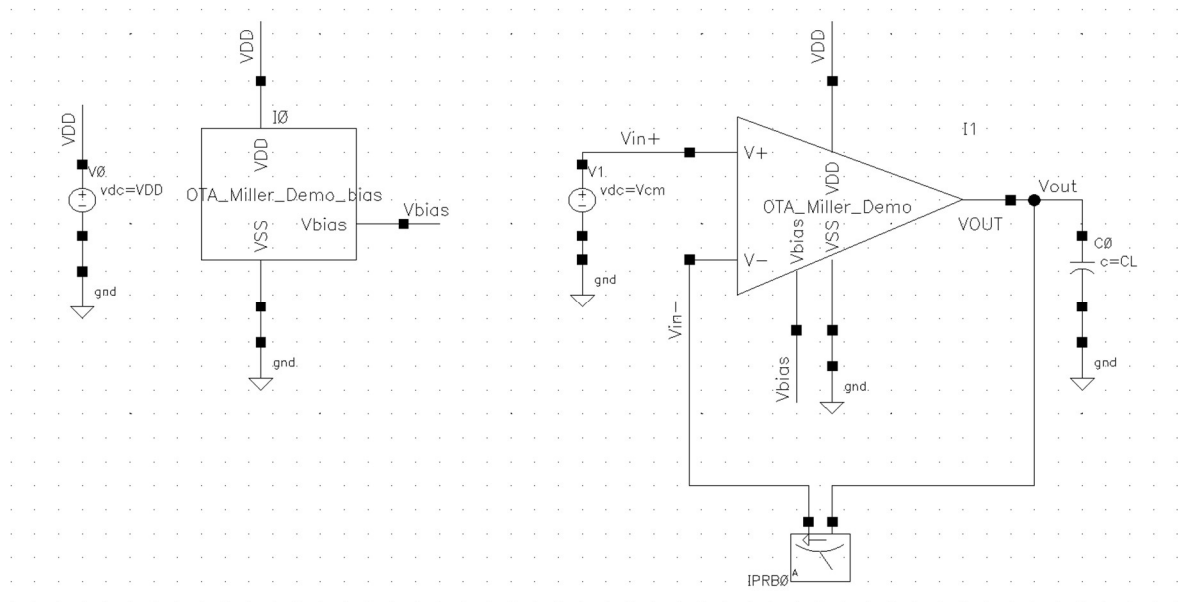


Figura 11. Banc de probes per estudiar el guany en bucle obert mitjançant l'anàlisi "stb".

La configuració de l'anàlisi "stb" és similar a la d'un anàlisi AC però cal identificar també la sonda on s'obrirà el circuit i el node de referència, tal i com es pot veure a la Figura 12.

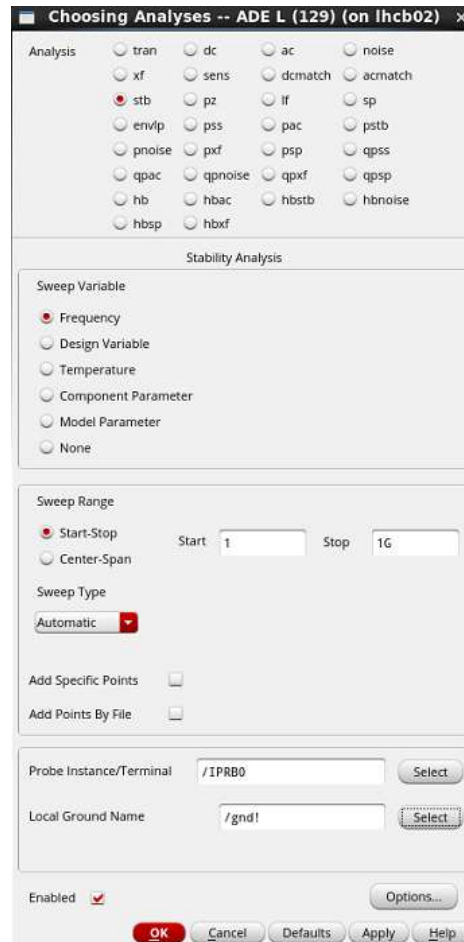


Figura 12. Configuració de l'anàlisi "stb".

Un cop realitzada la simulació podem veure els resultats mitjançant l'opció "Direct plot" del menú "Results" (Figura 13).

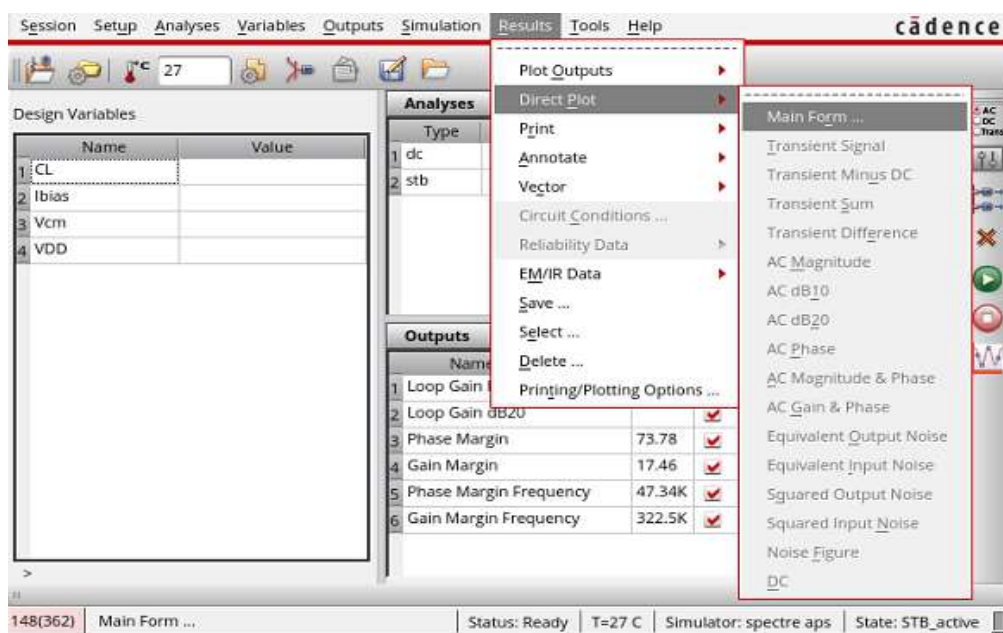


Figura 13. Visualització dels resultats de l'anàlisi "stb".

S'obrirà una finestra on podem seleccionar diferents mesures de l'estabilitat del sistema, Figura 14. Podem escollir veure resultats numèrics com la freqüència de guany unitat (f_u), el marge de fase (PM) o el marge de guany (GM).



Figura 14. Selecció dels resultats de l'anàlisi "stb".

També podem veure el guany en bucle obert (magnitud en dB o fase) en funció de la freqüència (Figura 15).

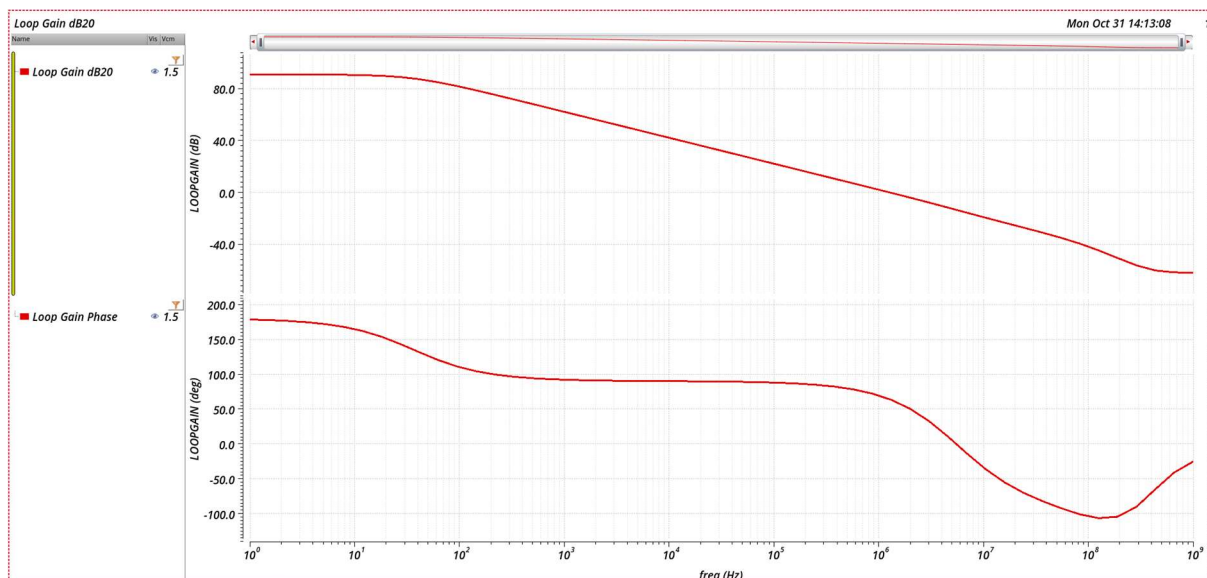


Figura 15. Resposta (magnitud i fase) de l'amplificador en bucle obert via anàlisi "stb".

3.3. Anàlisi del slew rate

El banc de proves per estudiar el slew rate del circuit es mostra a la Figura 16. És important que el pols d'entrada compleixi dos condicions:

- 1) Els seus nivells han d'estar compresos entre CMR- i CMR+
- 2) El temps de pujada i de baixada del pols d'entrada ha de ser molt menor que el de la sortida. D'aquesta forma ens assegurem que la limitació en el temps de pujada i baixada ve determinada per l'amplificador (pel seu SR) i no per la senyal d'entrada.

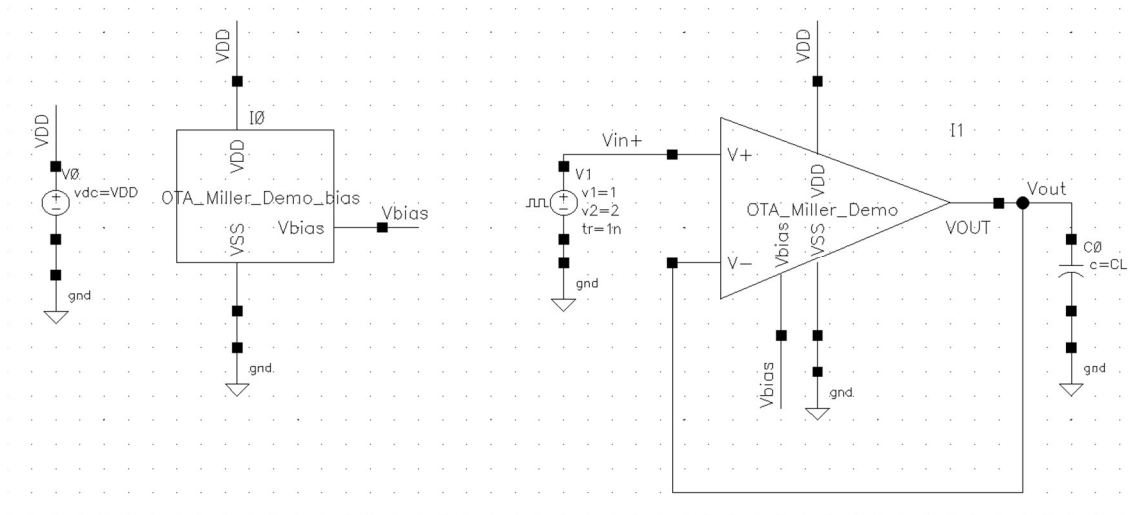


Figura 16. Banc de proves per estudiar el slew rate.

El resultat es mostra a la Figura 17. Podem mesurar el SR estudiant el pendent dels flancs positius i negatius del senyal de sortida.

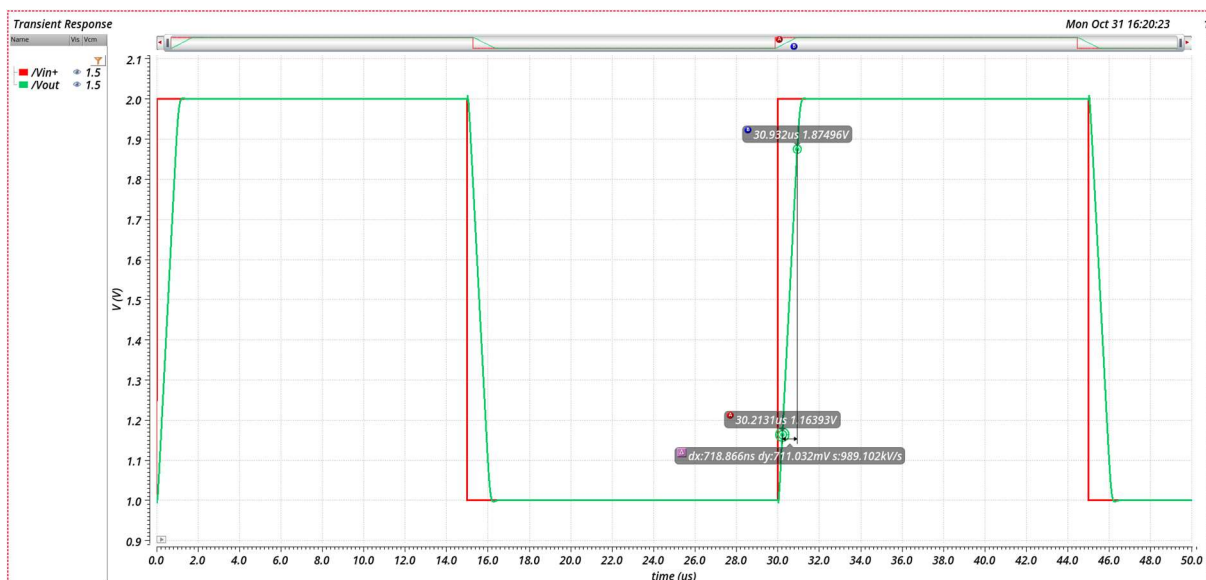


Figura 17. Resultats per estudiar el slew rate de l'amplificador.

El slew rate també es pot estudiar mitjançant una funció dedicada de la calculadora, veure Taula 2.

Taula 2. Expressions per calcular el slew rate

SlewRate+	expr	(1e-06 * slewRate(VT("/Vout")) 0 t 9e-06 t 10 90 nil "time"))
SlewRate-	expr	(1e-06 * slewRate(VT("/Vout")) 9e-06 t 2.4e-05 t 10 90 nil "time"))

3.4. Common Mode Reject Ratio (CMRR)

A la pràctica la tensió de sortida d'un amplificador operacional depèn de la tensió diferencial d'entrada $V_{dm} = V_+ - V_-$ però també de la tensió d'entrada en mode comú $V_{cm} = \frac{V_+ + V_-}{2}$

$$V_o = A_v V_{dm} \pm A_c V_{cm} \quad (9)$$

El CMRR es defineix com la relació del guany diferencial en bucle obert dividit pel guany en mode comú:

$$|CMRR| = \frac{A_v}{A_c} \quad (10)$$

Idealment $A_{cm} = 0$ $\frac{V_o}{V_{cm}}$ i per tant $CMRR \rightarrow \infty$, però les no-idealitats dels elements de l'amplificador diferencial fan que a la pràctica això no sigui cert. La Figura 18 presenta un mètode per simular el CMRR d'un opamp (veure [2]).

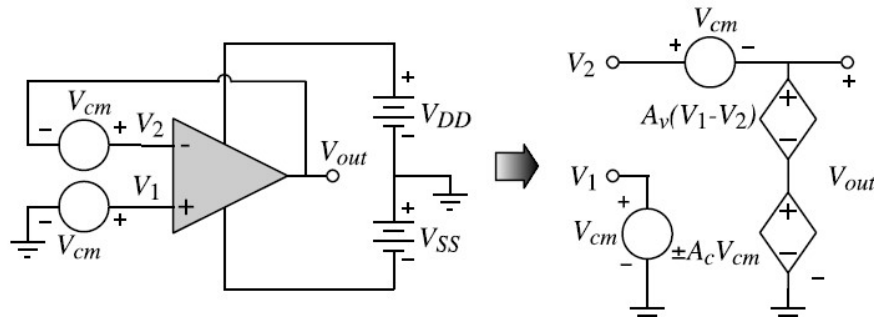


Figura 18. Simulació del CMRR d'un opamp [2].

De la Figura 18 podem veure que

$$V_2 - V_1 = -V_{dm} = V_o \quad (11)$$

Combinant (9) i (11):

$$V_o = -A_v V_o \pm A_c V_{cm} \quad (12)$$

I per tant, per $A_v \gg 1$:

$$V_o = \frac{\pm A_c}{1 + A_v} V_{cm} \approx \frac{\pm A_c}{A_v} V_{cm} \quad (13)$$

Aleshores podem mesurar el CMRR en el circuit com la relació de V_{cm} versus V_o

$$|CMRR| = \frac{A_v}{A_c} \approx \frac{V_{cm}}{V_o} \quad (14)$$

El banc de proves per les simulacions de CMRR es mostra a la Figura 19.

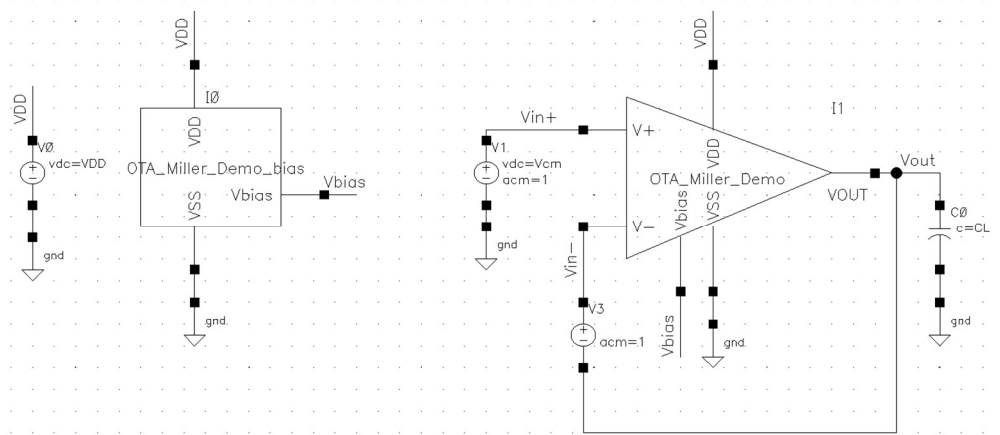


Figura 19. Banc de proves per les simulació del CMRR

Els resultats de la simulació es mostren a la Figura 20.

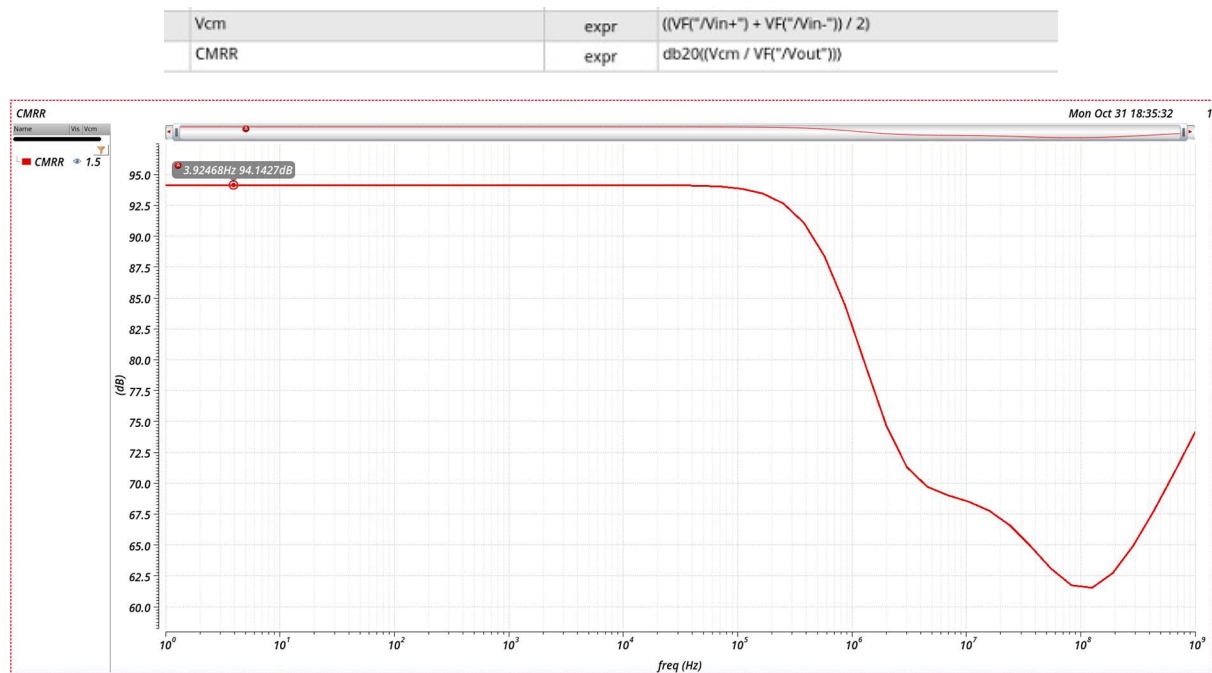


Figura 20. Expressions i resultats de la simulació del CMRR.

3.5. Power Supply Rejection Ratio (PSRR)

Tot i que les línies d'alimentació haurien de presentar una tensió DC estable també es troben senyals AC o de soroll superposades. Aquestes variacions es representen com una font de senyal AC (petit senyal) en sèrie. La font en petit senyal seria V_{dd} per V_{DD} i V_{ss} per V_{SS} . Els circuits han de ser tan insensibles a aquestes variacions com sigui possible però l'acoblament no és nul. L'acoblament de les variacions de les tensions d'alimentació a la sortida es representen com A_{dd} i A_{ss} per la tensió de V_{DD} i V_{SS} respectivament:

$$V_o = A_v V_{dm} \pm A_{dd} V_{dd} \pm A_{ss} V_{ss} \quad (15)$$

L'expressió (15) suposa que el $CMRR \gg 1$, i que per tant podem ignorar la contribució de A_c .

El Power Supply Rejection Ratio a les variacions de V_{DD} (PSRR+) es defineix com:

$$PSRR+ = \frac{A_v}{A_{dd}} \quad (16)$$

El Power Supply Rejection Ratio a les variacions de V_{SS} (PSRR-) es defineix com:

$$PSRR- = \frac{A_v}{A_{ss}} \quad (17)$$

La Figura 21 presenta un mètode senzill per simular el PSRR d'un opamp (veure [2]).

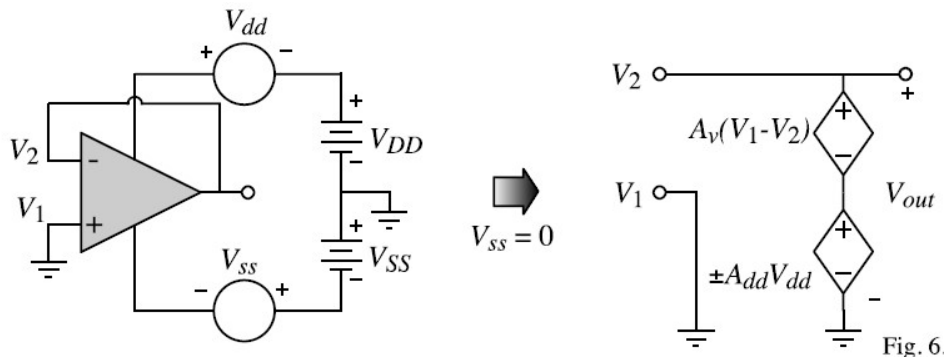


Figura 21. Simulació del PSRR d'un Op Amp [2]

Per estudiar V_{dd} cal fer $V_{ss}=0$, aleshores podem reescriure (15) com:

$$V_o = A_v V_{dm} \pm A_{dd} V_{dd} \quad (16)$$

D'altra banda, segons la Figura 21, veiem que:

$$V_2 - V_1 = -V_{dm} = V_o \quad (17)$$

Amb això podem (16) esdevé:

$$V_o = -A_v V_o \pm A_{dd} V_{dd} \quad (18)$$

I per tant, per $A_v \gg 1$:

$$V_o = \frac{\pm A_{dd}}{1 + A_v} V_{dd} \approx \frac{\pm A_{dd}}{A_v} V_{dd} \quad (19)$$

I finalment,

$$PSRR+ = \frac{A_v}{A_{dd}} \approx \frac{V_{dd}}{V_o} \quad (20)$$

Per un procediment anàleg,

$$PSRR- = \frac{A_v}{A_{ss}} \approx \frac{V_{ss}}{V_o} \quad (21)$$

A la Figura 22 es mostra el banc de proves per la simulació del PSRR+.

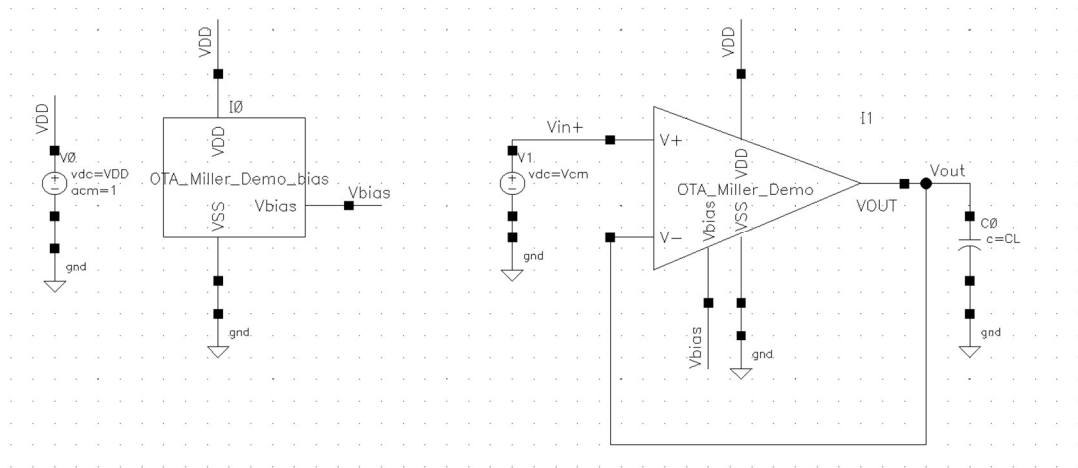


Figura 22. Banc de proves per la simulació del PSRR+.

Els resultats de la simulació es mostren a la Figura 23. El PSRR+ es calcula amb l'expressió "db20((VF("/VDD") / VF("/Vout")))".

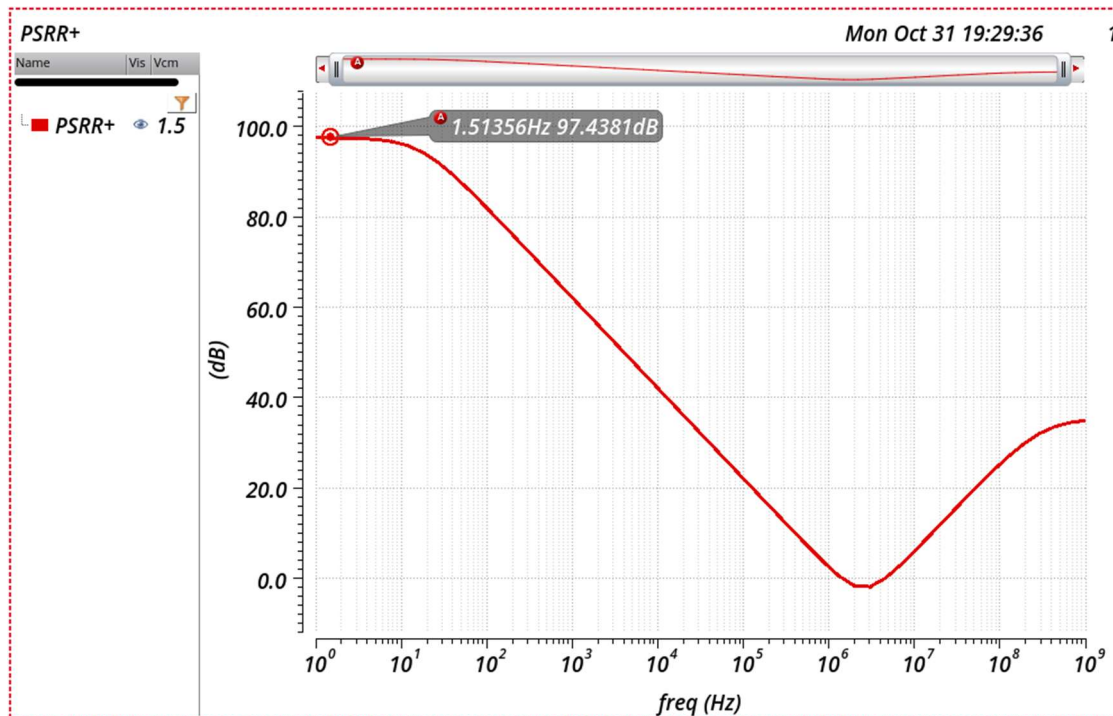


Figura 23. Resultat de la simulació del PSRR+

A la Figura 24 es mostra el banc de proves per la simulació del PSRR-.

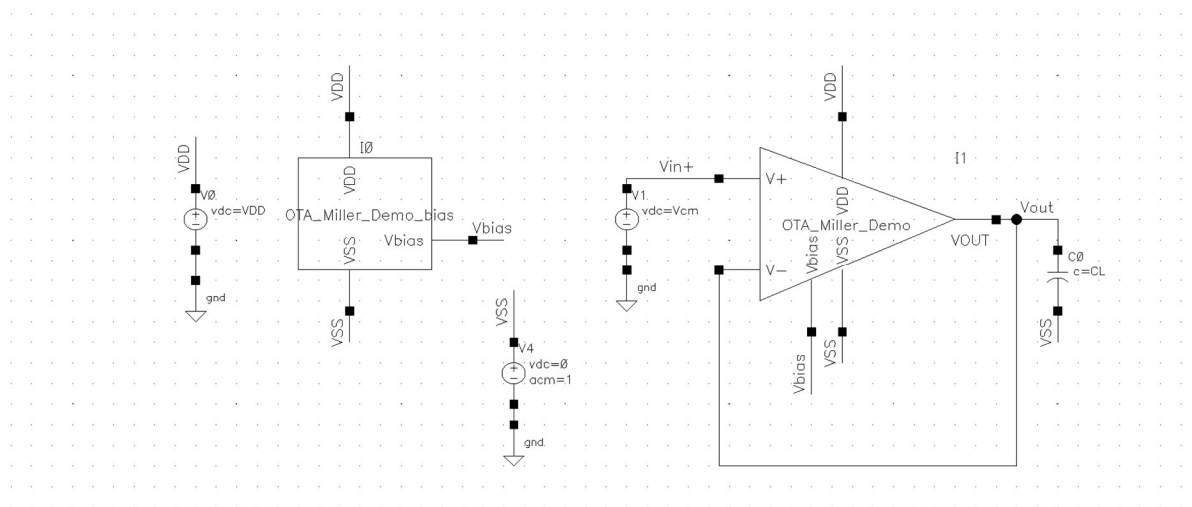


Figura 24. Banc de proves per la simulació del PSRR-.

Els resultats de la simulació es mostren a la Figura 25. El PSRR- es calcula amb l'expressió $\text{db20}((V_F("/VSS") / V_F("/Vout")))$.

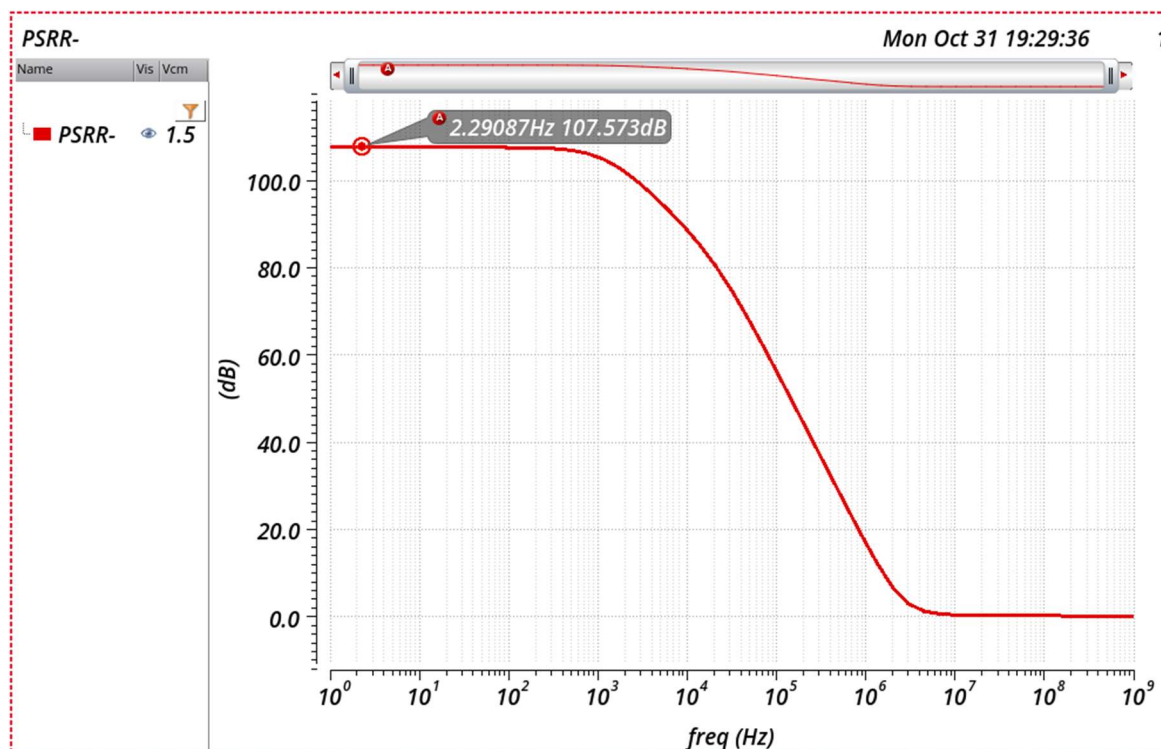


Figura 25. Resultat de la simulació del PSRR-.

4. Qüestions

- 1) Dissenyeu un opamp de dos etapes (topologia de la Figura 3) amb les especificacions que s'indiquen a continuació. Dissenyar vol dir dimensionar els transistors (W i L) i els punts d'operació per que un circuit amb aquesta topologia compleixi les especificacions. Aquest dimensionament cal fer-lo emprant el model i els paràmetres tecnològics dels transistors discutits en el Lab 2. Les especificacions són (3 punts):
 - a. $V_{DD} = 3.3 \text{ V}$
 - b. Consum de potència $V_{DD} \cdot I_{DD} = 198 \mu\text{W}$ (I_{DD} és el corrent DC en el pin VDD del OpAmp)
 - c. Corrent en el circuit de referència $I_{bias} = 10 \mu\text{A}$
 - d. $C_{load} = 25 \text{ pF}$
 - e. Guany en DC major (en magnitud) de 80 dB
 - f. $GBW \geq 600 \text{ kHz}$
 - g. Marge de Fase $PM \geq 65^\circ$
 - h. Slew Rate de càrrega $\geq 1 \text{ V}/\mu\text{s}$
 - i. El guany de la segona etapa $g_{m8}(r_{ds7} || r_{ds8}) \geq 100 \text{ V/V}$
 - j. El transistor M5 del circuit de referència està fixat a $W=25\mu\text{m}$ i $L=1\mu\text{m}$
 - k. Els transistors M3 i M4 del OTA estan fixats a $W=12\mu\text{m}$ i $L=2\mu\text{m}$
- 2) Realitzeu les simulacions en bucle obert (DC: guany i CMR) per demostrar que el circuit compleix especificacions. Presenteu el banc de prova i els resultats de les simulacions corresponents (2 punts).
- 3) Realitzeu les simulacions en bucle obert (AC: GBW, PM, etc) per demostrar que el circuit compleix especificacions. Presenteu el banc de prova i els resultats de les simulacions corresponents (2 punts).
- 4) Realitzeu les simulacions de slew rate per demostrar que el circuit compleix especificacions. Presenteu el banc de prova i els resultats de les simulacions corresponents (1 punt).
- 5) Realitzeu les simulacions de CMRR per demostrar que el circuit compleix especificacions. Presenteu el banc de prova i els resultats de les simulacions corresponents (1 punt).
- 6) Realitzeu les simulacions de PSRR per demostrar que el circuit compleix especificacions. Presenteu el banc de prova i els resultats de les simulacions corresponents (1 punt).

5. Referències

- [1]. P. M. Miller, J. S. Mincey, T. L. Mayhugh, A. F. Mondragon, J. Silva-Martinez, J. Pineda de Gyvez, "Laboratory Manual ELEN 474: VLSI Circuit Design", Department of Electrical Engineering Texas A&M University, 2010.
- [2]. P.E. Allen, "Lecture 25 Simulation and Measurement of Op Amps", <https://aicdesign.org/wp-content/uploads/2018/08/lecture25-130418.pdf>