Laboratori de

Disseny i Síntesi de Sistemes Digitals

*Grau Enginyeria Electrònica de Telecomunicació*

Text

Description automatically generated

# Índex

[Informe Pràctica 1: Arquitectura d’un sistema digital 3](#_Toc108779634)

[Informe Pràctica 2: Introducció al flux de disseny i síntesis en FPGA 5](#_Toc108779635)

[Informe Pràctica 3 Sessió 1: Generador de polsos 8](#_Toc108779636)

[Informe Pràctica 3 Sessió 2: Registres de Configuració i Control 11](#_Toc108779637)

[Informe Pràctica 3 Sessió 2: Registres de Configuració i Control 14](#_Toc108779638)

[Informe Pràctica 4: Disseny i Síntesis d’una Estació Meteorològica 19](#_Toc108779639)

# Informe Pràctica 1: Arquitectura d’un sistema digital

## Arquitectura del mestre SPI

*Descripció breu de l'arquitectura del mestre SPI. Empleneu la Taula 1.*

*Feu l’esquema amb ordinador amb Visio, Draw.io, SchemDraw, InkScape, PowerPoint. Es desaconsella l’ús del Paint o similars. Utilitzeu símbols estàndard.*

Text

Description automatically generated with medium confidence

**Figura 1:** Diagrama RTL simplificat del mestre SPI proposat.

**Taula 1:** Llista dels diferents mòduls del mestre SPI i la seva funcionalitat.

|  |  |
| --- | --- |
| **Mòdul** | **Descripció** |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |

## Entrades i Sortides

**Taula 2:** Llista de les entrades i sortides del mòdul SPI i la seva funcionalitat.

|  |  |  |  |
| --- | --- | --- | --- |
| **Nom** | **Tipus** | **# bits** | **Descripció** |
|  | E/S |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

## Registres de Configuració i Control

*Explicar que fa/indica cada bit per cadascun dels valor possibles (si és 1 o 0).*

*En cas del Clock Prescale cal donar la formula o una taula amb les possibles freqüències del SCK.*

#### Registre: *Control*, Adreça: *0x0*, Valor per defecte: *0x00*

|  |  |  |
| --- | --- | --- |
| **Bits** | **Accés** | **Descripció** |
| *[7]* | *L* | *Bit d'estat del mestre SPI:*  *0:*  *1:* |
| *[6:2]* | *L/E* | *No utilitzats.* |
| *[1]* | *L/E* | *Bit de selecció del...* |
| *[0]* | *L/E* | *Bit d’habilitació del ...*  *0:...* |

#### Registre: *Config*, Adreça: *0x0*, Valor per defecte: *0x00*

|  |  |  |
| --- | --- | --- |
| **Bits** | **Accés** | **Descripció** |
| *[7:2]* | *L/E* | *No utilitzats.* |
| *[1]* | *L/E* | *Bit de selecció del...* |
| *[0]* | *L/E* | *Bit d’habilitació del ...* |

#### Registre: *Buffer*, Adreça: *0x0*, Valor per defecte: *0x00*

|  |  |  |
| --- | --- | --- |
| **Bits** | **Accés** | **Descripció** |
| *[7]* | *L/E* | *Bit de ...* |
| *[6:2]* | *L/E* | *No utilitzats.* |
| *[1]* | *L/E* | *Bit de selecció del...* |
| *[0]* | *L/E* | *Bit d’habilitació del ...* |

#### Registre: *SSelector*, Adreça: *0x0*, Valor per defecte: *0x00*

|  |  |  |
| --- | --- | --- |
| **Bits** | **Accés** | **Descripció** |
| *[7:2]* | *L/E* | *No utilitzats.* |
| *[1]* | *L/E* | *Bit de selecció del...* |
| *[0]* | *L/E* | *Bit d’habilitació del ...* |

## Operació del mestre SPI

*Descripció breu l’operació dels diferents mòduls en conjunt per realitzar la transmissió d’un byte.*

1. Configurem la freqüència, la seva polarització i [...] escrivint al registre XXX.
2. ...

# Informe Pràctica 2: Introducció al flux de disseny i síntesis en FPGA

## *Els codi rtl ha d’estar comentat. Les tasques del testbench han d’estar correctament completades, comentades i demostrada la seva funcionalitat. La demostració ha de ser clara i completa.*

## Testbench

**Taula 1:** Llista dels diferents tasques del testbench i la seva funcionalitat.

|  |  |
| --- | --- |
| **Tasca** | **Descripció** |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |

## Verificació Funcional

*Captures de les simulacions, amb una explicació breu i ressaltant les zones d’interès (poden ser més d’una captura!).*

A la **Figura 1** es mostra ...

Shape

Description automatically generated with low confidence

**Figura 1:** Diagrama d’ones de ...

A la **Figura 2** es mostren els missatges...

Shape

Description automatically generated with low confidence

**Figura 2:** Captura terminal Questa\*-Intel amb els missatges de l’autoverificació.

## Síntesis en FPGA

*Captura (o captures) del esquema RTL generat pel Quartus (expandiu les caixetes) i taula de recursos utilitzats.*

La **Figura 3** mostra el esquema RTL de la netlist generada amb el Quartus de registre de desplaçament. La **Taula 2** mostra els recursos utilitzats de la FPGA.

Shape

Description automatically generated with low confidence

**Figura 3:** Esquema RTL de la netlist generada amb el Quartus.

**Taula 2:** Llista dels recursos utilitzats en la implementació de registre de desplaçament.

|  |  |  |
| --- | --- | --- |
| **Recurs** | **Utilitzats** | **%** |
| Pins E/S | / |  |
| Elements Lògics | / |  |
| Registres | / |  |
| RAMs |  |  |
| DSPs |  |  |
| PLLs |  |  |
| ... |  |  |
|  |  |  |

# Informe Pràctica 3 Sessió 1: Generador de polsos

## Testbench

**Taula 1:** Llista dels diferents tasques del testbench i la seva funcionalitat.

|  |  |
| --- | --- |
| **Tasca** | **Descripció** |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |

## Verificació Funcional

*Captures de les simulacions, amb una explicació breu i ressaltant les zones d’interès (poden ser més d’una captura!). Captura dels missatges d’auto verificació del ModelSim.*

A la **Figura 1** es mostra ...

Shape

Description automatically generated with low confidence

**Figura 1:** Diagrama d’ones de ...

A la **Figura 2** es mostren els missatges...

Shape

Description automatically generated with low confidence

**Figura 2:** Captura terminal ModelSim amb els missatges de l’autoverificació.

## Síntesis en FPGA

La **Figura 3** mostra el esquema RTL de la netlist generada amb el Quartus de registre de desplaçament. La **Taula 2** mostra els recursos utilitzats de la FPGA.

Shape

Description automatically generated with low confidence

**Figura 3:** Esquema RTL de la netlist generada amb el Quartus.

**Taula 2:** Llista dels recursos utilitzats en la implementació de registre de desplaçament.

|  |  |  |
| --- | --- | --- |
| **Recurs** | **Utilitzats** | **%** |
| Pins E/S | / |  |
| Elements Lògics | / |  |
| Registres | / |  |
| RAMs |  |  |
| DSPs |  |  |
| PLLs |  |  |
| ... |  |  |
|  |  |  |

**Verificació Post-síntesis**

*Captures de les simulacions, demostrant en correcte funcionament del circuit. Captura mostrant algun retard en comparació a la verificació funcional?*

A la **Figura 4** es mostra ...

Shape

Description automatically generated with low confidence

**Figura 4:** Diagrama d’ones de ...

# Informe Pràctica 3 Sessió 2: Registres de Configuració i Control

## *El codi del testbench es valora amb 4 punts (totes les tasques han d’estar correctament completades, comentades i demostrada la seva funcionalitat).*

## Testbench

**Taula 1:** Llista dels diferents tasques/funcions del testbench i la seva funcionalitat.

|  |  |
| --- | --- |
| **Tasca** | **Descripció** |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |

## Verificació Funcional

*Captures de les simulacions, amb una explicació breu i ressaltant les zones d’interès (poden ser més d’una captura!). Captura dels missatges d’auto verificació del ModelSim.*

A la **Figura 1** es mostra ...

Shape

Description automatically generated with low confidence

**Figura 1:** Diagrama d’ones de ...

A la **Figura 2** es mostren els missatges...

Shape

Description automatically generated with low confidence

**Figura 2:** Captura terminal Questa\*-Intel/ModelSim amb els missatges de l’autoverificació.

## Síntesis en FPGA

*Captura (o captures) del esquema RTL generat pel Quartus (expandiu les caixetes) i taula de recursos utilitzats.*

La **Figura 3** mostra el esquema RTL de la netlist generada amb el Quartus de registre de desplaçament. La **Taula 2** mostra els recursos utilitzats de la FPGA.

Shape

Description automatically generated with low confidence

**Figura 3:** Esquema RTL de la netlist generada amb el Quartus.

**Taula 2:** Llista dels recursos utilitzats en la implementació de registre de desplaçament.

|  |  |  |
| --- | --- | --- |
| **Recurs** | **Utilitzats** | **%** |
| Pins E/S | / |  |
| Elements Lògics | / |  |
| Registres | / |  |
| RAMs |  |  |
| DSPs |  |  |
| PLLs |  |  |
| ... |  |  |
|  |  |  |

**Verificació Post-síntesis**

*Captures de les simulacions, demostrant en correcte funcionament del circuit. Captura mostrant algun retard en comparació a la verificació funcional? Expliqueu per què heu hagut de canviar la referència jeràrquica del senyal busy?*

A la **Figura 4** es mostra ...

Shape

Description automatically generated with low confidence

**Figura 4:** Diagrama d’ones de ...

# Informe Pràctica 3 Sessió 2: Registres de Configuració i Control

## Màquina d’estats

*Explicació breu i clara de com funciona la màquina d’estats i de quin tipus és. Diagrama d’estats on es mostrin les transicions i les seves condicions. Taula d’estats on s’explica què fa cada estat.*

A la Figura 1 es mostra el diagrama d’estats de la unitat de control del mestre SPI implementat i la Taula 1 en hi ha llistats els diferents estats amb una breu descripció. La unitat de control realitza les següents operacions:...

Shape

Description automatically generated with low confidence

**Figura 1:** Diagrama d’estats de...

**Taula 1:** Llista dels diferents estats de la màquina d’estats implementada.

|  |  |
| --- | --- |
| **Estat** | **Descripció** |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |

## Testbench

**Taula 2:** Llista dels diferents tasques/funcions del testbench i la seva funcionalitat.

|  |  |
| --- | --- |
| **Tasca** | **Descripció** |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |

## Verificació Funcional

*Captures de les simulacions, amb una explicació breu i ressaltant les zones d’interès (poden ser més d’una captura!). Captura dels missatges d’auto verificació del Questa/Modelsim.*

A la Figura 2 es mostra ...

Shape

Description automatically generated with low confidence

**Figura 2:** Diagrama d’ones de ...

A la Figura 3 es mostren els missatges...

Shape

Description automatically generated with low confidence

**Figura 3:** Captura terminal Questa\*-Intel/ModelSim amb els missatges de l’autoverificació.

## Síntesis en FPGA

*Captura (o captures) del esquema RTL generat pel Quartus (expandiu les caixetes) i taula de recursos utilitzats.*

La Figura 4 mostra el esquema RTL de la netlist generada amb el Quartus i a la Figura 5 es mostra en detall el diagrama d’estats de la unitat de control. La Taula 3 mostra els recursos utilitzats de la FPGA.

Shape

Description automatically generated with low confidence

**Figura 4:** Esquema RTL de la netlist generada amb el Quartus.

Shape

Description automatically generated with low confidence

**Figura 5:** Diagrama d’estats de la unitat de control implementada.

**Taula 3:** Llista dels recursos utilitzats en la implementació de registre de desplaçament.

|  |  |  |
| --- | --- | --- |
| **Recurs** | **Utilitzats** | **%** |
| Pins E/S | / |  |
| Elements Lògics | / |  |
| Registres | / |  |
| RAMs |  |  |
| DSPs |  |  |
| PLLs |  |  |
| ... |  |  |
|  |  |  |

**Verificació Post-síntesis**

*Captures de les simulacions, demostrant en correcte funcionament del circuit. Captura mostrant algun retard en comparació a la verificació funcional*

A la Figura 6 es mostra ...

Shape

Description automatically generated with low confidence

**Figura 6** Diagrama d’ones de ...

# Informe Pràctica 4: Disseny i Síntesis d’una Estació Meteorològica

## Arquitectura del sistema

*Diagrama de blocs de l’arquitectura de l’estació meteorològica implementada i descripció breu de l’arquitectura, enumerant cada mòdul i descrivint la seva funcionalitat, així com les seves entrades i sortides.*

A la Figura 1 es mostra el diagrama de blocs del l’estació meteorològica implementada. A la Taula 1 hi ha llistats els diferents mòduls amb una breu descripció de la seva funcionalitat. El mòdul principal encarregat de controlar el funcionament és ... que s’encarrega de ...

A white background with black text

Description automatically generated with low confidence

**Figura 1:** Diagrama de blocs simplificat de l’estació meteorològica.

**Taula 1:** Llista dels diferents mòduls del sistema i la seva funcionalitat.

|  |  |
| --- | --- |
| **Mòdul** | **Descripció** |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |

**Taula 2:** Llista de les entrades i sortides i la seva funcionalitat.

|  |  |  |  |
| --- | --- | --- | --- |
| **Nom** | **Tipus** | **# bits** | **Descripció** |
|  | E/S |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

## BME reader

*Diagrama d’estats del mòdul bme280\_reader, així com una descripció breu del seu funcionament enumerant els diferents passos que fa fins a realitzar la segona tanda d’adquisició de dades.*

A la Figura 2 es mostra el diagrama d’estats del BME Reader. A la Taula 3 en hi ha llistats els diferents estats amb una breu descripció. La unitat de control realitza les següents operacions:

1. Configurar el mestre SPI per poder comunicares amb el sensor BME280.
2. ...

Shape

Description automatically generated

**Figura 2:** Diagrama d’estats de...

**Taula 3:** Llista dels diferents estats de la màquina d’estats implementada.

|  |  |
| --- | --- |
| **Estat** | **Descripció** |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |

## Verificació Funcional

*Captures de les simulacions, amb una explicació breu i ressaltant les zones d’interès (poden ser més d’una captura!). Captura dels missatges d’auto verificació del ModelSim.*

**Taula 3:** Llista dels diferents estats de la màquina d’estats implementada.

Test XXXXX: A la Figura 3 es mostra ...

Shape

Description automatically generated with low confidence

**Figura 3:** Diagrama d’ones de ...

## Síntesis en FPGA

*Captura (o captures) del esquema RTL generat pel Quartus (expandiu les caixetes) i taula de recursos utilitzats.*

La Figura 4 mostra el esquema RTL de la netlist generada amb el Quartus i a la Figura 5 es mostra en detall el diagrama d’estats de la unitat de control. La Taula 4 mostra els recursos utilitzats de la FPGA.

Shape

Description automatically generated with low confidence

**Figura 4:** Esquema RTL de la netlist generada amb el Quartus.

Shape

Description automatically generated with low confidence

**Figura 5:** Diagrama d’estats de la unitat de control implementada.

**Taula 4:** Llista dels recursos utilitzats en la implementació de registre de desplaçament.

|  |  |  |
| --- | --- | --- |
| **Recurs** | **Utilitzats** | **%** |
| Pins E/S | / |  |
| Elements Lògics | / |  |
| Registres | / |  |
| RAMs |  |  |
| DSPs |  |  |
| PLLs |  |  |
| ... |  |  |
|  |  |  |

## Qüestions

***Quina és la freqüència màxima d’operació del sistema?***

***Quina és la freqüència de rellotge de referència pel PLL?***

***Quines comandes SDC s’utilitzen per definir els rellotges del sistema?***

***Es compleixen els requisits temporals? Quin és el problema? Com es podria solucionar?***

***Per què cal sincronitzar les senyals que creuen dominis de rellotge?***

***Quina utilitat té el mòdul de power-on-reset? Per què n’utilitzem dos en el nostre sistema?***

***En quin mode opera el sensor BME280?***