
5. Introducció a l'Electrònica Digital

1 Sistemes de numeració binària	2
2 Àlgebra de Boole	3
2.1 <i>Teoremes</i>	4
2.1.1 Teoremes de Boole per a una variable	4
2.1.2 Teoremes de Boole per a més d'una variable	4
3 Portes lògiques	4
3.1 <i>Porta AND</i>	4
3.2 <i>Porta OR</i>	5
3.3 <i>Porta NOT</i>	5
3.4 <i>Porta OR-Exclusiva o XOR</i>	5
3.5 <i>Portes NAND i NOR</i>	6
4 Simplificació de funcions lògiques	7
4.1 <i>Diagrama de Karnaugh</i>	9
Annex 1. Característiques de les portes lògiques	13
<i>L'inversor ideal</i>	13
<i>L'inversor real</i>	13
Annex 2. Famílies lògiques	15
<i>Configuració d'una porta bàsica TTL amb entrada multiemissor</i>	16

Un sistema purament analògic treballa només amb funcions contínues, mentre que un **sistema digital** opera sobre polsos discrets o discontinus. Imaginem, per fixar idees, la sortida d’un transductor de temperatura com a senyal analògic que volem tractar:

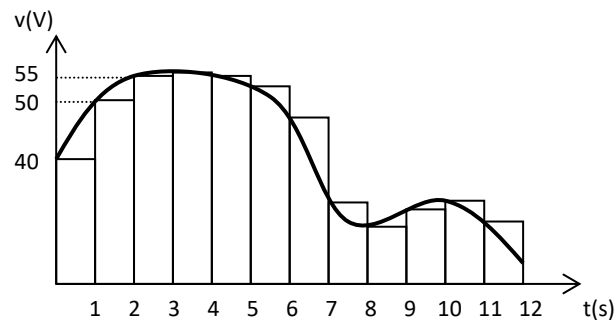


Figura 1. Resposta contínua d’un transductor de temperatura (traç gruixut) i la seva transformació a discreta (horitzontals)

El senyal analògic és la funció contínua que dona com a resposta el transductor. Però podem digitalitzar el senyal a intervals amb un conversor A/D de manera que haurem aproximat la funció contínua per una sèrie de nombres. Evidentment, com major és la resolució de la conversió, més s’aproxima el senyal digitalitzat a l’original.

1 Sistemes de numeració binària

Un sistema digital treballa amb la informació en forma numèrica, normalment en format codificat **binari**, de manera que s’aprofiten les característiques d’interruptor governat que tenen els dispositius BJT i MOSFET, és a dir, els estats conducció/no conducció, ON/OFF. Aquests estats ON/OFF d’un sistema binari es fan correspondre amb els valors lògics VERITAT/FALS, 1/0, que al mateix temps corresponen als nivells ALT/BAIX (H/L) de corrent o tensió d’un element interruptor, designant-se, per exemple, $V(1)$ i $V(0)$. Per exemple, en lògica TTL:

$$\begin{aligned} V(1) &= V(H) = 5 \text{ V, i} \\ V(0) &= V(L) = 0 \text{ V.} \end{aligned}$$

Tornant a l’exemple anterior, la digitalització de la corba donaria lloc a valors semblants a:

t (s)	1	2	3	4	5	6	7	8	9	10	11	12	...
V (V)	40	50	55	56	56	54	48	32	27	30	32	28	...

En definitiva, en un sistema digital, el senyal es representa com una sèrie d’impulsos que representen el valor d’aquest senyal en codi binari.

Exemple: L’expressió del nombre decimal 18_{10} en base 2 és 10010_2 :

$$\begin{array}{rcccccc} 2^n & \rightarrow & 2^4 & 2^3 & 2^2 & 2^1 & 2^0 \\ n^\circ \text{ binari} & \rightarrow & 1 & 0 & 0 & 1 & 0 \\ n^\circ \text{ decimal} & \rightarrow & 1 \cdot 2^4 & +0 & +0 & +1 \cdot 2^1 & +0 & = 16 + 2 = 18 \end{array}$$

Un dígit binari (*binary digit*) s’abreua **bit** i una seqüència de 8 bits, **byte**. Un grup de bits que formen un element d’informació s’anomena **paraula**. La manera d’agrupar els dígits en paraules està determinada per un **codi** definit. Abans hem vist com expressar un nombre decimal en binari. No obstant, un dels codis més utilitzats per expressar un numero decimal en binari és el **codi BCD** (Binary Coded Decimal), de manera que cada xifra decimal, independentment de la seva posició, s’expressa amb una paraula de 4 bits:

Decimal → 6 9 1 → 691
 BCD → 0110 1001 0001 → 0110 1001 0001

No només es poden expressar quantitats numèriques en format binari. Les "cadena" de bits també poden representar informació composta per lletres, és a dir, text. Tot el que es necessita és que hi hagi una entesa, és a dir, un mateix codi conegut pel generador i el receptor de dades. Un codi àmpliament utilitzat en la transmissió de lletres de l'alfabet, caràcters de puntuació i altres símbols és el **codi ASCII** (American Standard Code for Information Interchange). El codi utilitza 8 bits = 1 byte:

* 7 bits , $2^7 = 128$ elements d'informació

* 1 bit (el més significatiu) de paritat per control d'errades en la transmissió.

Exemple: Lletra S: 11010011
 Clau { : 11110111

Amb aquests dos codis podem transmetre qualsevol tipus d'informació, numèrica o de text, en format binari. A més a més, es poden realitzar operacions algebraiques amb nombres en format binari.

Exemple: Suma en binari de dos números $M = 1010_2$ i $N = 0011_2$:

excés	→		1						
M	→		1	0	1	0	→	10	
N	→	+	0	0	1	1	→	+ 3	
suma	→		1 1 0 1				→	13	

2 Àlgebra de Boole

L'**Àlgebra de Boole** és un sistema per a l'anàlisi matemàtica de la lògica i va ser ideat en el segle XIX pel matemàtic anglès George Boole. L'adaptació de l'àlgebra booleana als sistemes digitals, objecte del nostre interès, va ser presentada al 1938 per Claude Shannon, dels laboratoris Bell.

Variable lògica és una variable que només pot prendre dos estats definits : 1/0, ON/OFF, VERITABLE/FALS (V/F), 5 V/0 V, SI/NO, HIGH/LOW (H/L), ...

Funcions lògiques són funcions de variables lògiques. Els possibles valors d'una funció lògica es representen en una **taula de veritat**. Considerem una funció de dues variables lògiques (o binàries) $Z = f(A,B)$. Considerem que f és la funció suma exclusiva de les variables A, B (OR exclusiva o XOR, \oplus). La seva taula de veritat és :

A	B	$Z = A \oplus B$
0	0	0
1	0	1
0	1	1
1	1	0

Fixem-nos que per a dues variables lògiques, A i B, tenim $2^4 = 16$ columnes Z diferents, i que per tant hi ha 16 funcions possibles de dues variables. No obstant, amb només 2 d'elles definides com a operació i la inversió podem expressar qualsevol altra funció.

Així, les tres operacions que s'acostumen a prendre com a bàsiques són:

1. AND (\cdot): s'ha de complir la condició A i també s'ha de complir la B, la C, ... Ve a ser com una intersecció lògica de les condicions o, matemàticament, com un producte.

2. OR (+): s’ha de complir la condició A o bé es pot complir la B, o la C, ... Ve a ser com una unió lògica o com una suma.
3. NOT (-): nega la variable. S’acostuma a representar amb un – a sobre de la variable en qüestió, però també es pot posar / abans o ‘ després ($\bar{A} \equiv /A \equiv A'$).

2.1 Teoremes

Els **teoremes de l’Àlgebra de Boole** estableixen relacions bàsiques entre les variables binàries i les operacions fonamentals, AND, OR i NOT. La deducció d’aquests teoremes és en molts casos òbvia. En altres es pot obtenir a partir de les taules de veritat aplicades als dos membres de les igualtats.

2.1.1 Teoremes de Boole per a una variable

$$\begin{aligned} A + 0 &= A & A \cdot 0 &= 0 & \overline{\overline{A}} &= A \\ A + 1 &= 1 & A \cdot 1 &= A \\ A + A &= A & A \cdot A &= A \\ A + \bar{A} &= 1 & A \cdot \bar{A} &= 0 \end{aligned}$$

2.1.2 Teoremes de Boole per a més d’una variable

<i>Commutativitat:</i>	$A + B = B + A$	$A \cdot B = B \cdot A$
<i>Associativitat:</i>	$A + (B + C) = (A + B) + C$	$A \cdot (B \cdot C) = (A \cdot B) \cdot C$
<i>Distributivitat:</i>	$A \cdot (B + C) = (A \cdot B) + (A \cdot C)$	$A + (B \cdot C) = (A + B) \cdot (A + C)$
<i>Absorció:</i>	$A + (A \cdot B) = A$	$A \cdot (A + B) = A$
<i>De Morgan:</i>	$\overline{A + B} = \bar{A} \cdot \bar{B}$	$\overline{A \cdot B} = \bar{A} + \bar{B}$
<i>Altres:</i>	$A + (\bar{A} \cdot B) = A + B$	$A \cdot (\bar{A} + B) = A \cdot B$

3 Portes lògiques

Porta lògica és un circuit electrònic, compost de transistors, díodes i resistències, que implementa una funció lògica bàsica, considerant que els valors 1/0 corresponen a estats de tensió o de corrent alt/baix (H/L). Existeixen conjunts alternatius de funcions i portes lògiques:

AND	NAND
OR	NOR
NOT	XOR

3.1 Porta AND

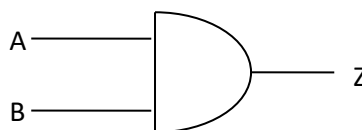
Taula de la veritat:

A	B	$A \cdot B$	<i>A and B</i>	$A \cap B$
0	0		0	
1	0		0	
0	1		0	
1	1		1	

Amb aquesta operació, la funció pren el valor 1 si i només si totes les variables d’entrada valen 1. Per això es diu que és una operació de coincidència. La generalització a qualsevol nombre de variables és òbvia.

$$Z = A \cdot B \cdot C \quad \text{p.e.} \quad Z = 1 \cdot 1 \cdot 1 = 1 \quad Z = 1 \cdot 0 \cdot 1 = 0$$

Símbol del circuit:



3.2 Porta OR

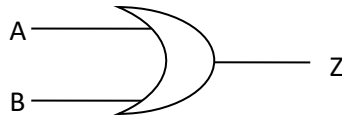
Taula de la veritat:

A	B	$A + B$	$A \text{ or } B$	$A \cup B$
0	0		0	
1	0		1	
0	1		1	
1	1		1	

Amb aquesta operació, la funció pren el valor 1 si alguna de les variables val 1. La generalització a qualsevol nombre de variables també és directa:

$$Z = A + B + C \quad \text{p.e.} \quad Z = 1 + 1 + 1 = 1 \quad Z = 1 + 0 + 1 = 1 \quad Z = 0 + 0 + 0 = 0$$

Símbol del circuit:



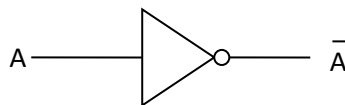
3.3 Porta NOT

Taula de la veritat:

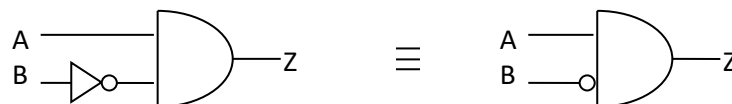
A	\bar{A}	$/A$	A'
0		1	
1		0	

L'operació NOT consisteix simplement en canviar l'estat del senyal, passant l'1 a 0 i el 0 a 1. Es tracta d'una funció d'una sola variable. $\text{NOT } A = \bar{A}$ (de vegades es representa $/A$ o A').

Símbol del circuit:



Sovint es simplifica la representació d'una porta NOT mitjançant un petit cercle a l'entrada o sortida corresponent. Així, la funció $Z = A \cdot \bar{B}$ es pot representar, simplement:



3.4 Porta OR-Exclusiva o XOR

Taula de la veritat:

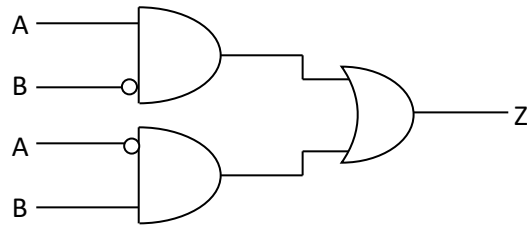
A	B	$Z = A \oplus B$
0	0	0
1	0	1
0	1	1
1	1	0

La taula de veritat coincideix amb la de la suma exclusiva de nombres d'un bit. Es defineix de manera que la sortida està a 1 si una i només una de les entrades està a 1.

Símbol del circuit:



Es pot expressar en funció de portes (operacions) anteriors: $A \oplus B = A \cdot \bar{B} + \bar{A} \cdot B$. És a dir:



3.5 Portes NAND i NOR

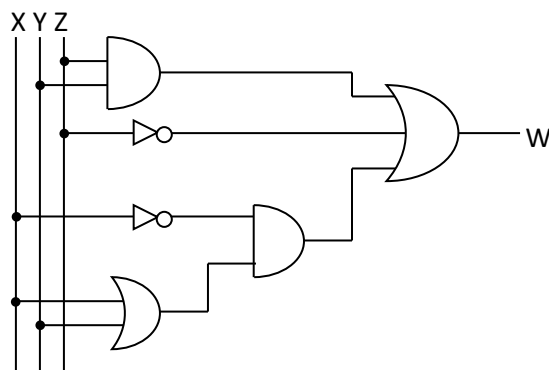
Consisteixen en les anteriors AND i OR on a la sortida es connecta una porta NOT:



Aquestes dues portes són molt utilitzades perquè són autoconsistents, és a dir que es pot realitzar qualsevol funció lògica emprant només qualsevol d’elles dues.

Exemple:

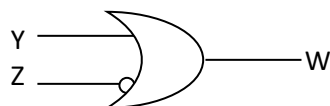
Es demana simplificar la següent funció lògica de 3 variables: $W = Z \cdot Y + \bar{Z} + \bar{X} \cdot (X + Y)$, que tal i com està necessitaria tres nivells de portes per ser implementada:



Simplificació mitjançant l’àlgebra de Boole:

$$\begin{aligned}
 W &= \bar{X} \cdot (X + Y) + \bar{Z} + Z \cdot Y = \\
 &= (\bar{X} \cdot X) + (\bar{X} \cdot Y) + \bar{Z} + Y = \\
 &= (\bar{X} \cdot Y) + Y + \bar{Z} = \\
 &= Y + \bar{Z}
 \end{aligned}$$

Implementació:



Evidentment, molt més senzilla, i realitza exactament la mateixa funció.

NOTA: Com en l’àlgebra habitual, el producte (intersecció o AND) té prioritats front a la suma (unió o OR). Per això freqüentment s’elideix el seu signe (·).

4 Simplificació de funcions lògiques

Podem començar introduint una sèrie de conceptes.

- **Literal:** tota variable o el seu complement.
- **Terme producte:** conjunt de literals units per la funció AND.
- **Terme suma:** conjunt de literals units per la funció OR.
- **Terme normal o canònic:** terme que conté totes les variables sense repetició.

La manera estàndard d'expressar les funcions lògiques, per complicades que siguin, és la de **producte de sumes** o **suma de productes**.

Exemple: Sigui la funció: $f(ABCD) = (A \cdot C + B) \cdot (C \cdot D + \bar{D})$

La seva expressió com a suma de productes pot ser:

$$\begin{aligned} f(ABCD) &= A \cdot C \cdot C \cdot D + A \cdot C \cdot \bar{D} + B \cdot C \cdot D + B \cdot \bar{D} = \\ &= A \cdot C \cdot D + A \cdot C \cdot \bar{D} + B \cdot (C \cdot D + \bar{D}) = \\ &= A \cdot C \cdot (D + \bar{D}) + B \cdot (C \cdot D + \bar{D}) = \\ &= A \cdot C + B \cdot C + B \cdot \bar{D} \end{aligned}$$

I com a producte de sumes:

$$f(ABCD) = (A + B) \cdot (C + B) \cdot (C + \bar{D}) \cdot (D + \bar{D}) = (A + B) \cdot (B + C) \cdot (C + \bar{D})$$

- Quan tots els termes són normals s'anomena **forma standard**:
- Suma standard de productes \equiv Suma de productes canònics \equiv Suma de **mintermes**
- Producte standard de sumes \equiv Producte de sumes canòniques \equiv Producte de **Maxtermes**

Qualsevol funció lògica es pot implementar com a suma de mintermes i també com a producte de Maxtermes. Per tant, qualsevol funció lògica es pot implementar únicament amb dos nivells de portes lògiques, a partir de portes AND, OR o equivalentment NAND, NOR (a més del NOT).

Exemple: La funció anterior seria, com a suma de mintermes (eliminant termes repetits)

$$\begin{aligned} f(ABCD) &= A \cdot (B + \bar{B}) \cdot C \cdot D + A \cdot (B + \bar{B}) \cdot C \cdot \bar{D} + (A + \bar{A}) \cdot B \cdot C \cdot D + (A + \bar{A}) \cdot B \cdot (C + \bar{C}) \cdot \bar{D} = \\ &= (A \cdot B \cdot C \cdot D) + (A \cdot \bar{B} \cdot C \cdot D) + (A \cdot B \cdot C \cdot \bar{D}) + (A \cdot \bar{B} \cdot C \cdot \bar{D}) + (A \cdot B \cdot C \cdot D) + (\bar{A} \cdot B \cdot C \cdot D) + \\ &\quad + (A \cdot B \cdot C \cdot \bar{D}) + (A \cdot B \cdot \bar{C} \cdot \bar{D}) + (\bar{A} \cdot B \cdot C \cdot \bar{D}) + (\bar{A} \cdot B \cdot \bar{C} \cdot \bar{D}) \\ f(ABCD) &= (A \cdot B \cdot C \cdot D) + (A \cdot \bar{B} \cdot C \cdot D) + (A \cdot B \cdot C \cdot \bar{D}) + (A \cdot \bar{B} \cdot C \cdot \bar{D}) + \\ &\quad + (\bar{A} \cdot B \cdot C \cdot D) + (A \cdot B \cdot \bar{C} \cdot \bar{D}) + (\bar{A} \cdot B \cdot C \cdot \bar{D}) + (\bar{A} \cdot B \cdot \bar{C} \cdot \bar{D}) \end{aligned}$$

I com a producte de Maxtermes

$$\begin{aligned} f(ABCD) &= (A + B + C \cdot \bar{C} + D \cdot \bar{D})(A \cdot \bar{A} + B + C + D \cdot \bar{D})(A \cdot \bar{A} + B \cdot \bar{B} + C + D) \\ f(ABCD) &= (A + B + C + D) \cdot (A + B + C + \bar{D}) \cdot (A + B + \bar{C} + D) \cdot (A + B + \bar{C} + \bar{D}) \cdot \\ &\quad \cdot (\bar{A} + B + C + D) \cdot (\bar{A} + B + C + \bar{D}) \cdot (A + \bar{B} + C + D) \cdot (\bar{A} + \bar{B} + C + D) \end{aligned}$$

Es fàcil comprovar que els mintermes estan unívocament relacionats amb els 1 a la taula de la veritat, i els Maxtermes amb els 0. Per exemple, la taula de la veritat de la funció dels exemples anteriors és la següent:

A	B	C	D	F	#
0	0	0	0	0	0
0	0	0	1	0	1
0	0	1	0	0	2
0	0	1	1	0	3
0	1	0	0	1	4
0	1	0	1	0	5
0	1	1	0	1	6
0	1	1	1	1	7
1	0	0	0	0	8
1	0	0	1	0	9

1	0	1	0	1	10
1	0	1	1	1	11
1	1	0	0	1	12
1	1	0	1	0	13
1	1	1	0	1	14
1	1	1	1	1	15

La representació en mintermes de la funció s’obté prenent les files que donen 1 i escrivint-les segons llur valor decimal (n) entre parèntesis després d’un signe de sumatori on s’indica que són mintermes i el nombre de variables de la funció:

$$f = \sum_{min}^4 (4,6,7,10,11,12,14,15) = \sum_4 m(4,6,7,10,11,12,14,15)$$

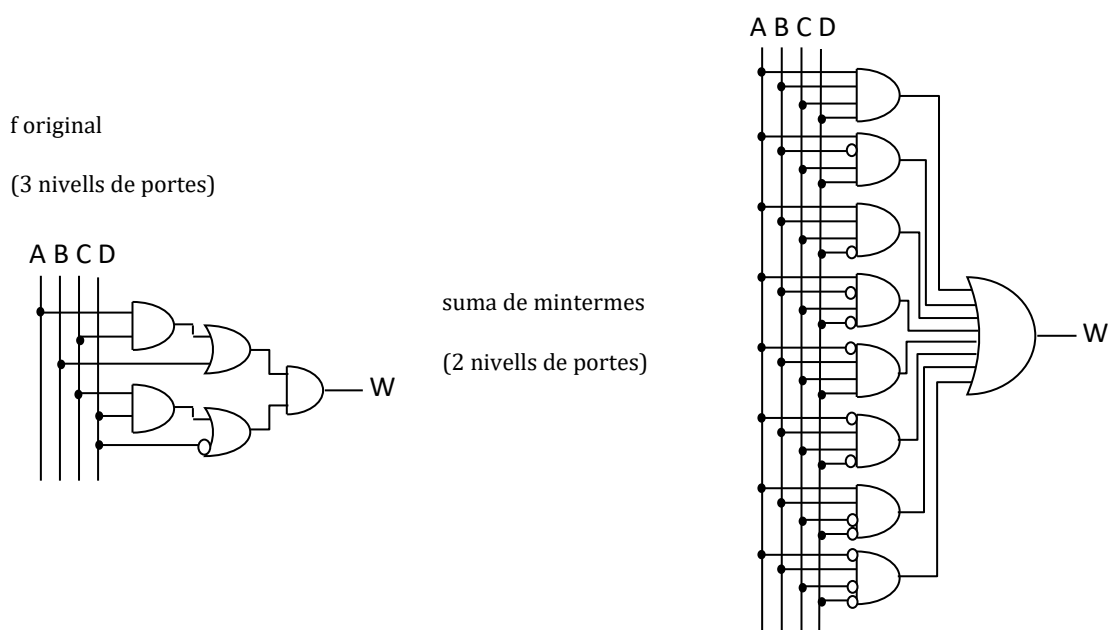
Anàlogament, per representar-la en Maxtermes:

$$f = \prod_{Max}^4 (0,1,2,3,5,8,9,13) = \prod_4 M(0,1,2,3,5,8,9,13)$$

En resum,

#	A	B	C	min	Max
0	0	0	0	$\bar{A} \cdot \bar{B} \cdot \bar{C}$	$A + B + C$
1	0	0	1	$\bar{A} \cdot \bar{B} \cdot C$	$A + B + \bar{C}$
2	0	1	0	$\bar{A} \cdot B \cdot \bar{C}$	$A + \bar{B} + C$
3	0	1	1	$\bar{A} \cdot B \cdot C$	$A + \bar{B} + \bar{C}$
4	1	0	0	$A \cdot \bar{B} \cdot \bar{C}$	$\bar{A} + B + C$
5	1	0	1	$A \cdot \bar{B} \cdot C$	$\bar{A} + B + \bar{C}$
6	1	1	0	$A \cdot B \cdot \bar{C}$	$\bar{A} + \bar{B} + C$
7	1	1	1	$A \cdot B \cdot C$	$\bar{A} + \bar{B} + \bar{C}$

Com es veu a continuació, la configuració amb dos nivells de portes és molt més sistemàtica. Existeixen mètodes per simplificar funcions lògiques expressades en forma canònica. També és possible, a partir de la taula de veritat, expressar directament la funció lògica en forma canònica. Per exemple, per a la funció dels exemples anteriors:



4.1 Diagrama de Karnaugh

És un mètode gràfic en dues dimensions de simplificació de funcions lògiques, que parteix del teorema que qualsevol funció de n variables es pot expressar con a suma standard de productes, i també com a producte standard de sumes. Es basa en mostrar físicament contigus els termes que només tenen una variable diferent de l'un a l'altre (p.e. $A \cdot B \cdot C \cdot D + A \cdot B \cdot C \cdot \bar{D}$). Cal remarcar que per aconseguir-ho cal intercanviar la 3a i 4a columnes i files del seu ordre natural.

Continuant amb l'exemple previ, fem el diagrama bidimensional posant a cada casella el resultat de la funció. Entre parèntesi es mostra el nombre (#) de la posició:

		AB			
		00	01	11	10
CD	00	0 (0)	1 (4)	1 (12)	0 (8)
	01	0 (1)	0 (5)	0 (13)	0 (9)
	11	0 (3)	1 (7)	1 (15)	1 (11)
	10	0 (2)	1 (6)	1 (14)	1 (10)

El fet que apareguin dos 1 contigus indica que es pot treure factor comú i simplificar el literal que canvia de valor. Per exemple, els 1 a les posicions 4 i 12 corresponen a:

$$\bar{A} \cdot B \cdot \bar{C} \cdot \bar{D} + A \cdot B \cdot \bar{C} \cdot \bar{D} = (A + \bar{A}) \cdot B \cdot \bar{C} \cdot \bar{D} = B \cdot \bar{C} \cdot \bar{D}$$

I es pot simplificar la variable que canvia el seu valor (A). Així, es poden agrupar parelles d'1 contigus. També grups de quatre 1s, com les posicions 6,7,14 i 15 de l'exemple.

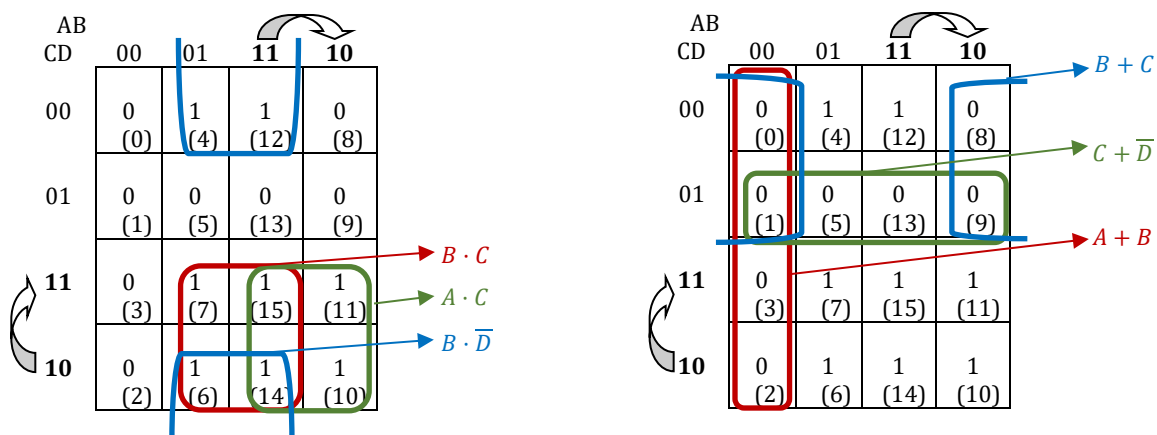
$$\left. \begin{aligned} \bar{A} \cdot B \cdot C \cdot \bar{D} + \bar{A} \cdot B \cdot C \cdot D &= \bar{A} \cdot B \cdot C \\ A \cdot B \cdot C \cdot \bar{D} + A \cdot B \cdot C \cdot D &= A \cdot B \cdot C \end{aligned} \right\} B \cdot C$$

i es simplifiquen els dos literals que variaven. De manera similar es podrien formar grups de 8, 16, etc. elements, sempre fent agrupacions amb un nombre d'elements que sigui una potència de 2 sense que formin cap angle (quadrats o rectangles, però mai forma de L ni de T ni cap mena de ziga-zaga).

Val a dir que

- aquest mètode és completament equivalent per mintermes (els 1 de la taula de la veritat) i per Maxtermes (els 0),
- qualsevol 1 o 0 pot ser utilitzat més d'una vegada,
- els grups han de ser quadrats o en línia però no formant angle, i
- es poden formar grups amb els dos extrems del diagrama i amb la fila de dalt i la de baix, ja que només canvia una variable i el diagrama es comporta no tant com un pla sinó com un cilindre tant en la direcció horitzontal com en la vertical.

Així, per al cas de l'exemple anterior es poden fer 3 grups de 4, en els quals es simplifiquen 2 variables.:



Per tant la funció simplificada queda:

$$f(ABCD) = A \cdot C + B \cdot C + B \cdot \bar{D}$$

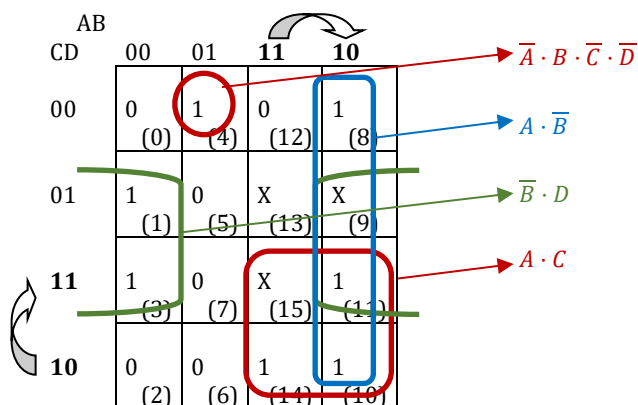
$$f(ABCD) = (A + B) \cdot (B + C) \cdot (C + \bar{D})$$

com es troba també mitjançant l'àlgebra de Boole.

Així, doncs, el PROCEDIMENT SISTEMÀTIC és:

1. Es fa el mapa de Karnaugh
2. S'agafen els grups de 8 termes contigus (si n'hi ha)
3. S'agafen els grups de 4 termes contigus no completament contemplats
4. S'agafen els grups de 2 termes contigus no completament contemplats
5. Finalment s'agafen els termes individuals que no es poden agrupar
6. Per obtenir l'expressió algebraica més senzilla cal fer el mínim nombre d'agrupacions amb els grups més grans possibles.

Un altre exemple, on s'han marcat alguns termes de valor indeterminat (X) i s'han pres com a 0 o 1 segons interessa en cada cas:



$$f(ABCD) = \bar{A} \cdot B \cdot \bar{C} \cdot \bar{D} + A \cdot \bar{B} + \bar{B} \cdot D + A \cdot C$$

Exemple: Dissenyar el circuit més simple que detecti els números primers menors de 15 (no considereu el 0), i implementar-lo amb dos nivells de portes.

Començarem primer construint la taula de veritat del circuit. Quan el número sigui primer, la sortida serà 1. En cas contrari, serà 0.

#	Binari	Sortida	#	Binari	Sortida
0	0000	0	8	1000	0
1	0001	1	9	1001	0
2	0010	1	10	1010	0
3	0011	1	11	1011	1
4	0100	0	12	1100	0
5	0101	1	13	1101	1
6	0110	0	14	1110	0
7	0111	1	15	1111	0

La funció lògica resultant l'expressarem com a suma de productes de la següent manera:

- Agafarem totes les combinacions binàries que donen com a resultat un 1 a la sortida i construïm els termes:

$$f = A \cdot B \cdot C \cdot \bar{D} + A \cdot B \cdot \bar{C} \cdot D + A \cdot B \cdot \bar{C} \cdot \bar{D} + A \cdot \bar{B} \cdot C \cdot \bar{D} + A \cdot \bar{B} \cdot \bar{C} \cdot \bar{D} + \bar{A} \cdot B \cdot \bar{C} \cdot \bar{D} + \bar{A} \cdot \bar{B} \cdot C \cdot \bar{D}$$

- Comprovem fàcilment que la funció descrita reproduïx la taula de veritat. Cadascun dels termes del sumatori és un minterme i s'enumera amb el número decimal de la primera columna de l'esquerra. Així, podem escriure la funció anomenant només els seus mintermes:

$$f = \sum_4 m(1,2,3,5,7,11,13)$$

Intentarem simplificar la funció a través de la construcció d'un diagrama de Karnaugh:

		AB			
		00	01	11	10
CD	00	0 (0)	0 (4)	0 (12)	0 (8)
	01	1 (1)	1 (5)	1 (13)	0 (9)
	11	1 (3)	1 (7)	0 (15)	1 (11)
	10	1 (2)	0 (6)	0 (14)	0 (10)

Entre dos termes adjacents marcats amb un 1 al diagrama només canvia una variable, que apareix complementada en un d'ells i sense complementar en l'altre. Per exemple, considerem els minterms adjacents 1 i 3:

$$\bar{A} \cdot \bar{B} \cdot \bar{C} \cdot D + \bar{A} \cdot \bar{B} \cdot C \cdot D = \bar{A} \cdot \bar{B} \cdot (\bar{C} + C) \cdot D = \bar{A} \cdot \bar{B} \cdot D$$

I la variable que canvia queda eliminada. S'han substituït dos termes, cadascun de 4 variables per un de sol de 3 variables. Els mintermes que són veïns geomètricament, també ho són lògicament. Hem de considerar també adjacents la primera i la darrera files, i la primera i la darrera columnes.

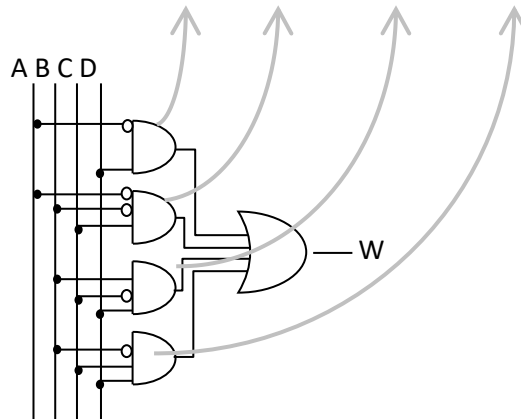
De manera semblant, 2ⁿ compartiments adjacents poden combinar-se per obtenir un terme més senzill, en el que s'hagin eliminat n variables. Els 4 agrupats són:

$$\sum_4 m(1, 3, 5, 7) = |\text{C i B són les variables que canvien}| = \bar{A}D$$

I així es van fent els grups de manera que la funció simplificada queda:

$$f(ABCD) = \bar{A} \cdot D + \bar{A} \cdot \bar{B} \cdot C + B \cdot \bar{C} \cdot D + \bar{B} \cdot C \cdot D$$

I el circuit seria:

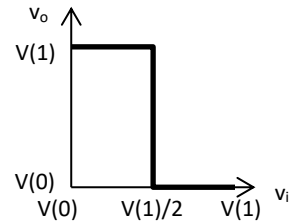
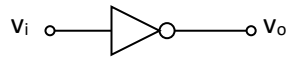


Per implementar amb NAND i NOR, hem d'invertir a la sortida de cada porta.

Annex 1. Característiques de les portes lògiques

L'inversor ideal

Un inversor ideal realitza l'operació NOT. Característica de la transferència:

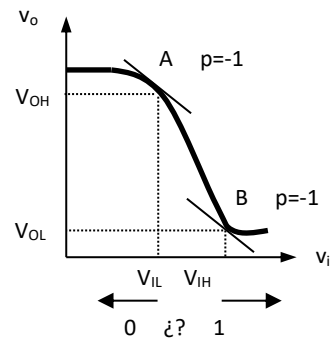


L'inversor ideal commuta quan la tensió d'entrada assolix el valor $V(1)/2$.

L'inversor real

La característica de transferència resulta útil per definir els valors de tensió que corresponen a $V(1)$ i $V(0)$. En els punts A i B de la figura marquen llurs límits i es defineixen com aquells en què el pendent val -1 .

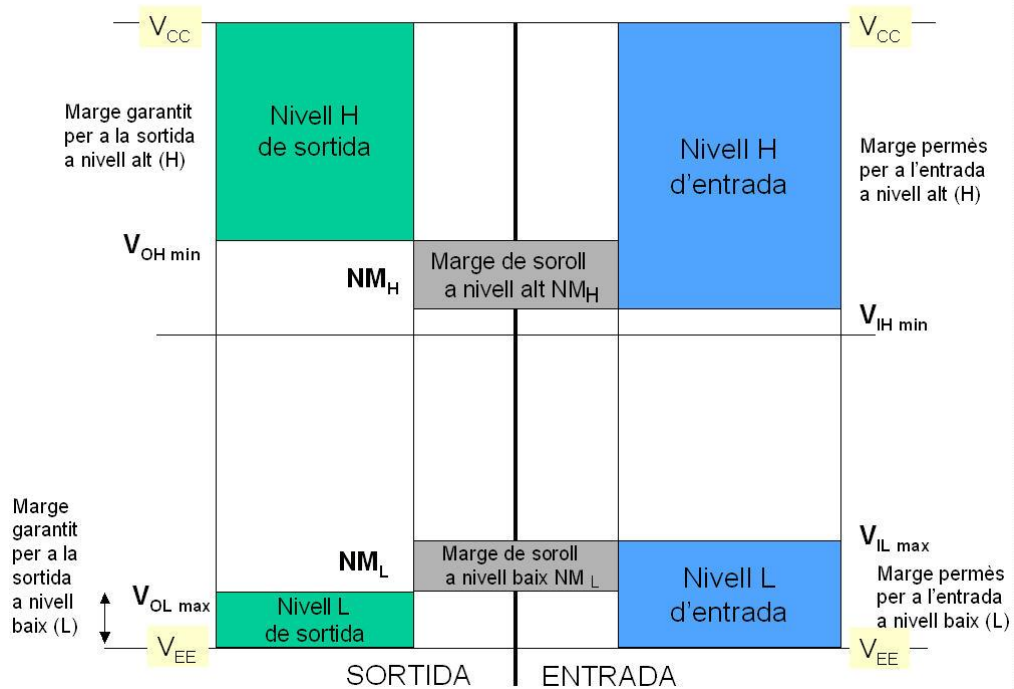
Els valors de l'abscissa i l'ordenada del punt A s'anomenen V_{OH} i V_{IL} respectivament. V_{IL} indica el valor màxim de v_i identificable com a lògica 0, ja que la transició de la sortida es produeix a partir d'aquest punt. De la mateixa manera V_{OH} és el valor mínim que pot adquirir $V(1)$. Així, en B, V_{OL} és el valor màxim de v_o corresponent a $V(0)$ i V_{IH} la tensió d'entrada mínima (lògica 1) necessària per provocar $V(0)$ a la sortida. Donat que una sortida ha de servir a la vegada com a entrada, s'ha de complir que:



$$V_{OH} > V_{IH} \quad i \quad V_{OL} < V_{IL}$$

Observem que existeix una regió incerta on no hi ha una entrada ni una sortida en un estat binari clar. Les tensions aplicades han d'estar sempre fora d'aquest rang.

L'anterior descripció de les característiques de l'inversor es pot aplicar també a les portes NAND i NOR. En aquest cas, s'ha d'interpretar v_i com la combinació d'entrades necessària per provocar la transició entre estats. El següent gràfic mostra la situació:



Valors numèrics que poden assolir aquestes magnituds (família TTL, que veurem més endavant):

$$V_{EE} = V(0) = 0V \quad V_{CC} = V(1) = 5V$$

$$NM_H = 0.7V \quad NM_L = 0.3V$$

$$V_{IH} = 2V \quad V_{IL} = 0.8V$$

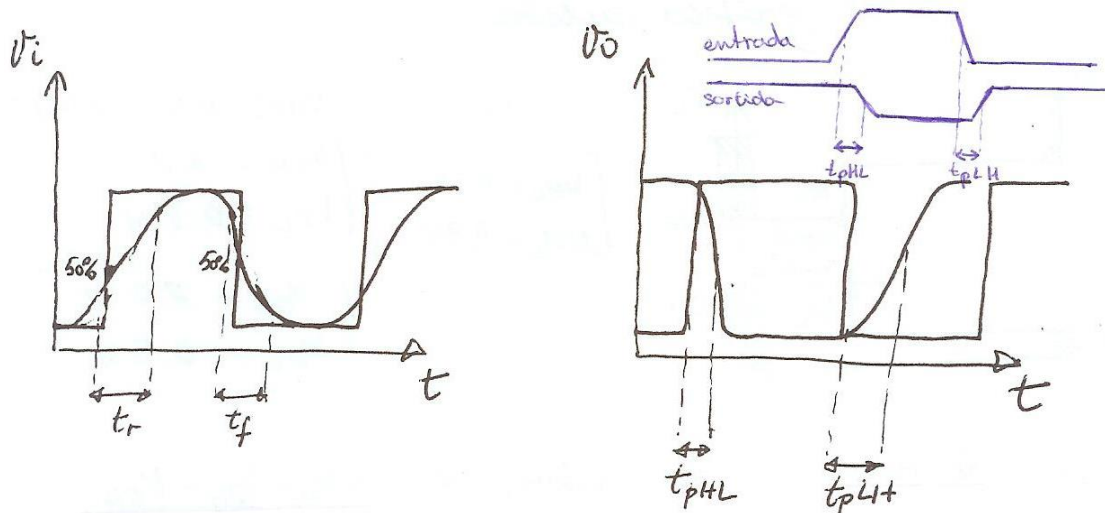
$$V_{OH} = 2.7V \quad V_{OL} = 0.5V$$

Marge de soroll. Els valors de $NM_H = V_{OH} - V_{IH}$ i $NM_L = V_{IL} - V_{OL}$ corresponen als marges de soroll per als valors alt $V(1)$ i baix $V(0)$, respectivament. La importància del marge de soroll rau en el fet que un senyal no desitjat (soroll) de valor menor que el NM no alterarà els estats lògics. Els sorolls que superen el NM es converteixen en senyals d'entrada en la zona d'incertesa o provoquen una transició no desitjada.

Fan Out (sortida en ventall). Una porta lògica ha de ser capaç de subministrar l'entrada a diversos circuits semblants \Rightarrow Fan out es defineix com el número de circuits (càrrega) que la porta pot excitar.

Dissipació de potència. El consum total de potència d'una porta és un paràmetre important en el disseny de circuits digitals. Hi contribueix la potència estàtica (nivells lògics estables) i la potència dinàmica (en la transició).

Velocitat d'actuació. La velocitat a la que pot treballar una porta (commutació) depèn del temps necessari per que un senyal es propagui des de l'entrada a la sortida. Els temps de pujada i baixada, t_r i t_f respectivament, mesuren els temps de transició des del 10% al 90% de la diferència entre els estats lògics.



El **retard en la propagació** t_p és la diferència entre els moments en que les tensions d'entrada i de sortida estan al 50% del seu valor. Aquests temps poden variar per les transicions HL i LH.

El temps necessari perquè un circuit lògic realitzi dues transicions successives (de manera que torni a l'estat original) constitueix el **temps d'un cicle** t_{cycl} . Normalment s'opera amb temps de cicle superiors de 20 a 50 vegades el retard de propagació. Moltes vegades aquest temps s'expressa pel seu invers, la freqüència f_{ck} .

Annex 2. Famílies lògiques

Una **família lògica** és un conjunt de circuits integrats amb portes realitzats amb la mateixa tecnologia i perfectament compatibles entre ells. La primera família de circuits integrats digitals d'utilitat general va ser la RTL (1962) formada únicament per transistors bipolars i resistències. Posteriorment, van aparèixer altres famílies (DCL, DTL, I²L) que consistien bàsicament en versions integrades en petita escala d'integració (SSI) de circuits ja realitzats amb elements discrets:

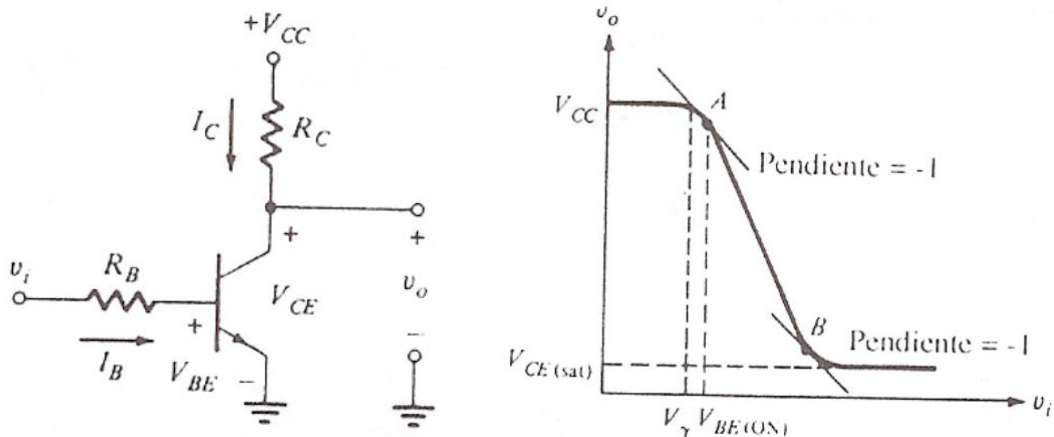
SSI	< 100 portes	(< 1.000 transistors)
LSI	100 - 1.000 portes	(1.000 - 10.000 transistors)
VLSI	> 1.000 portes	(>10.000 transistors)

Entre 1970 i 1985 va dominar la tecnologia d'integració a petita i mitjana escala de la família de lògica transistor-transistor (TTL) que presentava un bon compromís entre cost, velocitat, consum i senzillesa. En principi estava disponible en escala SSI, però la tendència a la miniaturització i la millora tecnològica l'han obligat a evolucionar, cercant sempre dos compromisos generalment contraposats: alta velocitat i baix consum. Així, la família TTL ha estat, des del seu origen, molt popular.

En particular, els integrats 7400, 7402 i 7404 tenen:

7400:	4 portes NAND de 2 entrades
7402:	4 portes NOR de 2 entrades
7404:	6 inversors

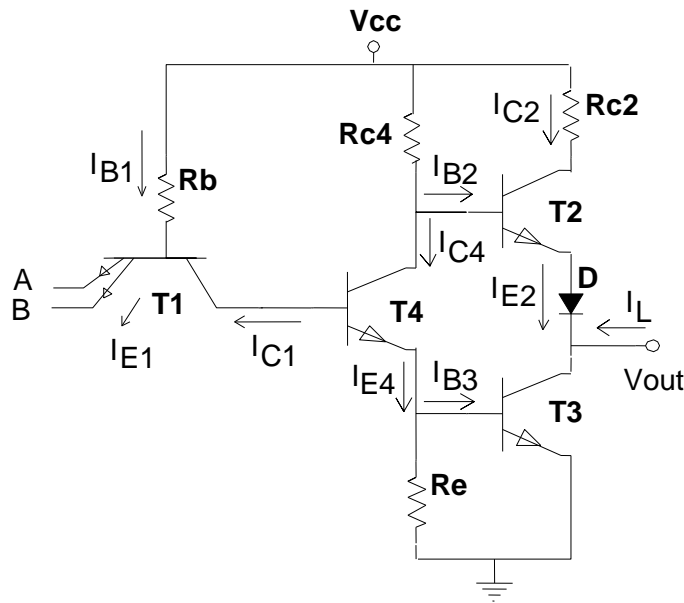
El circuit inversor bàsic de les famílies bipolars és un transistor BJT que treballa en la zona de saturació, $v_o = L$ (nivell baix o "0" lògic), o tall, $v_o = H$ (nivell alt o "1" lògic).



L'anàlisi és simple:

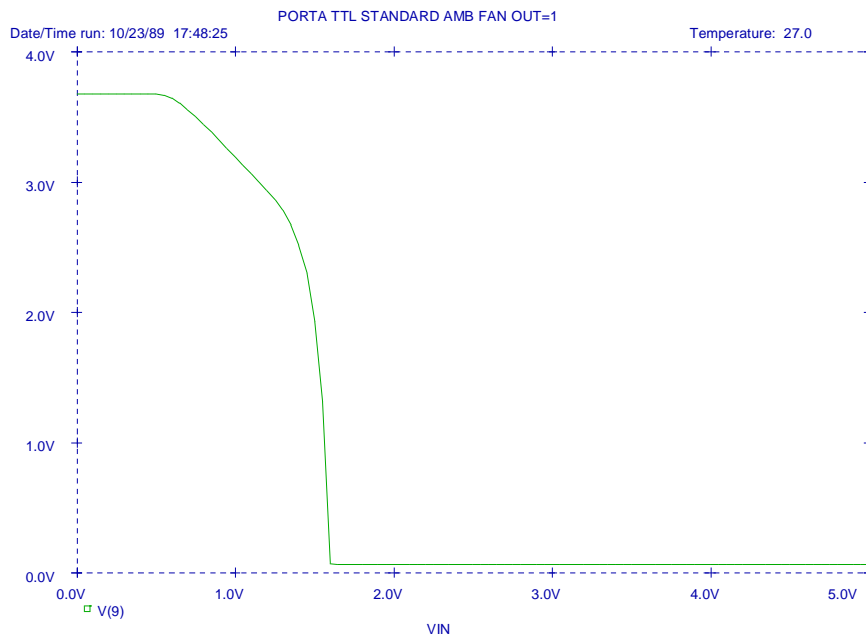
- Amb $v_i = L < V_{BE(ON)}$, el BJT està tallat, no hi circula intensitat I_C ; per tant no cau tensió a la resistència R_C i la tensió de sortida és $V_{CC} = 5V = H$.
- En augmentar v_i el transistor passa a la regió activa, circulant I_C cada cop més gran, cosa que provoca una disminució a la sortida v_o .
- Finalment, el creixement de v_i fins a H satura el BJT, provocant $V_{CEsat} \approx 0.2 V$ i obtenint una sortida de L .

Configuració d’una porta bàsica TTL amb entrada multiemissor



Es tracta d’una porta NAND de dues entrades, ja que si una de les entrades està a 0 la junció BE corresponent es polaritza en directe, dominant sobre les altres i fent que el transistor T1 estigui en directe. Llavors absorbeix corrent de la base de T4 i el talla, tallant també T3 i per tant no circula corrent per tota la branca inferior. Així la tensió a la sortida ve a ser $V_{CC} - V_{BE} (T2)$ o sigui 4.3 V.

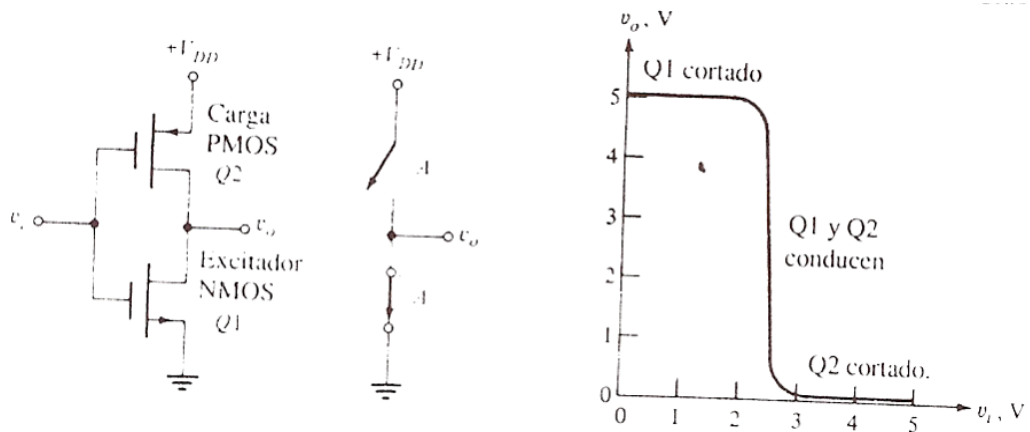
Característica de transferència de voltatge d’una porta TTL estàndard:



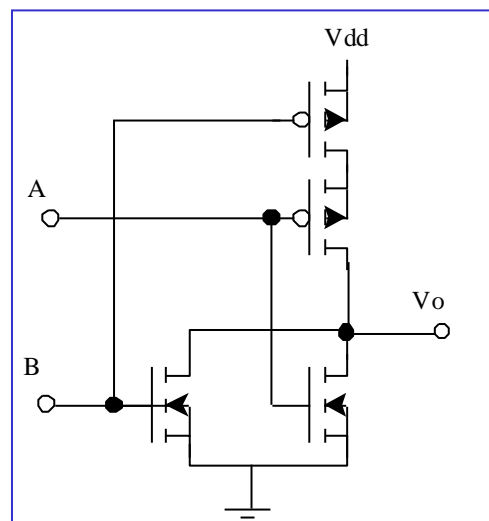
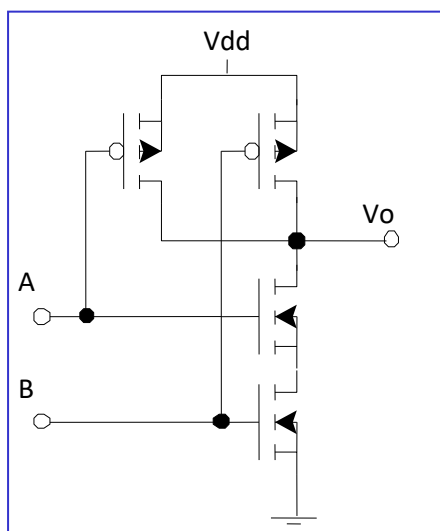
Darrerament, però, s’han anat imposant les famílies basades en tecnologia MOSFET, que són la base de la majoria dels circuits LSI, VLSI, memòries digitals i microprocessadors. Tot i que no són tan ràpides com les famílies bipolars, una sèrie de característiques han donat la preponderància al MOSFET respecte el BJT en microelectrònica:

- El transistor MOSFET té una estructura més simple que el BJT i ocupa menys.
- Consumeix menys potència (~nW front a ~μW).
- El procés de fabricació és més senzill.
- El MOSFET pot treballar en règim dinàmic.

D'entre les famílies MOS, es distingeixen per la seva velocitat i baixa dissipació de potència les CMOS, amb un circuit inversor bàsic format per un transistor PMOS que actua com a càrrega d'un NMOS.

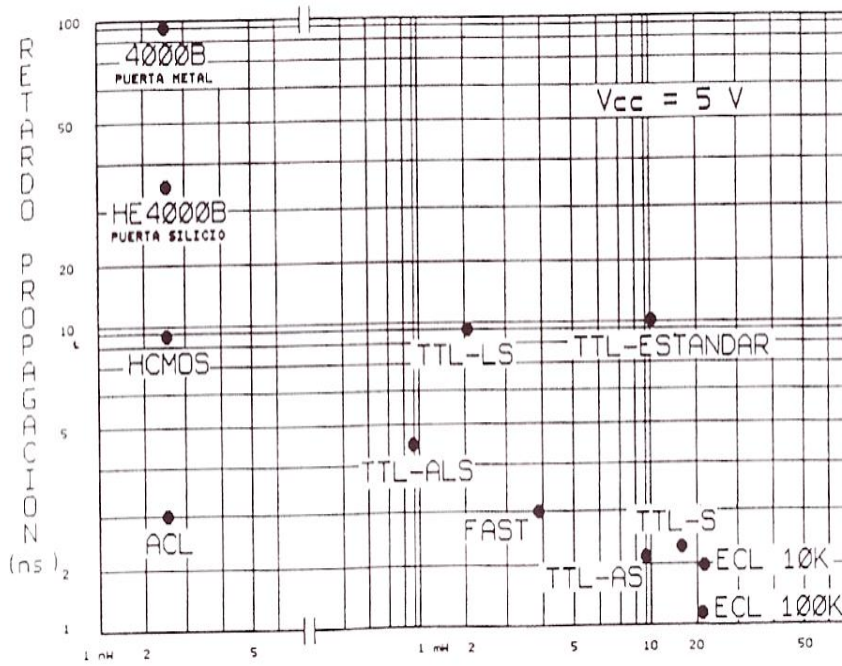


Les portes NAND i NOR de dues entrades són igualment senzilles i segueixen el mateix esquema de transistors PMOS a la part superior i NMOS a la inferior:



Les famílies lògiques CMOS són les sèries 4000B, 74C, 74HC i 74AC, fabricades totes elles amb portes de polisilici. Aquests circuits tenen una gran flexibilitat lògica, ja que poden treballar entre 3 i 20V d'alimentació, de manera que cada sortida, treballant a 5V, és capaç d'excitar una porta TTL.

Retard front a dissipació de potència en contínua per a les diferents famílies lògiques. L'ideal es situa al (0,0), és a dir retard mínim amb mínim consum, i l'evolució hi ha anat tendint paulatinament.



Quadres comparatius de les famílies lògiques:

COMPARACION DE FAMILIAS LOGICAS (DATOS DEL FABRICANTE)														
$V_{CC} = 5\text{ V}$ PUERTA NAND DE DOS ENTRADAS														
	TTL-Est.	S	LS	ALS	AS	FAST	4000B	HE4000B	74HC	74HCT	74AC	74ACT	ECL 10K	Unidades
t_{pD}	11	3	8	4	2	3	125	55	9	12	4	6.5	2	ns
$f_{m\acute{a}x}$	25	95	33	34	125	72.4	2	8	76	59	125	125	125	MHz
$I_{OHm\acute{a}x}$	-0.4	-1	-0.4	-0.4	-2	-1	-0.51	-0.44	-4	-4	-24	-24	—	mA
$I_{OLm\acute{a}x}$	16	20	8	8	20	20	0.51	0.44	4	4	24	24	—	mA
I_{IHmin}	40	50	20	20	50	20	0.1	0.3	0.1	0.1	0.1	0.1	—	μA
I_{ILmin}	-1.6	-2	-0.36	-0.2	-0.5	-0.6	-0.1 ¹	-0.3 ²	-0.1 ²	-0.1 ²	-0.1 ²	-0.1 ²	-0.5 ²	mA
I_{OS}	-100	-100	-100	-112	-112	-150	—	—	—	—	—	—	—	mA
V_{OHmin}	2.4	2.7	2.7	2.7	2.7	2.7	4.6	4.5	3.98	3.98	3.94	3.94	-0.96	V
$V_{OLm\acute{a}x}$	0.4	0.5	0.5	0.5	0.5	0.5	0.4	0.5	0.26	0.26	0.36	0.36	-1.675	V
V_{IHmin}	2	2	2	2	2	2	3.5	3.5	3.15	2	3.25	2	—	V
$V_{ILm\acute{a}x}$	0.8	0.8	0.8	0.8	0.8	0.8	1.5	1.5	1.35	0.8	1.65	0.8	—	V
Fan-out _(L) ¹	30	12.5	10	5	12.5	12.5	0.32	0.27	—	—	15	15	—	
Producto														
$P_D \cdot t_{pD}$	100	60	20	4	30	—	—	—	—	—	—	—	50	pJ

1 Para una $V_{OL} = 0.3\text{ V}$
 2 Valor expresado en μA
 3 Excepto para ECL ($V_{CC} = 0\text{ V}$ y $V_{EE} = -5.2\text{ V}$)
 4 Expresado en 10^{-4} pJ