

Lab2. Caracterització de dispositius MOS

1. Objectiu de la pràctica

Entendre els paràmetres fonamentals del model del transistor MOS i poder estimar el seu valor mitjançant simulacions.

2. Model del transistor MOS

A la Figura 1 es mostra una vista en secció transversal d'un transistor NMOS. Quan la diferència de potencial entre la font (source, S) i el drenador (drain, D) és petita ($\sim 0V$) i s'aplica un gran potencial ($> V_{T0}$) entre la porta (gate, G) i la font, el transistor funcionarà de manera lineal (regió òhmica o lineal).

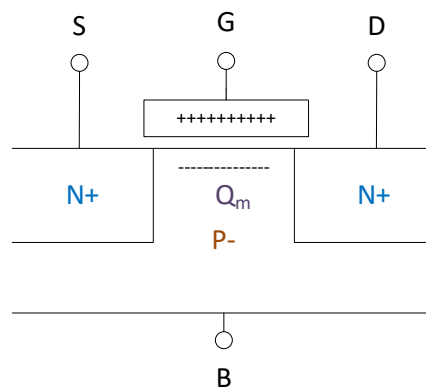


Figura 1. Vista en secció transversal d'un transistor NMOS.

El potencial de porta positiu fa que els electrons s'agrupin sota la superfície del substrat prop de la porta en un procés anomenat "inversió". Aquesta regió de càrrega mòbil forma un "canal" entre la font i el drenador. La quantitat de càrrega és una funció de la capacitat de la porta (C_{ox}) i la tensió d'overdrive de la porta a la font:

$$Q_m = C_{ox}(V_{GS} - V_{T0}) \quad (1)$$

El terme V_{T0} és la tensió llindar. Quan la tensió de la porta a la font (V_{GS}), supera aquest valor, es forma una regió d'inversió. Abans d'arribar a la regió d'inversió, a mesura que augmenta la tensió de la porta a la font, el transistor passa per la regió d'acumulació des d'on es repel·leixen els forats i els electrons són atrets a la regió del substrat sota la porta. Immediatament abans de la inversió, el transistor arriba a la regió d'esgotament (inversió feble) quan la tensió de la porta a la font és aproximadament igual a la tensió de llindar. En aquesta regió circula un corrent molt petit.

A la regió lineal, el MOSFET actua com una resistència controlada per tensió. La resistència està determinada pel V_{GS} , la mida del transistor i els paràmetres del procés.

Quan augmenta la tensió de drenador a font (V_{DS}), la quantitat i la distribució dels portadors de càrrega mòbils també esdevenen una funció de V_{DS} . Ara la càrrega total ve donada per:

$$Q_m = C_{ox}(V_{GS} - V_T - V_{DS}) \quad (2)$$

La tensió llindar (ara denotada com a V_T) esdevé funció de V_{DS} . La distribució d'aquesta càrrega és tal que Q_m és més gran prop de la font i més petita a prop del drenador. Per trobar la conductància del canal, la càrrega s'ha de d'expressar en funció de la posició $Q_m(y)$ i integrar-la des de la font fins al drenador. Com que la càrrega era una funció de V_{DS} , la conductància depèn de V_{DS} . El corrent del canal en regió lineal seria:

$$I_D = \mu_0 C_{ox} \frac{W}{L} (V_{GS} - V_T) V_{DS} \quad (3)$$

O:

$$I_D = KP \frac{W}{L} (V_{GS} - V_T) V_{DS} \quad (4)$$

A mesura que augmenta el V_{DS} , finalment el corrent de drenador es satura. És a dir, un augment de V_{DS} no provoca un augment de corrent. La tensió de saturació depèn de V_{GS} i ve donada per $V_{DS(sat)} = V_{GS} - V_T$. L'equació del corrent de drenador es converteix en:

$$I_D = \frac{1}{2} KP \frac{W}{L} (V_{GS} - V_T)^2 \quad (5)$$

En aquest punt (quan $V_{DS} > V_{DS(sat)}$) el transistor està funcionant a la regió de saturació. Aquesta regió s'utilitza habitualment per a aplicacions d'amplificació. En saturació, I_D en realitat depèn dèbilment de V_{DS} a través del paràmetre de modulació de canal λ . A més, la tensió llindar depèn de la tensió de substrat (bulk o body, B) a la font (V_{BS}) a través del paràmetre γ . Una equació més precisa per al MOSFET en saturació ve donada per:

$$I_D = \frac{1}{2} KP \frac{W}{L} (V_{GS} - V_T(V_{BS}))^2 (1 + \lambda V_{DS}) \quad (6)$$

La dependència de la tensió de llindar amb la tensió de substrat és pot aproximar com per:

$$\begin{aligned} V_T(V_{BS}) &= V_{T0} + \gamma(\sqrt{\phi_0 - V_{BS}} - \sqrt{\phi_0}) \quad \text{per un NMOS} \\ V_T(V_{BS}) &= V_{T0} + \gamma(\sqrt{\phi_0 + V_{BS}} - \sqrt{\phi_0}) \quad \text{per un PMOS} \end{aligned} \quad (7)$$

Φ_0 és el potencial generat en una unió pn en circuit obert i normalment es pot aproximar a 0,9 V.

Quan V_{GS} és inferior a la tensió llindar, el canal també condueix el corrent. Aquesta regió d'operació s'anomena inversió feble o sub-llindar i es caracteritza per una relació exponencial entre V_{GS} i I_D . A més, quan V_{GS} es fa molt gran la velocitat del portador de càrrega ja no augmenta amb la tensió aplicada. Aquesta efecte es coneix com a saturació de velocitat i té un I_D que depèn linealment de V_{GS} en oposició a la relació quadràtica que es mostra a dalt.

En aquesta discussió hem emprat un model algebraic simplificat del MOS [2] que permet analitzar el circuit i fer càlculs a mà. Les característiques modernes el MOSFET són més complexes que el model algebraic presentat i els simuladors com l'Spectre o l'HSpice empen models força més complexes [3], con l'anomenat BSIM o el model EKV.

3. Extracció dels paràmetres

Per caracteritzar els MOSFET de manera que es puguin fer càlculs manuals en el futur, cal fer simulacions per mesurar K_P , V_{T0} , λ i γ .

Mesura de λ

Per mesurar λ , heu de fer un escanviament DC de V_{DS} i traçar I_D tal com es mostra a la Figura 2. Cada corba representa un valor V_{GS} diferent. Qualsevol d'aquestes corbes es pot utilitzar per calcular λ . Assegureu-vos que V_{BS} sigui 0V per a aquesta simulació.

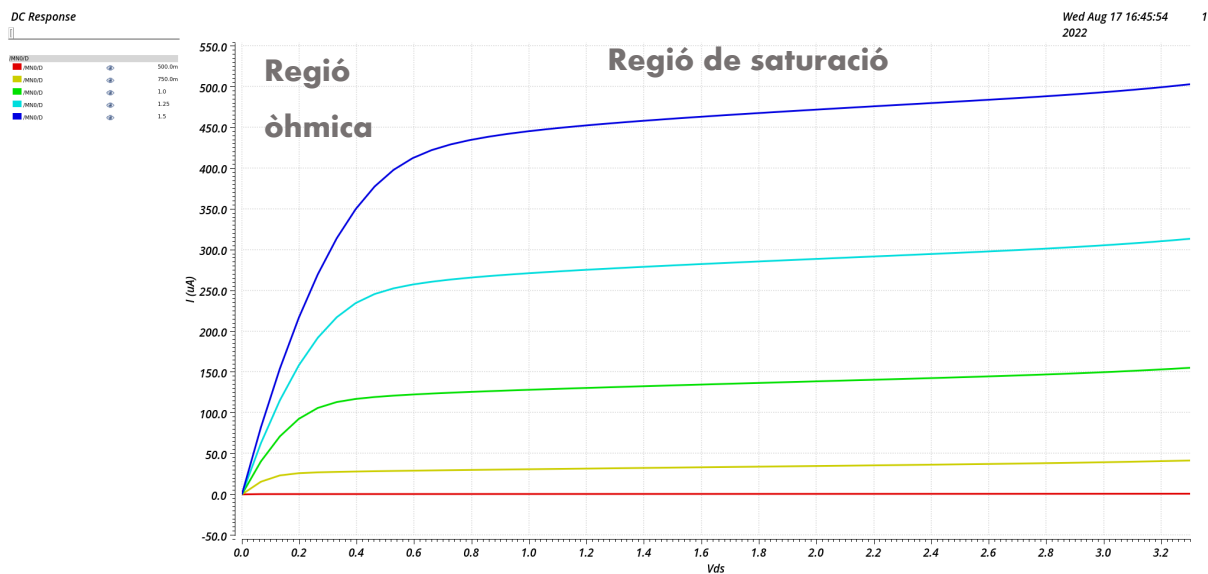


Figura 2. Representació de la característica I-V d'un transistor NMOS

La fórmula per calcular λ donats dos punts en la part de saturació d'una sola corba (un valor donat de V_{GS}) és:

$$\lambda = \frac{I_{D1} - I_{D2}}{V_{DS1}I_{D2} - V_{DS2}I_{D1}} \quad (8)$$

En certes ocasions, λ s'expressa en funció de la longitud del canal L i del paràmetre V_E :

$$\lambda = \frac{1}{L \cdot V_E} \quad (9)$$

V_E és un paràmetre d'ajust (no té sentit físic i és similar al voltatge "Early" dels bipolars). El valor d'aquest paràmetre varia amb la tecnologia, en el nostre cas està al voltant de $5 \cdot 10^7$. Aquesta expressió mostra que el paràmetre de modulació de canal λ és inversament proporcional a la longitud del canal L .

Tanmateix, penseu que aquesta és una aproximació de primer ordre. Alguns efectes de segon ordre que afecten a la resistència de sortida són: "drain-induced barrier lowering", velocity saturation and ballistic transport". Aquest efectes de segon ordre es poden apreciar a la Figura 2 per tensions V_{DS} grans (a partir d'uns 3 V).

Mesura de V_{T0}

V_{T0} també es pot obtenir a partir de la Figura 2. Utilitzant la part de saturació de dues corbes amb V_{DS} igual, es pot calcular V_{T0} com:

$$V_T(V_{BS}) = \frac{V_{GS1} - \sqrt{\frac{I_{D1}}{I_{D2}}} V_{GS2}}{1 - \sqrt{\frac{I_{D1}}{I_{D2}}}} \quad (10a)$$

I si $V_{BS} = 0$, aleshores:

$$V_{T0} = \frac{V_{GS1} - \sqrt{\frac{I_{D1}}{I_{D2}}} V_{GS2}}{1 - \sqrt{\frac{I_{D1}}{I_{D2}}}} \quad (10b)$$

Mesura de KP

Coneixent λ i V_{T0} , KP es pot trobar fàcilment a partir de l'equació del corrent de drenador del MOSFET a la regió de saturació. És bastant senzill trobar que KP és:

$$KP = \frac{2I_D}{\frac{W}{L}(V_{GS} - V_{T0})^2(1 + \lambda V_{DS})} \quad (11)$$

Mesura de γ

Per obtenir γ primer heu de donar al transistor un V_{BS} diferent de zero (per exemple $V_{BS} = -1$ V¹ per un transistor NMOS). A continuació, calculeu el nou V_T utilitzant el mateix procediment que va utilitzar per obtenir V_{T0} . Aleshores γ es pot calcular com:

$$\gamma = \frac{V_T - V_{T0}}{\sqrt{\phi_0 - V_{BS}} - \sqrt{\phi_0}} \quad \text{per NMOS} \quad i \quad \gamma = \frac{V_T - V_{T0}}{\sqrt{\phi_0 + V_{BS}} - \sqrt{\phi_0}} \quad \text{per PMOS} \quad (12)$$

4. Simulacions

Per obtenir el gràfic I_D vs. V_{DS} vs. V_{GS} de la Figura 2, cal que configureu el vostre esquema tal com es mostra a la Figura 3. S'ha de realitzar un simple escombrat DC de V_{DS} , però per obtenir diverses corbes I_D , s'ha d'executar una anàlisi paramètrica respecte V_{GS} . Definiu l'escombrat DC de V_{DS} entre 0 i 3.3 V, que és la màxima tensió d'operació dels transistors MOS en aquesta tecnologia.

Per fer un escombrat paramètric a la vostra font de tensió V_{GS} , heu de configurar una variable de disseny a Cadence. Primer, modifiqueu les propietats de la font V_{GS} . En lloc de donar una tensió continua constant, feu-ne una variable anomenant-la "Vgs". També podeu assignar variables a la resta de fonts i als paràmetres W i L del transistor.

¹ Fixeu-vos que V_{BS} és negatiu (o 0) per un transistor NMOS ja que el bulk (substrat P) ha d'estar a la tensió mínima per evitar que la unió PN formada pel bulk i la font entri en directa. De la mateixa forma el bulk (substrat N) d'un transistor PMOS ha d'estar a la tensió màxima i V_{BS} serà positiva (o 0).

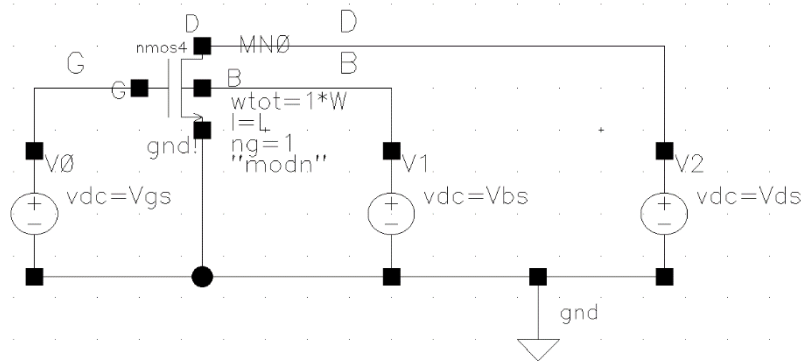


Figura 3. Banc de proves per les simulacions

Per accedir a la simulació d'anàlisi paramètrica, aneu a l'entorn analògic i seleccioneu Eines → Anàlisi paramètrica. Al camp "Nom de la variable" afegiu "Vgs". Escombra de 0,5 a 1,5 amb 5 passos. Seleccioneu Anàlisi → Comença per executar l'escombrat paramètric. Un cop finalitzada la simulació, utilitzeu la calculadora per traçar l' I_D . Podeu fer servir els marcadors per fer les mesures que pertorqui. Per mesurar diverses I_D de diversos valors V_{GS} per una V_{DS} donada és molt útil el marcador vertical tal i com es mostra a la Figura 4, per una $V_{DS}=1.2$.

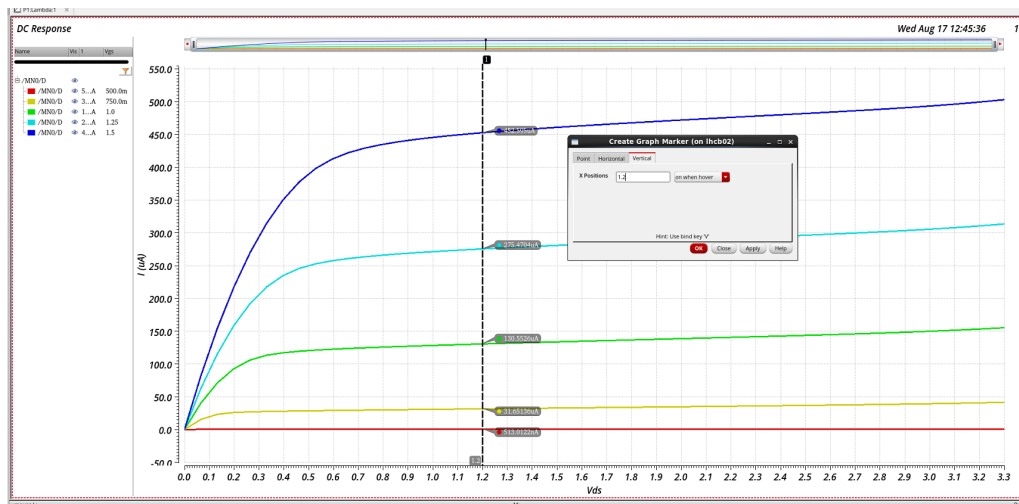


Figura 4. Mesura emprant el marcador vertical

Pel banc de proves pel transistor PMOS les tensions són complementàries: V_{GS} i V_{DS} seran negatives i V_{BS} positiva o 0, tal i com es mostra a la Figura 5 i la Figura 6. En un circuit real normalment treballarem amb tensions positives entre 0 i VDD (3.3 V per aquesta tecnologia). Aleshores les tensions V_G , V_D , V_S i V_B seran positives tot i que les diferències de potencial V_{GS} i V_{DS} siguin negatives.

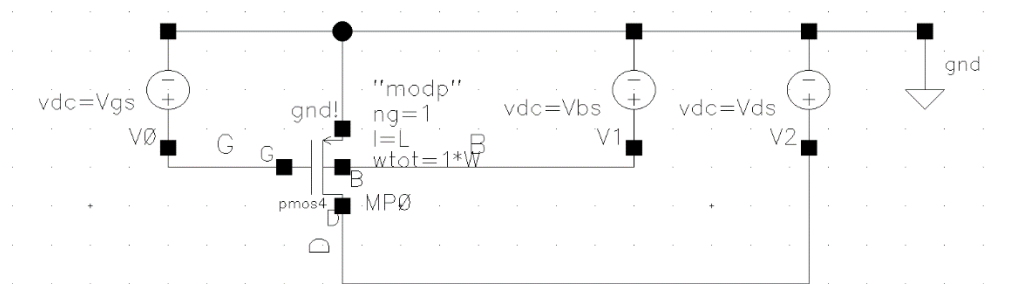


Figura 5. Banc de proves per les simulacions: transistor (PMOS)

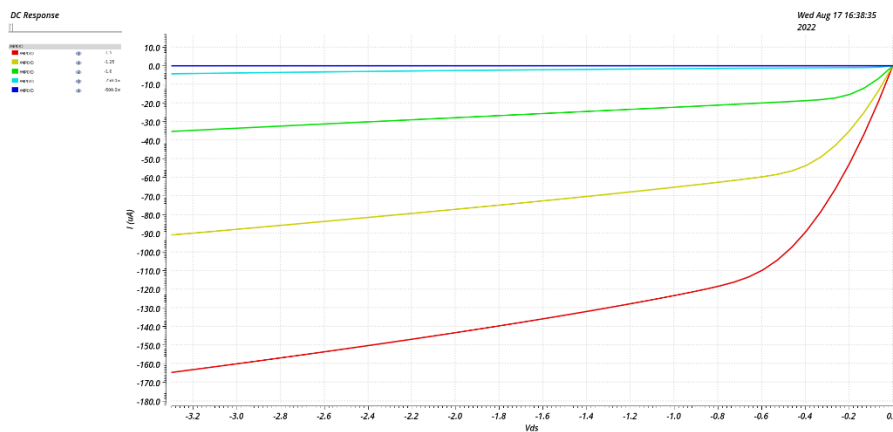


Figura 6. Representació de la característica I-V d'un transistor PMOS

5. Qüestions

- 1) Deduïu les equacions dels quatre paràmetres elèctrics indicats a la secció "Extracció de paràmetres" del manual, a partir del model presentat en la secció anterior (2 punts).
- 2) Utilitzeu ADE L per produir gràfics ID vs. VDS vs. VGS similars a la Figura 2 i a la Figura 6 per a transistors de mida W/L: 4.2u/0.6u i 8.4u/1.2u. (2 punts).
- 3) Extraieu els paràmetres elèctrics (λ , V_E , V_{T0} , KP i γ) per als transistors NMOS i PMOS per a les dues mides de transistors (3 punts)
- 4) Com s'ha comentat, els models que empra el simulador Spectre són força més complicats que el model de primer ordre presentat aquí. Els valors dels paràmetres d'aquest model els proporciona la fonedora (Austriamicrosystems en aquest cas) que és responsable de caracteritzar els transistors fabricats en la seva tecnologia. Podeu veure aquests paràmetres fent "Results→Print→Model_Parameters" i seleccionant el dispositiu². A la llista podeu buscar "vtho" i "gamma" (els paràmetres KP i lambda no els trobareu per que no els empra el model). Compareu els paràmetres extrets amb els paràmetres equivalents indicats al fitxer model (1.5 punts).
- 5) Fixeu-vos que el paràmetre V_T depèn del punt d'operació ja que depèn de V_{BS} . El simulador també ens permet veure aquest i altres paràmetres de petit i gran senyal. Una forma és fent "Results→Print→DC_Operating_Points" i seleccionant el dispositiu. També podeu fer servir la calculadora. Compareu el valor de "vth" amb el que heu extret a l'apartat 3. També podeu

² Podeu veure directament els fitxers de parametres proporcionats per la fonedora. Podeu veure la seva localització fent "Setup→Model_Libraries".

comparar la “vdsat” del model de primer ordre ($V_{DS(sat)} = V_{GS} - V_T$) amb la que calcula el simulador (1.5 punts).

IMPORTANT: per calcular els punts d’operació DC, el ADE L empra els valors de les variables definits en la simulació (els indicats en l’apartat corresponent com es veu a la Figura 7). No importa com estigui definit un escombrat de V_{DS} , prendrà el valor donat de V_{DS} per la variable. És important no oblidar-ho per comparar resultats de simulacions amb càlculs a ma.

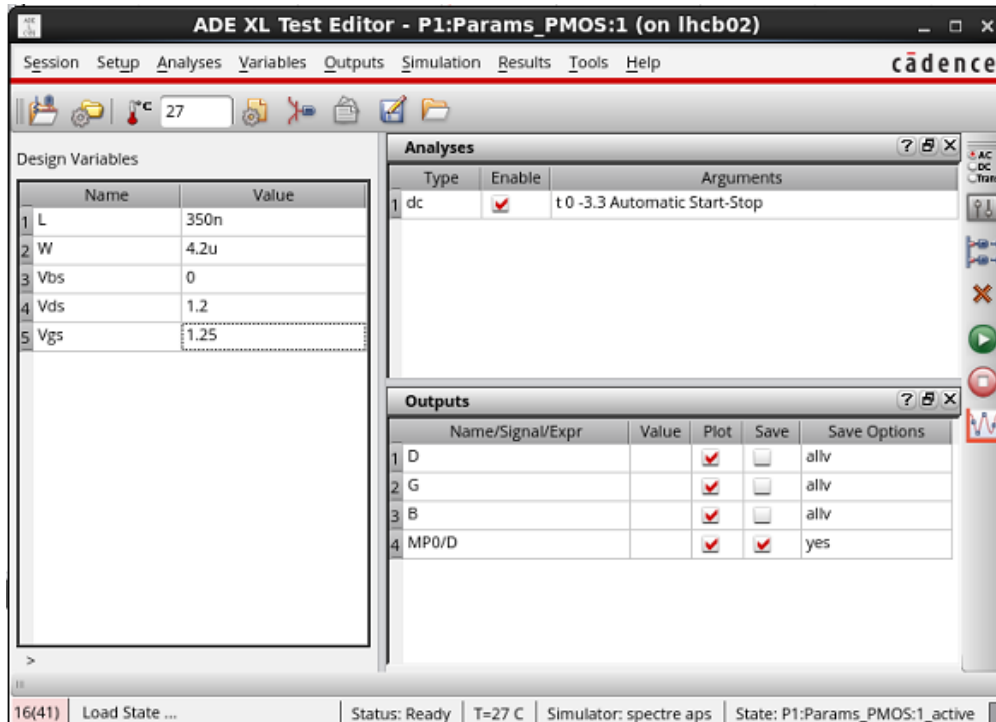


Figura 7. Els punts d’operació es calculen a partir del valor de les variables definits en les “Design Variables” o en els escombrats paramètrics.

6. Referències

- [1]. P. M. Miller, J. S. Mincey, T. L. Mayhugh, A. F. Mondragon, J. Silva-Martinez, J. Pineda de Gyvez, “Laboratory Manual ELEN 474: VLSI Circuit Design”, Department of Electrical Engineering Texas A&M University, 2010.
- [2]. Shichman, H. & Hodges, D. A. (1968). "Modeling and simulation of insulated-gate field-effect transistor switching circuits". IEEE Journal of Solid-State Circuits. SC-3 (3): 285–289. doi:10.1109/JSSC.1968.1049902
- [3]. For example, see Cheng, Yuhua; Hu, Chenming (1999). *MOSFET modeling & BSIM3 user's guide*. Springer. ISBN 978-0-7923-8575-2. The most recent version of the BSIM model is described in V., Sramkumar; Paydavosi, Navid; Lu, Darsen; Lin, Chung-Hsun; Dunga, Mohan; Yao, Shijing; Morshed, Tanvir; Niknejad, Ali & Hu, Chenming (2012). "BSIM-CMG 106.1.0beta Multi-Gate MOSFET Compact Model" (PDF). Department of EE and CS, UC Berkeley. Archived from the original (PDF) on 2014-07-28. Retrieved 2012-04-01.