

Lab 4. Etapes de guany.

1. Objectiu de la pràctica

Dissenyar, simular i caracteritzar diversos amplificadors inversors.

2. Etapes de guany inversores

Els amplificadors inversors són components fonamentals dels circuits electrònics. Aquests amplificadors s'utilitzen en una varietat d'aplicacions de circuits, com ara l'etapa de guany dels amplificadors operacionals i com a porta NOT en la lògica digital.

L'estudi dels amplificadors inversors també ens dona una visió de conceptes bàsics de circuits, com ara la resposta de freqüència de senyal petit i la retroalimentació. En aquest laboratori, s'analitza el model de petit senyal d'un amplificador inversor genèric mentre es desenvolupa un procediment de disseny genèric. A continuació, el manual de laboratori presenta avantatges i desavantatges de diverses estructures de circuits. Finalment, els estudiants dissenyaran diversos amplificadors inversors escollint una estructura de circuit i desenvolupant un procediment de disseny.

L'amplificador inversor bàsic es mostra a la Figura 1. El senyal d'entrada V_{in} contindrà un component de senyal de CA i un component de CC utilitzat per establir el punt de funcionament:

$$V_{in} = V_{BIAS} + v_{in} \quad (1)$$

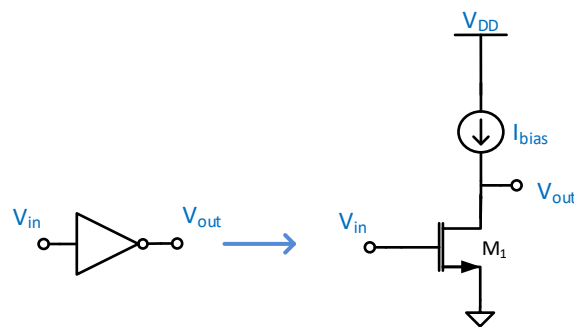


Figura 1. Amplificador inversor bàsic.

El transistor M1 s'anomena controlador ("driver") ja que el senyal d'entrada controla l'amplificador des d'aquest punt. Una càrrega ideal tindrà una impedància infinita. Al circuit bàsic de l'amplificador inversor de la Figura 1, la càrrega està representada per una font de corrent ideal.

El punt de d'operació DC del circuit està determinat per I_{BIAS} i V_{BIAS} . Aquests corrents i tensions determinen el punt d'operació i per tant, els paràmetres de petit senyal del transistor i estableixen la tensió de sortida en repòs.

Veurem ara una configuració específica. L'amplificador inversor de la Figura 2 utilitza un controlador NMOS i un mirall de corrent PMOS com a càrrega. El mirall de corrent proporciona una gran resistència de sortida de senyal petit i un corrent de polarització constant. El corrent de polarització estableix el punt de funcionament del transistor M1, que al mateix temps determina la seva transconductància de

petit senyal. Aquest circuit pot proporcionar una gran resistència de sortida i un gran guany de petit senyal.

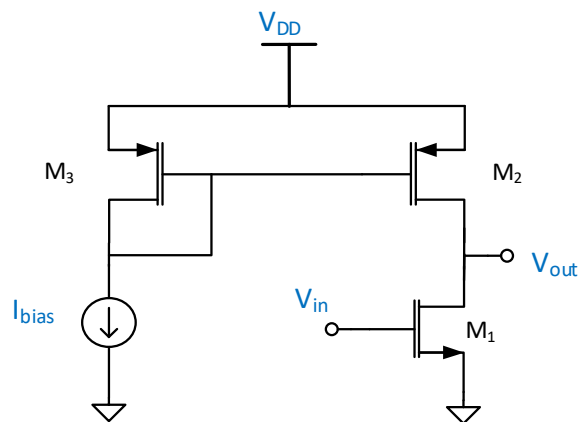


Figura 2. Amplificador inversor amb càrrega de mirall de current.

El guany en petit senyal de l'amplificador inversor de la Figura 2 ve donat per:

$$A_V = \frac{v_{out}}{v_{in}} = \left. \frac{dV_{out}}{dV_{in}} \right|_{DC(V_{in})} = - \frac{g_{m1}}{g_{ds1} + g_{ds2}} \quad (1)$$

Fixeu-vos que el guany en petit senyal es pot definir a partir del petit senyal o del gran senyal. En qualsevol cas, els valors dels paràmetres en petit senyal (g_m , g_{ds} , etc) depenen dels punts d'operació, és a dir del gran senyal. El punt d'operació depèn del valor en repòs (quiescent) o DC de la tensió d'entrada V_{in} i en aquest cas també del corrent de polarització I_{bias} . Els punts d'operació del circuit es poden estudiar mitjançant l'anàlisi en gran senyal i l'estudi de les rectes de càrrega tal com heu vist a teoria.

La impedància de sortida en petit senyal de l'amplificador és:

$$r_o = \frac{v_{out}}{i_{out}} = \left. \frac{dV_{out}}{di_{out}} \right|_{DC(V_{in})} = \frac{1}{g_{ds1} + g_{ds2}} \quad (2)$$

Per maximitzar el guany cal maximitzar la impedància de sortida r_o . El node de sortida d'aquest amplificador és un node d'alta impedància i per tant és apte per resistències de càrrega $R_L \gg r_o$, altrament R_L afectarà a la impedància del node i per tant al guany del circuit. A la pràctica, en disseny analògic integrat aquestes etapes treballen amb càrregues fonamentalment capacitives amb capacitat de càrrega C_L . Si cal atacar càrregues resistives haurem d'emprar una etapa de sortida de baixa impedància de sortida que també estudiarem a teoria.

En cas d'atacar una càrrega capacitiva el pol dominant del circuit ve donat per:

$$f_d = \frac{1}{2\pi r_o (C_L + C_{par})} \quad (3)$$

On C_{par} correspon a les capacitats parasites en el node de sortida.

Un altre paràmetre important d'un amplificador és el "slew rate" (SR). Aquest terme descriu la màxima velocitat a la que un node capacitiu pot ser carregat o descarregat i depèn del màxim corrent disponible. Es tracta doncs de la càrrega d'una capacitat a corrent constant, pel nostre circuit:

$$SR = \frac{dV_{out}}{dt} = \frac{I_{max}}{C_L + C_{par}} \quad (4)$$

Recordeu que en aquest mode el circuit opera en mode no lineal i el model en petit senyal no és vàlid. Això fa per exemple que la màxima freqüència d'operació en gran senyal pugui ser menor que la freqüència de tall en petit senyal f_d . Per que no limiti el SR s'ha de complir:

$$SR \geq A_V \left. \frac{dV_{in}}{dt} \right|_{max} \quad (5)$$

Per el cas particular d'una excitació sinusoidal $V_{in} = V_{pk} \sin(\omega t)$ s'ha de complir:

$$SR \geq A_V 2\pi f V_{pk} \quad (6)$$

Per al circuit de la Figura 2 el slew rate de càrrega $SR+$ ve donat en el cas en V_{out} creix i per tant V_{in} decreix (és un amplificador inversor). Si V_{in} s'apropa a 0 el corrent de M_1 també s'apropa a 0 i el corrent disponible per carregar C_L és el corrent de drenador de M_2 que està fixat al corrent de polarització I_{bias} (aquest amplificador és una etapa de classe A):

$$SR+ = \frac{I_{bias}}{C_L + C_{par}} \quad (7)$$

Per el circuit de la Figura 2 el slew rate de descàrrega $SR-$ ve donat el cas en V_{out} decreix i per tant V_{in} creix. El corrent de drenador de M_1 creix quadràticament amb V_{in} i fàcilment serà molt major que el corrent inicial de polarització I_{bias} . Això fa que normalment $SR- \gg SR+$ en aquesta topologia i que el $SR-$ no limiti el funcionament del circuit.

3. Símbols, banc de proves i simulacions

En aquest apartat veurem com simular l'amplificador de la Figura 2. Per fer-ho cal en primer lloc crear l'esquema de l'amplificador en el Cadence, tal i com es mostra a la Figura 3. Les mides dels transistors són un exemple per il·lustrar la simulació en aquesta secció. Per respondre les qüestions haureu de dissenyar el circuit que vol dir dimensionar novament els transistors i els punts d'operació del circuit.

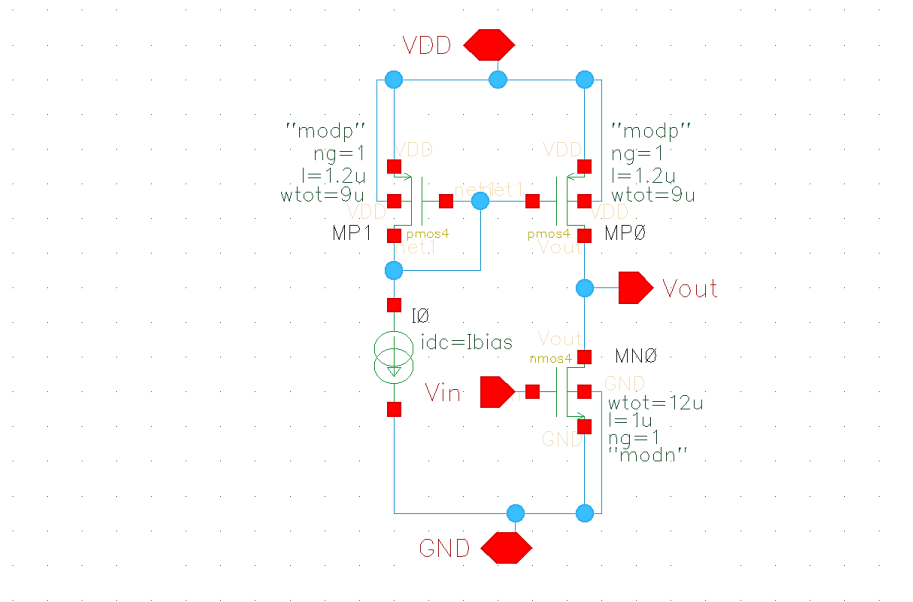


Figura 3. Esquema de l'amplificador inversor amb pins d'entrada, de sortida i d'alimentació.

En aquesta pràctica treballarem emprant les opcions de disseny jeràrquic que proporciona Cadence. Es crearà un símbol de l'amplificador que pot ser emprat en circuits més complexes o en circuits de banc de prova com farem més tard. Després de dissenyar l'esquema del circuit, cal incloure els pins d'entrada (V_{in}), de sortida (V_{out}) i d'alimentació (V_{DD} i GND) tal i com es mostra a la Figura 3. Per fer-ho es pot fer servir la opció del menú "Create->pin" o la tecla drecera "p". Quan es fa s'obre una finestra (Figura 4) on es pot introduir el nom i el tipus de pin. Es poden introduir diversos noms i es creen diversos pins del mateix tipus seleccionats corresponents a aquests noms.

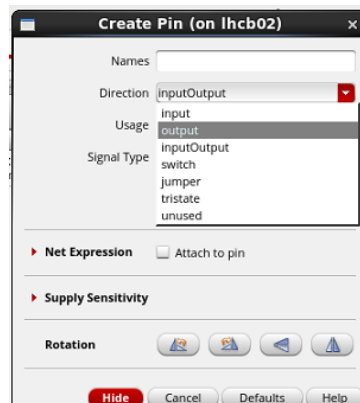


Figura 4. Finestra per crear pins

Un cop creats els pins ja podem crear el símbol del bloc tal i com es mostra a la Figura 5.

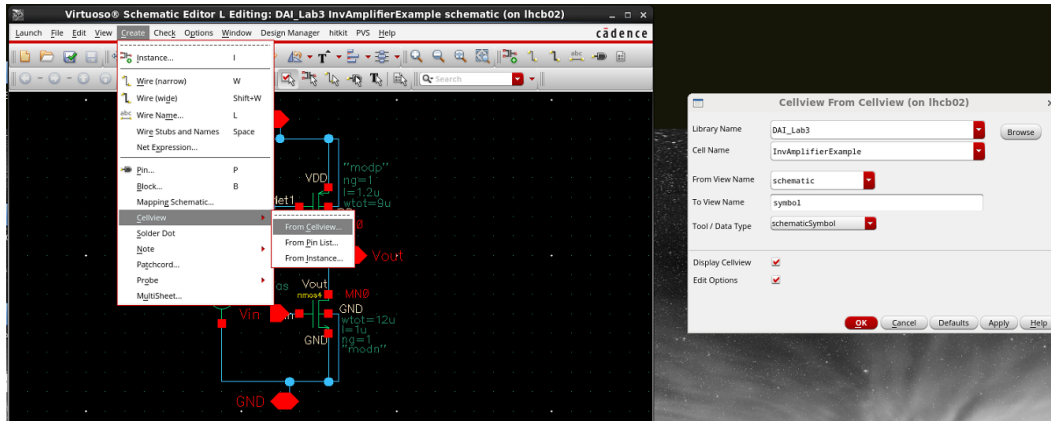


Figura 5. Creació del symbol d'una cel·la

S'obrirà una finestra (Figura 6) on es pot definir la posició dels pins en el símbol.

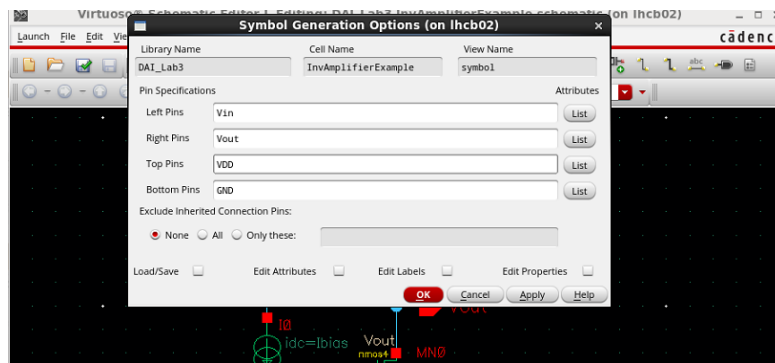


Figura 6. Finestra per definir la posició dels pins en el symbol.

Es crearà aleshores el símbol corresponent a la cel·la de l'amplificador inversor tal i com es mostra a la Figura 7.

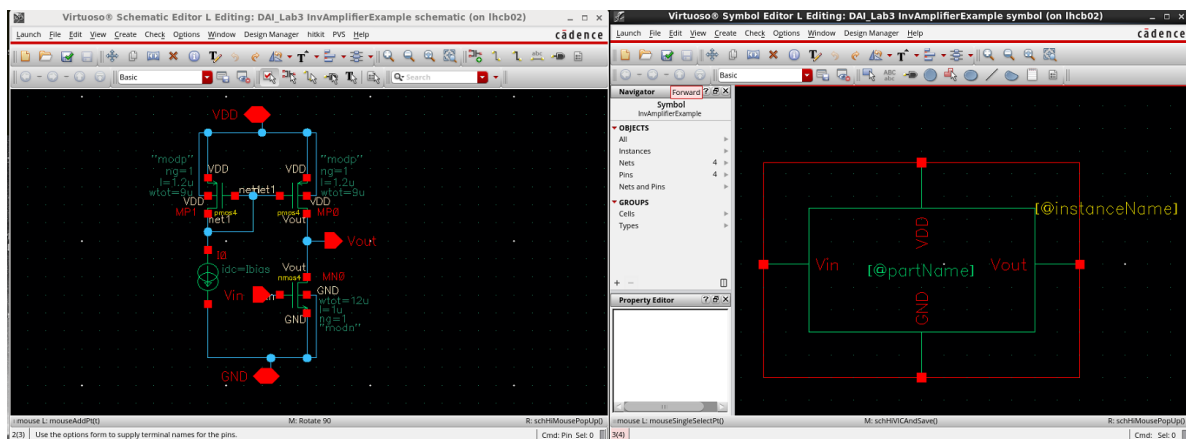


Figura 7. Vista esquemàtica (esquerra) i vista del símbol generat per l'eina (dreta) de la cel·la.

Per defecte, el símbol auto-generat és una caixa quadrada. El símbol es pot editar i donar la forma que vulguem, com per exemple la típica d'un amplificador, emprant les eines d'edició tal i com es mostra a la Figura 8.

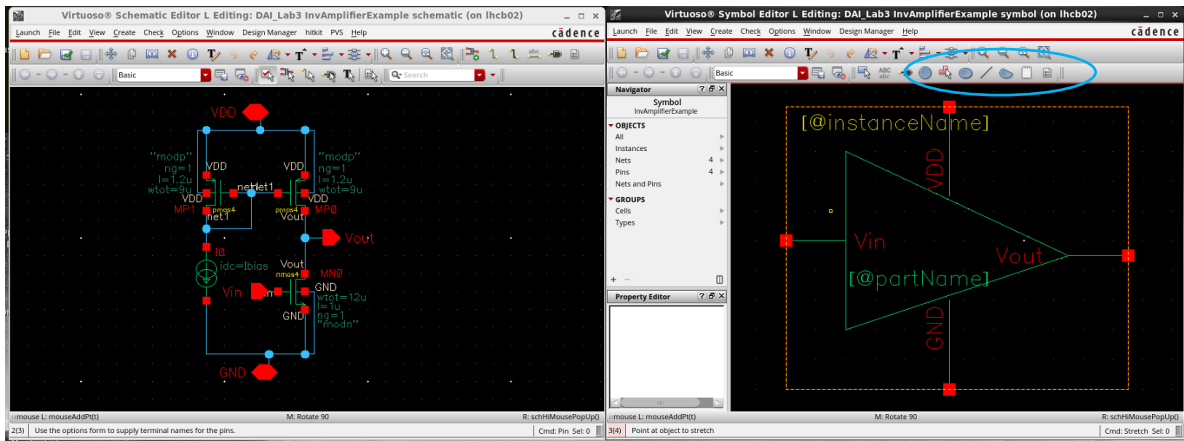


Figura 8. Vista esquemàtica (esquerra) i vista del símbol editat (dreta) de la cel·la amplificadora.

Un cop creat la vista símbol, la cel·la es pot fer inserir com qualsevol altre cel·la de les llibreries (Figura 9) i emprar en altres cel·les, com un banc de prova de l'amplificador (Figura 10).

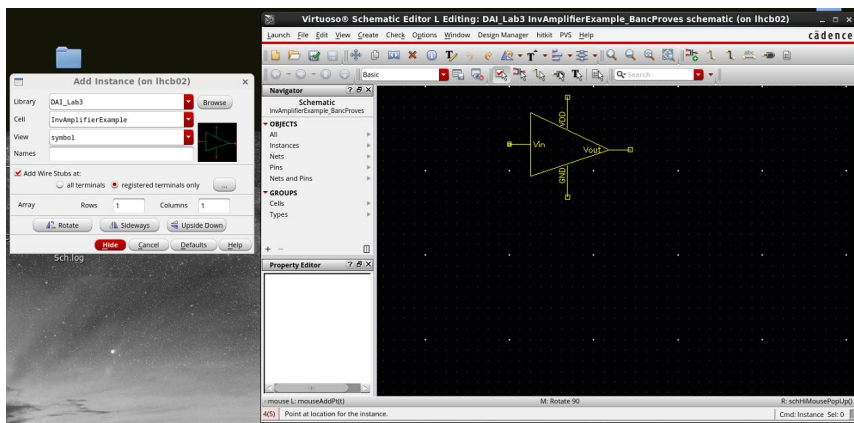


Figura 9. Inserció del símbol creat.

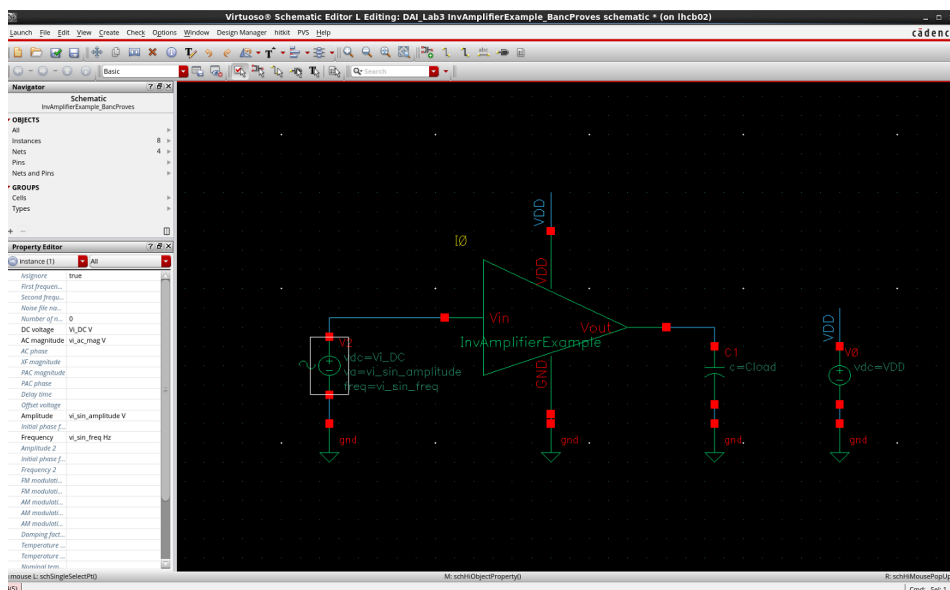


Figura 10. Vista esquemàtica de la cel·la banc de proves de l'amplificador.

La Figura 11 mostra el banc de proves per estudiar els punts d'operació de l'amplificador mitjançant la obtenció de les corbes del corrent del transistor controlador i del transistor de càrrega (corba de

càrrega) en funció de la tensió DC de sortida (escombrat DC de V_{o_DC}) i per diverses tensions de porta del transistor controlador (paramètric de V_{i_DC}). Aquest banc de proves també es pot fer servir per obtenir la resistència de sortida de una forma anàloga a com vàrem fer a la pràctica anterior.

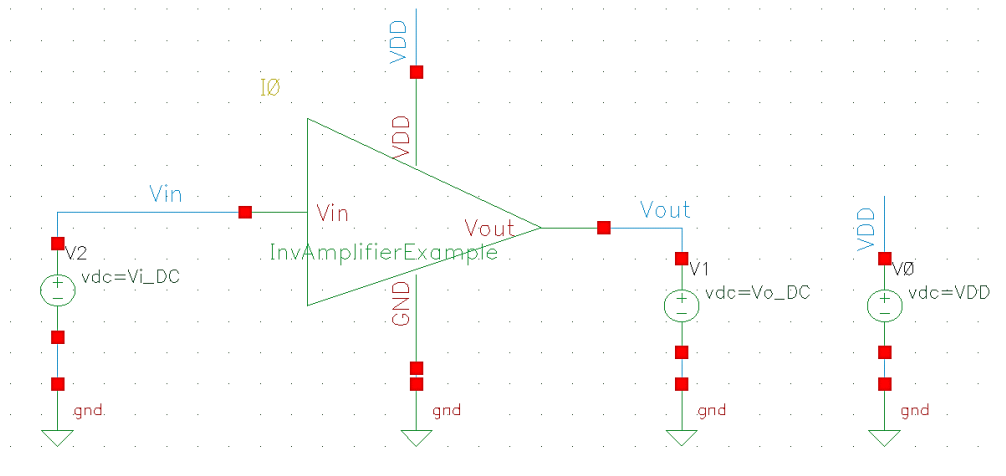


Figura 11. Banc de proves per estudiar els punts d'operació de l'amplificador inversor.

La configuració del test es mostra a la Figura 12. Des d'aquest esquema podeu accedir a la cel·la de l'amplificador mitjançant "Edit->Hierarchy->Descend_Edit" (o tecla drecera "E") o bé "Edit->Hierarchy->Descend_Read" (o tecla drecera "e") i després seleccionant el bloc. Recomanem d'entrada descendir en mode lectura, perquè si modifiqueu la cel·la té conseqüències en totes les instàncies de la mateixa. La configuració de l'escombrat paramètric es mostra a la Figura 13. Fixeu-vos que el rang de l'escombrat es defineix a un rang petit de tensions d'entrada que permetin veure la intersecció de les corbes del transistor controlador en diversos punts de la corba de càrrega, com veiem, també s'afegeixen alguns punts addicionals al "inclusion list" per veure els casos extrems.

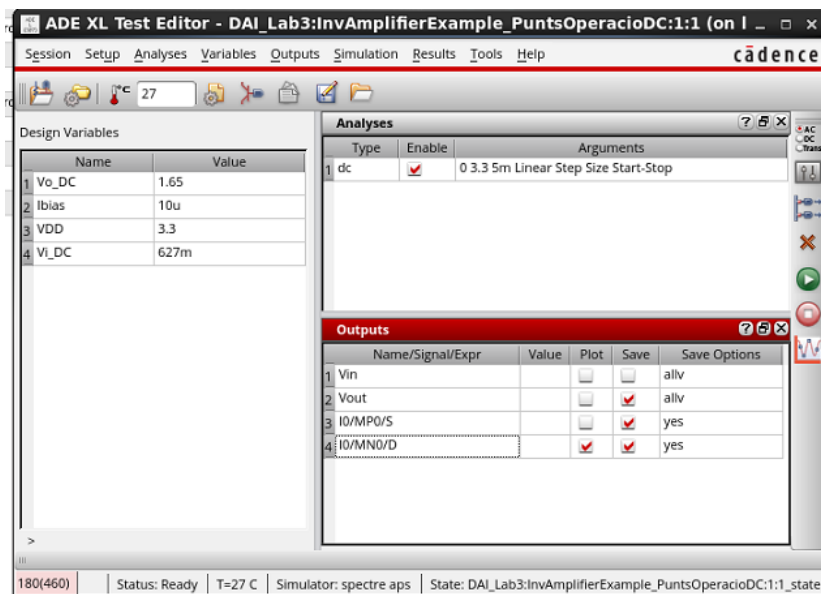


Figura 12. Configuració del test per estudiar els punts d'operació de l'amplificador inversor

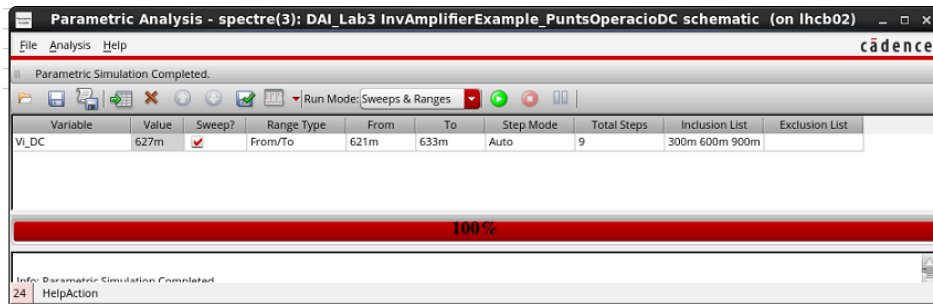


Figura 13. Configuració del escombrat paramètric per estudiar els punts d'operació de l'amplificador inversor

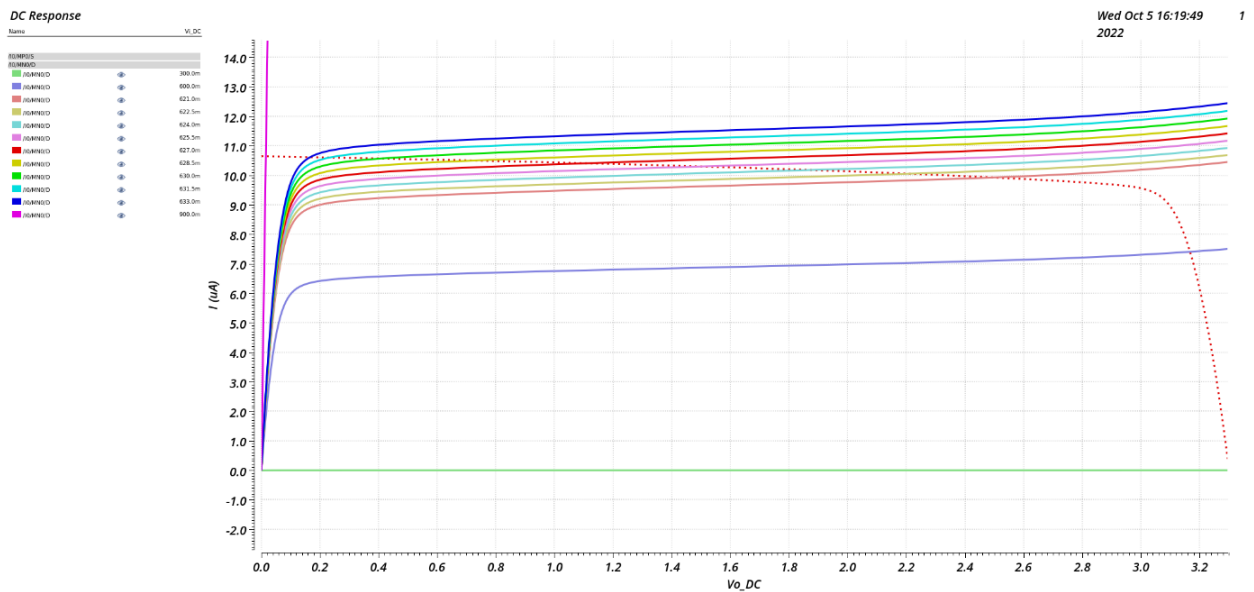


Figura 14. Línia discontinua: corba de càrrega en funció de la tensió DC de sortida (escombrat DC de V_{o_DC}). Línies contínues: corbes del transistor controlador en funció de la tensió DC de sortida i per diverses tensions de porta del transistor controlador (paramètric de V_{i_DC})

L'escombrat DC pot tenir un pas massa gran, cosa que pot causar problemes de discontinuïtat quan fem derivades per calcular paràmetres en petit senyal com la resistència de sortida o el guany. Es pot escollir un pas d'escombrat menor, tal i com es mostra a la Figura 15. En aquest cas es configura el pas a 5mV.

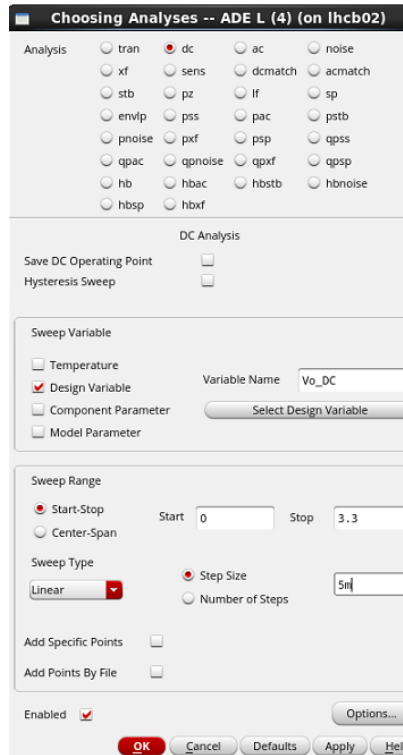


Figura 15. Configuració del pas de l'escombrat DC.

Tal i com heu vist a teoria (Figura 16), podem reconstruir la funció de transferència DC $V_{out}=f(V_{in})$ a partir de les interseccions que podem veure a la Figura 14.

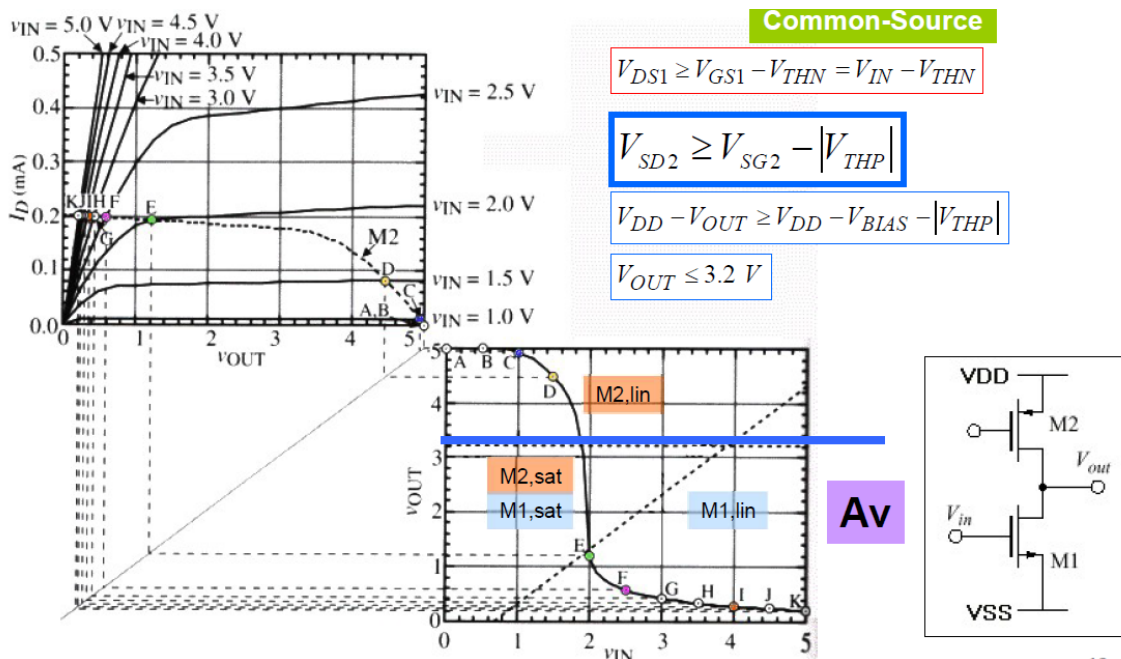


Figura 16. Construcció de la funció de transferència de l'amplificador inversor a partir de la intersecció de les corbes del transistor controlador amb la corva de càrrega.

El banc de proves de la Figura 11 permet estudiar els possibles punts d'operació del circuit, però no permet caracteritzar la operació normal d'un amplificador ja que forcem el node de sortida.

Per caracteritzar el circuit com amplificador podem fer servir el banc de proves de la Figura 17, amb una càrrega capacitiva Cload.

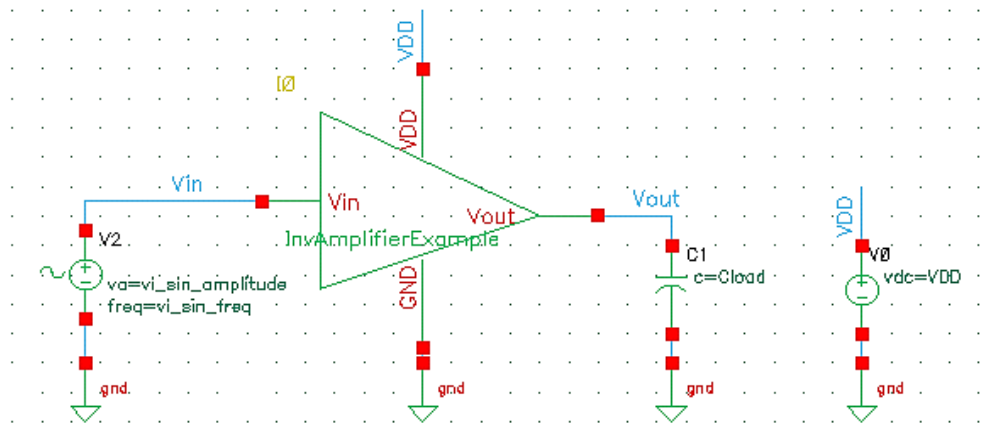


Figura 17. Banc de proves per la caracterització de l'amplificador

Sobre el mateix circuit es poden fer diversos anàlisis com es pot veure a la Figura 18. Fixeu-vos que en els outputs a més de senyals tenim expressions que es poden escriure amb la calculadora. Aquestes expressions poden ser formes d'ona (com un Bode) o valors numèrics (com un ample de banda).

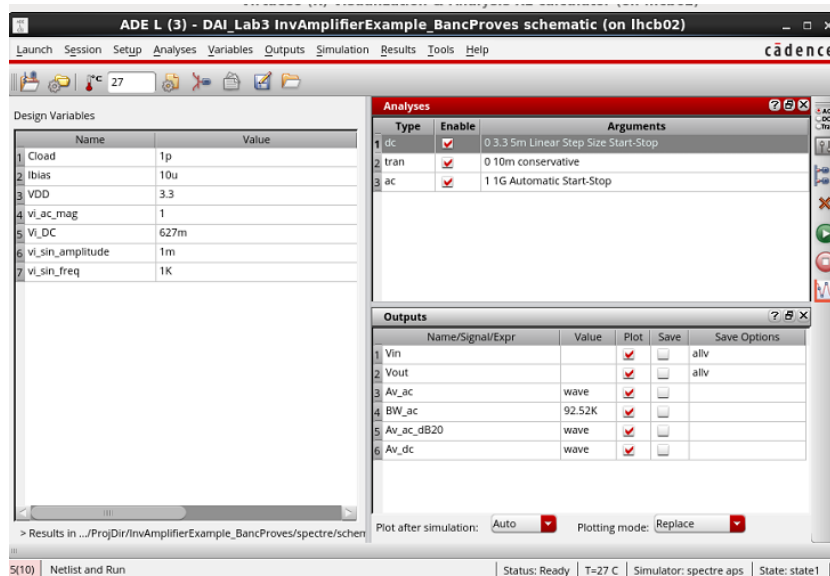


Figura 18. Configuració del test per caracteritzar l'amplificador inversor.

A la Figura 19 es mostra la resposta a un escombrat DC de la tensió d'entrada. Podem veure la funció de transferència (Vout) i podem calcular el guany a partir de la resposta en gran senyal $A_V =$

$$\left. \frac{dV_{out}}{dV_{in}} \right|_{DC(V_{in})} \quad (\text{és la expressió } Av_dc = \text{deriv}(VS(1)/Vout)).$$

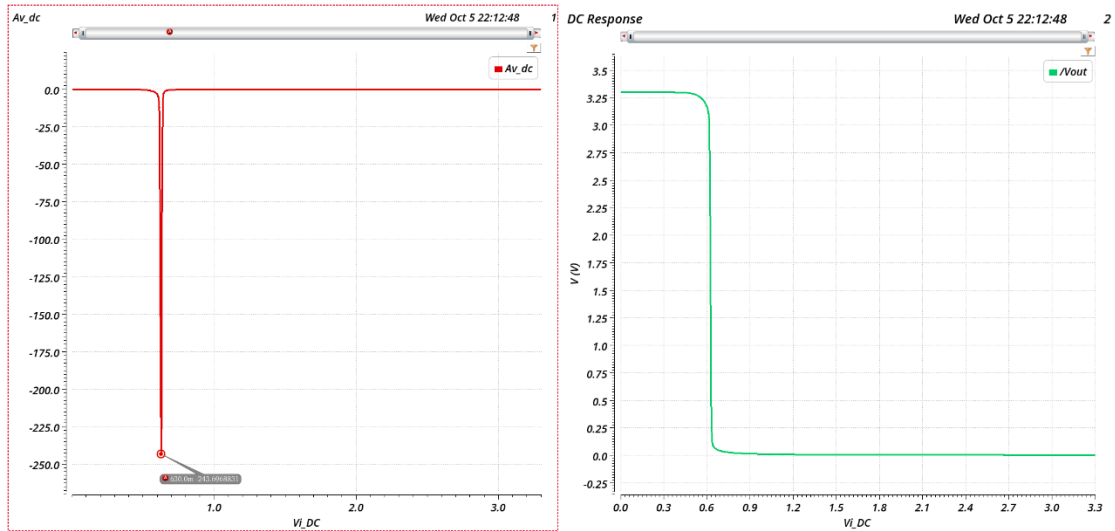


Figura 19. Resposta DC de l'amplificador inversor. Dreta: funció de transferència. Esquerra: guany en funció del punt d'operació.

A la Figura 20 es mostra la resposta transitòria de l'amplificador a una excitació sinusoidal. Podeu comprovar si la relació entre les amplituds del senyal de sortida i d'entrada es correspon amb el guany DC determinat anteriorment.

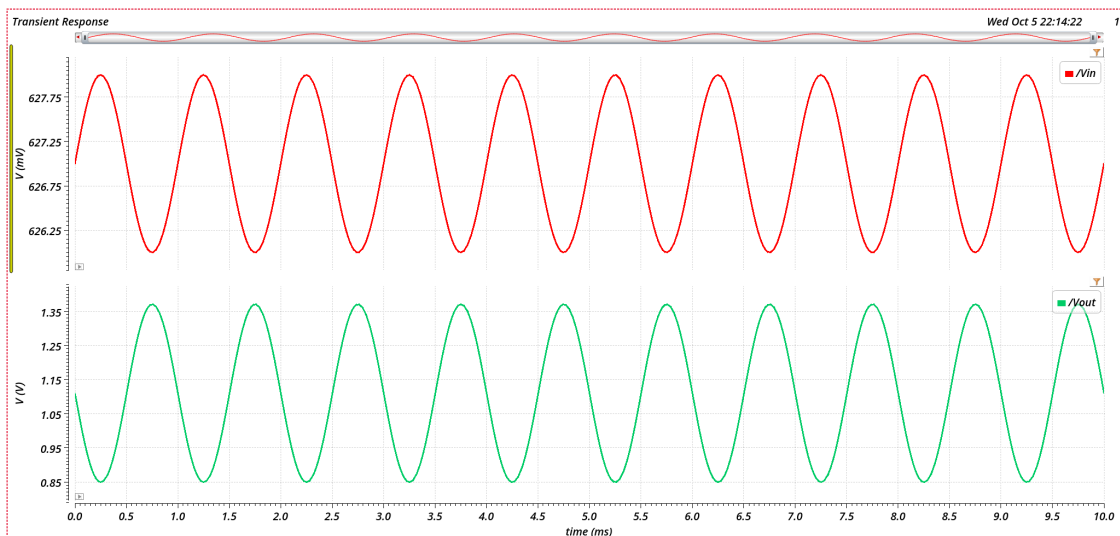


Figura 20. Resposta transitòria de l'amplificador inversor

A la Figura 21 es mostra la resposta AC de l'amplificador. El guany AC es defineix com $A_V = \frac{v_{out}}{v_{in}}$ i l'expressió de la calculadora seria $Av_{ac} = (VF("/Vout") / VF("/Vin"))$. Fixeu-vos que és funció de la freqüència i que el valor a baixa freqüència coincideix amb el guany DC donat a la figura Figura 19 per $V_{i_DC} = 630$ mV. També podem calcular l'ample de banda del circuit amb la funció "bandwidth" de la calculadora.

Molt important: els paràmetres en petit senyal del circuit que s'utilitzen en anàlisis AC o de soroll es calculen pel punt d'operació definit pel valor de les variable de disseny donats en la Figura 18. Cal ser consistents al comparar resultats en petit senyal!

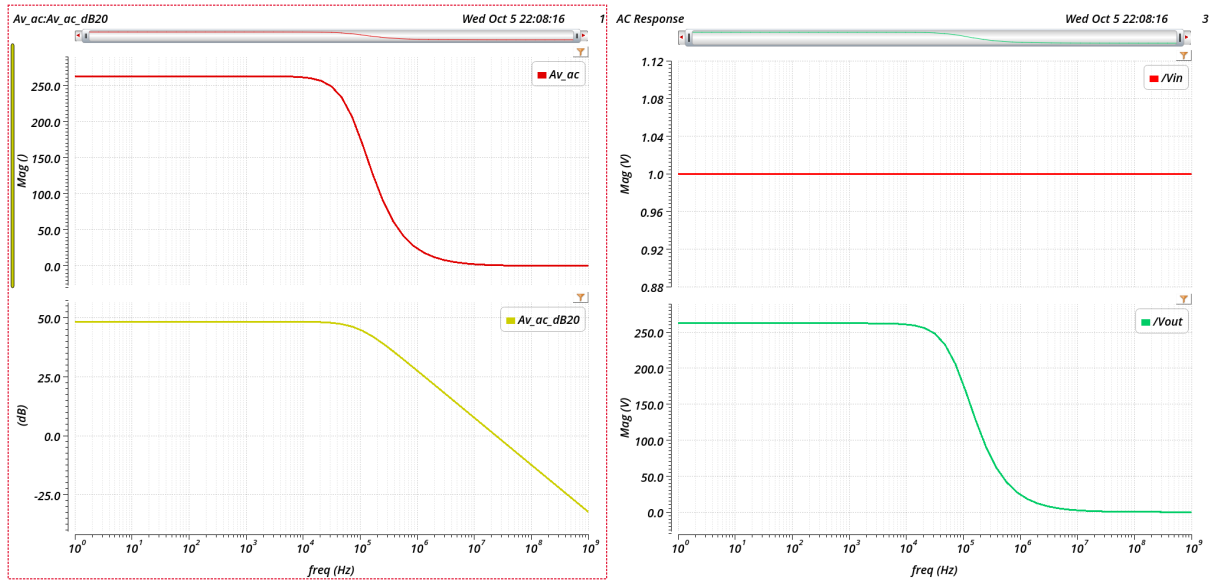


Figura 21. Resposta AC de l'amplificador inversor

Finalment, introduïrem un darrer banc de proves emprat per caracteritzar el slew rate (Figura 22). En aquest cas cal introduir una senyal d'entrada que porti a l'amplificador fora del punt d'operació en petit senyal. La senyal d'entrada serà una senyal quadrada entre 0 i VDD (3.3 V) i els flancs de pujada i de baixada han de ser molt més ràpids que la resposta de l'amplificador per que sigui el circuit amplificador el que limiti el SR del senyal de sortida.

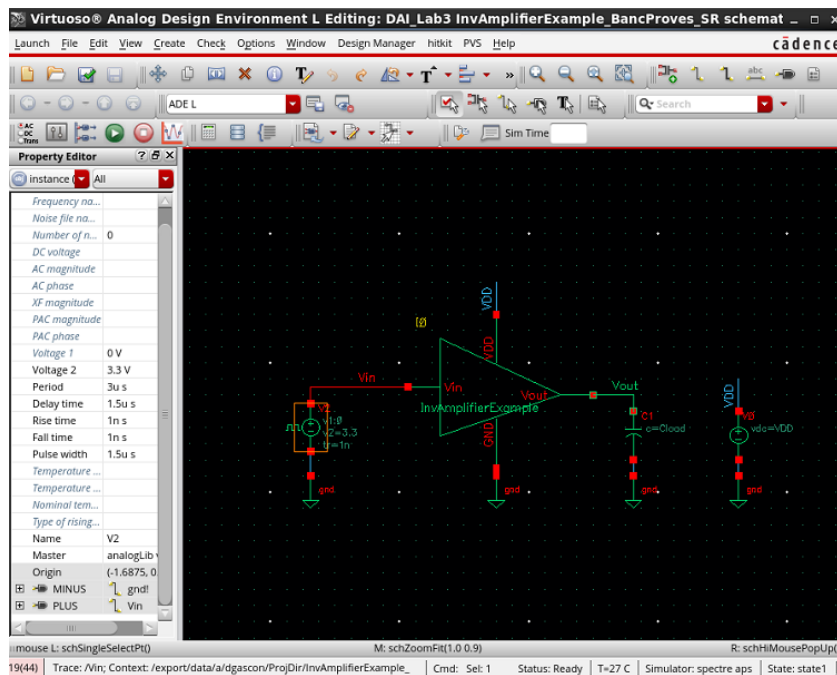


Figura 22. Banc de proves per caracteritzar el SR

El senyal d'entrada i de sortida es mostren a la Figura 23. Com hem comentat anteriorment, aquesta topologia amplificadora limita molt més el SR+ (càrrega de Cload) que el SR- (descàrrega de Cload).

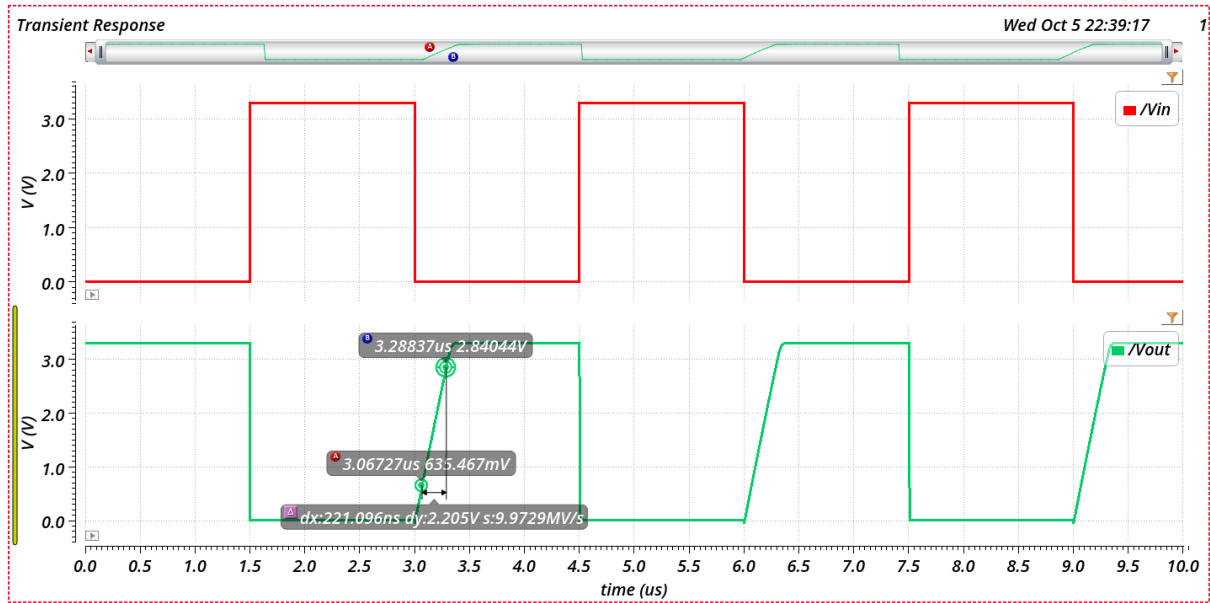


Figura 23. Senyals d'entrada i de sortida en el banc de proves de SR.

4. Qüestions

- 1) Deduïu les expressions pel guany (1) i resistència de sortida (2) de l'amplificador inversor (1 punt).
- 2) Dissenyeu un amplificador inversor amb les especificacions que s'indiquen a continuació (2 punts). Dissenyar vol dir dimensionar els transistors (W i L) i els punts d'operació (Ibias e V_{i_DC}) per que un circuit amb aquesta topologia compleixi les especificacions. El valor de Cload serà de 3 pF. Podeu suposar $C_{par} = 0$. La tensió d'alimentació $V_{DD} = 3.3$ V. Aquest dimensionament cal fer-lo emprant el model i els paràmetres tecnològics dels transistors discutits en el Lab 2. Les especificacions són :
 - a. Guany en DC major (en magnitud) que -100 V/V
 - b. Ample de banda > 30 kHz
 - c. Slew Rate de càrrega > 5 V/ μ s
 - d. $r_{ds2} > 5$ M Ω
 - e. Rang d'operació (M2 en saturació) $V_o > 3$ V
- 3) Realitzeu les simulacions necessàries per determinar alguns punts d'operació del circuit seguint un procediment anàleg al realitzat per la Figura 14 (1 punt)
- 4) Realitzeu les simulacions DC necessàries per comprovar que els punts d'operació deduïts en la qüestió anterior pertanyen a la funció de transferència i que el guany en DC > 100. Si cal redissenyeu el circuit per que es compleixi l'especificació de guany (1 punt).
- 5) Comproveu les regions de funcionament dels transistor; saturació i lineal. Escriviu les equacions que determinen aquestes regions. Representeu-les. Podeu inspirar-vos en la Figura 16 (1 punt)
- 6) Realitzeu les simulacions DC necessàries per comprovar que $r_{ds2} > 5$ M Ω . Si cal redissenyeu el circuit per que es compleixi l'especificació de guany i de resistència de sortida (1 punt).
- 7) Realitzeu les simulacions AC necessàries per comprovar que l'ample de banda > 30 kHz. Si cal redissenyeu el circuit per que es compleixi l'especificació de guany, de r_{ds2} i d'ample de banda (1 punt).
- 8) Realitzeu les simulacions transitòries necessàries per comprovar que el Slew Rate de càrrega > 5 V/ μ s. Si cal redissenyeu el circuit per que es compleixi l'especificació de guany, de r_{ds2} , d'ample de banda i de Slew Rate (1 punt).
- 9) Estudieu el consum del circuit. Se us acut una forma de optimitzar-lo? Pista: repasseu les possibilitats dels miralls de corrent (1 punt)

5. Referències

- [1]. P. M. Miller, J. S. Mincey, T. L. Mayhugh, A. F Mondragon, J. Silva-Martinez, J. Pineda de Gyvez, "Laboratory Manual ELEN 474: VLSI Circuit Design", Department of Electrical Engineering Texas A&M University, 2010.