

DISSENY DIGITAL BÀSIC 2025-2026
(dies 13,14,15,16,17 d'Octubre)

PRÀCTICA 1: Implementació de funcions lògiques

Treball a desenvolupar al laboratori:

1. A l'entitat **and2** (definida al començament d'aquesta pràctica), afegiu-li una nova arquitectura per incorporar-li un retard de 5 ns (a aquesta arquitectura li direu **logicaretard**), de la mateixa forma que ho vàrem fer a la Pràctica 0 per la porta inversor. Tingues en compte que no has de definir una nova entitat: fes servir l'entitat **and2** que ja tens definida a la part autònoma.
Modifiqueu l'arquitectura del banc de proves **bdpportes** per **afegir-hi** i testar aquest dispositiu relacionat amb la porta **and2**. Per tant, l'hauràs d'implementar tant a l'arquitectura **test_and2** com a l'arquitectura **test_ALL** (per exemple, fes servir el DUT_R per a l'arquitectura **test_and2** i el DUT2_R per l'arquitectura **test_ALL**).
2. Implementeu ara l'entitat i les arquitectures **logicaretard** (retard de 5 ns) de la funció OR de 2 entrades (**or2**). Testeja també el seu funcionament, modificant les arquitectures **test_or2** i **test_ALL**, igual que has fet per la porta **and2**.
3. Ara afegiu una arquitectura **logicaretard** per incloure un retard de 5 ns a les entitats inversor, AND i OR de 3 entrades i AND i OR de 4 entrades. Les entitats seran, respectivament, **inversor**, **and3**, **or3**, **and4** i **or4** i les arquitectures seran **logica** i **logicaretard**. Testeja també el seu funcionament, modificant un altre cop les arquitectures de cada porta individual i del conjunt (**test_ALL**).

Noteu que, al banc de proves, cada porta ha de tenir una sortida diferent (amb retard i sense retard). Això us donarà un total de 14 senyals de sortida diferents, 2 per cada tipus de porta (**inversor**, **and2**, **or2**, **and3**, **or3**, **and4** i **or4**). Aquests senyals de sortida podrien tenir els noms: **sinv** (sortida **inversor** amb arquitectura **logica**), **sinv_retard** (sortida **inversor** amb arquitectura **logicaretard**), **sand2** (sortida **and2** amb arquitectura **logica**), **sand2_retard** (sortida **and2** amb arquitectura **logicaretard**)...

4. Ara genereu l'entitat **xor2** (porta **XOR** de dues entrades) amb les arquitectures **logica** i **logicaretard** (igual que abans, amb un retard de 5 ns). Els senyals d'entrada de l'entitat seran **a** i **b**, i la sortida serà **z**. Modifiqueu de manera adient el banc de proves, afegint els DUTs corresponents i els senyals **sxor2** i **sxor2_retard**. Verifiqueu el funcionament del banc de proves, fent que els senyals d'entrada recorrin tots els valors possibles i comprovant que cada sortida dona el que preveu el càlcul teòric.
5. Afegeix al codi del banc de proves unes poques línies de comentari, on indiqueu en quin interval de temps els senyals d'entrada al banc de proves agafen els valors: **ent1=1**, **ent2=0**, **ent3=0** i **ent4=1**, i quins valors tenen cadascuna de les sortides.

Recordeu que aquestes entitats, arquitectures i bancs de proves es faran servir en totes les properes pràctiques, per això es cabdal tenir tot acabat, verificat i funcionant.

Els fitxers que haureu de pujar a través del campus virtual seran 2:

- 1) Un fitxer amb totes les entitats i arquitectures de les portes **inversor, and2, and3, and4, or2, or3, or4 i xor2**). El nom del fitxer serà:

P1b_Cognom1_Cognom2_Nom_01.vhd.

En un segon fitxer poseu els banc de proves d'aquestes portes lògiques i del conjunt, amb el nom **P1b_Cognom1_Cognom2_Nom_02.vhd.**

Inclogueu també una captura de pantalla de la simulació amb totes les portes lògiques (amb el nom **P1b_Cognom1_Cognom2_Nom.jpg**).

- 2) Un cop pujats els fitxers, no oblideu de picar "**Enviar per avaluar**".

Aquest treball l'haureu de pujar a través del campus virtual quan acabeu la vostra sessió de pràctiques, abans de l'hora de finalització de la vostra sessió de pràctiques. Els codis enviats FORA DEL TERMINI es corregiran però NO S'AVALUARAN.

Recordeu que totes les trameses de fitxers es faran a través del campus virtual. NO ENVIEU ELS CODIS PER AVALUAR PER CORREU ELECTRÒNIC.