

DISSENY DIGITAL BÀSIC 2024-2025

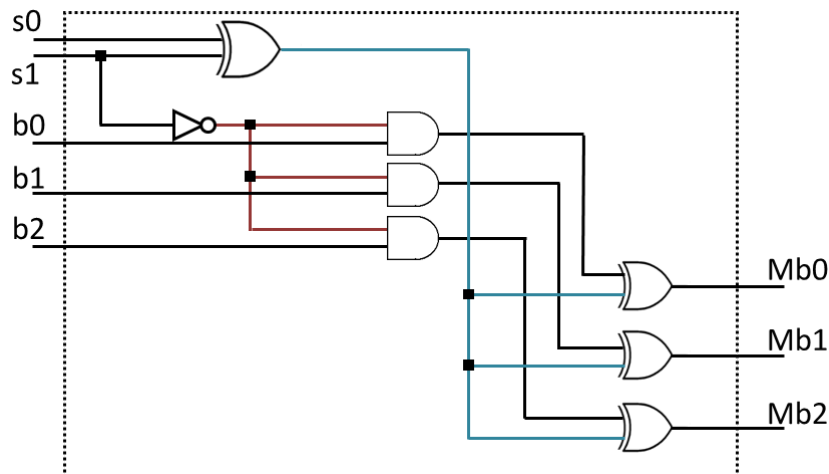
PRÀCTICA 4: Implementació de sistemes seqüencials i aplicació a circuits lògics

(dies 27,28,29 de novembre i 1,2 de desembre)

En aquesta pràctica autònoma definirem un conjunt d'entitat (amb les seves architectures) per tal de poder implementar un circuit més complexa durant la sessió síncrona al laboratori. Implementareu els següents components: '**bloc1**', '**sum1bit**', '**sum3bits**', '**mux4a1**', '**reg1bit**'. A continuació es descriuen aquest cinc elements.

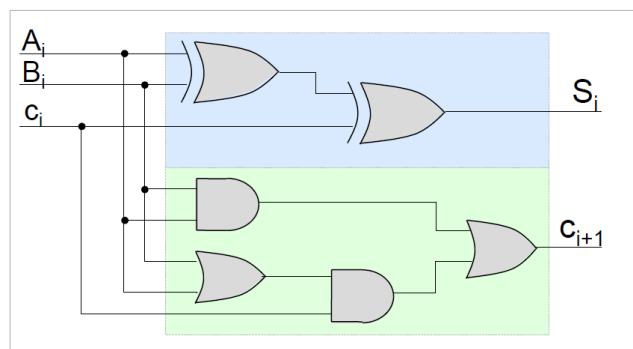
BLOC1

El '**bloc1**' té 5 entrades (**b2,b1,b0** i **s1,s0**) i 3 sortides (**Mb2,Mb1,Mb0**) i funciona de la següent forma:



SUM1BIT

El '**sum1bit**' és un sumador complet d'un bit, que té 3 entrades (**a,b**, i **cin**), i 2 sortides (**S**, i **cout**). Les entrades **a,b** són els bits a sumar, mentre que **cin** és el **carry in**. Respecte a les sortides, **S** és la suma i **cout** és el **carry out**. Les connexions són les següents:



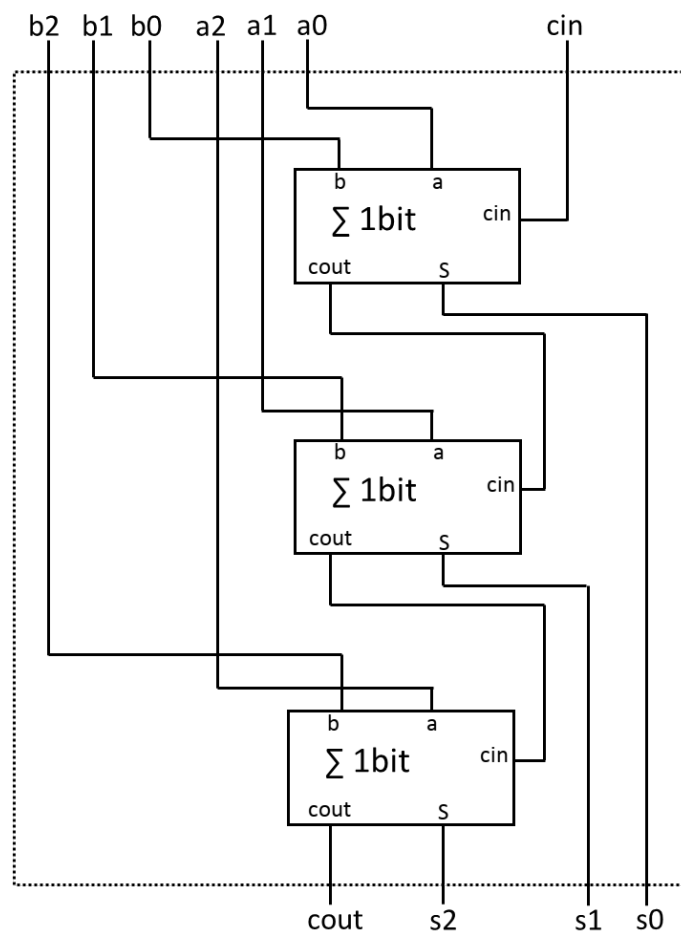
O, expressat de forma lògica, les seves sortides vindrien donades per:

$$S_i = (A_i \oplus B_i) \oplus c_i$$

$$c_{i+1} = A_i \cdot B_i + c_i \cdot (A_i + B_i)$$

SUM3BITS

El '**sum3bits**' és un sumador de 3 bits, on les entrades són **b2,b1,b0** i **a2,a1,a0**, més el **cin**; com a sortides tenim la suma **s2,s1,s0** i el **cout**. Aquest sumador de 3 bits els podem expressar en funció del sumador complet d'un bit que hem definit abans, donant lloc al següent esquema:



MUX4a1

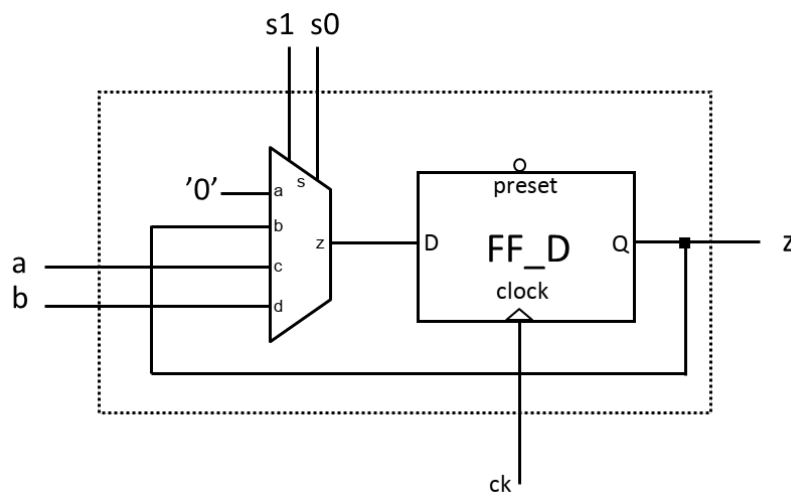
El '**mux4a1**' té 4 entrades **a, b, c, d**, i 2 senyals de selecció **sel1, sel0** (també com a senyals d'entrada) i una única sortida **z**. La seva taula de la veritat és la següent:

sel1	sel0	z
0	0	a

0	1	<i>b</i>
1	0	<i>c</i>
1	1	<i>d</i>

REG1BIT

El registre d'1bit, '**reg1bit**', té quatre entrades (***a,b***, i ***s1,s0***), la senyal de rellotge ***ck*** com a una cinquena senyal d'entrada, i una única sortida ***z***. Aquí teniu aquest registre expressat en termes d'un '**mux4a1**' i un '**FF_D**' per flanc de baixada:



Aquestes són les passes que heu de seguir per implementar correctament aquests elements:

- 1) Construïu l'entitat '**bloc1**' amb 5 entrades (***b2,b1,b0*** i ***s1,s0***) i 3 sortides (***Mb2,Mb1,Mb0***). Definiu dues arquitectures: '**logicaretard**' i '**estructural**'. Considereu un retard de 5 ns a la sortida de l'arquitectura '**logicaretard**' i de les portes lògiques. Implementeu-lo fent servir els noms dels senyals que apareixen a la figura.
- 2) Construïu l'entitat '**sum1bit**', amb entrades ***a,b***, i ***cin***, i dues sortides ***S***, i ***cout***. Definiu dues arquitectures: '**logicaretard**' i '**estructural**'. Considereu un retard de 5 ns a la sortida de l'arquitectura '**logicaretard**' i de les portes lògiques.
- 3) Definiu ara l'entitat '**sum3bits**', amb set entrades entrades ***b2,b1,b0***, ***a2,a1,a0***, i ***cin***, i quatre sortides ***s2,s1,s0*** i el ***cout***. Definiu la seva arquitectura '**estructural**' a partir del '**sum1bit**', tal com apareix a la figura.

4) Implementeu l'entitat '**mux4a1**' amb un total de 6 entrades (**a**, **b**, **c**, **d**, i **sel1**, **sel0**) i una única sortida **z**. Considerant la taula de la veritat, implementa-la amb arquitectures '**logicaretard**' i '**ifthen**'. Afegeix 5 ns de retard a la sortida de les dues arquitectures.

5) Construïu l'entitat '**Reg1bit**' amb 4 entrades **a**, **b**, **s1**, **s0**, més el rellotge, **ck**; el registre tindrà només una única sortida, també de tipus bit, **z**. Implementeu la seva arquitectura '**estructural**' a partir del mux4a1 i el FF_D. Noteu que el FF_D no té senyal de clear (només de **preset**) i considereu que funciona per flanc de baixada (considera un retard de 5 ns a la sortida del FF_D). Implementeu-lo fent servir els noms dels senyals que apareixen a la figura.

6) Construïu un banc de proves que permeti comprovar el correcte funcionament de tots els elements que heu implementat. **Recomanació: feu una única entitat anomenada bdp amb 5 arquitectures, una per a cada tipus d'element. Noteu que en alguns casos no es necessari recorre totes les possibles variacions dels senyals (com ara al sumador de 3 bits).**

Aquest és el treball que haureu de pujar a través del campus virtual al menys 48 hores abans de la vostra sessió de pràctiques. Un cop passat aquest temps ja no serà possible pujar els fitxers. Els codis de la part autònoma són necessaris per l'accés a la sessió presencial. No entregar el treball autònom equival a una falta d'assistència. Els codis enviats FORA DEL TERMINI de les 48 hores prèvies a les sessions pràctiques es consideraran com no entregats.

Recordeu que totes les trameses de fitxers es faran a través del campus virtual. NO S'ACCEPTARAN CODIS PER AVALUAR ENVIATS PER CORREU ELECTRÒNIC.

Indicacions:

- Feu servir els noms d'entitats, arquitectures i variables EXACTAMENT com es descriu al text i als esquemes.
- Feu tot el codi en dos fitxers: el primer ha de contenir les portes lògiques i les cinc elements, mentre que el segon contindrà els diferents bancs de proves. Els fitxers es diran, respectivament:

P4a_Cognom1_Cognom2_Nom_01.vhd

i

P4a_Cognom1_Cognom2_Nom_02.vhd

- Comenteu el vostre codi, per tal que quedi clar què feu i quin apartat responeu.
- Afegiu captures de pantalla del resultat dels 5 bancs de proves, amb noms:

P4a_Cognom1_Cognom2_Nom_bloc1.jpg

P4a_Cognom1_Cognom2_Nom_sum1bit.jpg

P4a_Cognom1_Cognom2_Nom_sum3bits.jpg

P4a_Cognom1_Cognom2_Nom_mux4a1.jpg

P4a_Cognom1_Cognom2_Nom_reg1bit.jpg

- Recordeu que **només avaluarem els codis que compilen**.