

## DISSENY DIGITAL BÀSIC 2024-2025

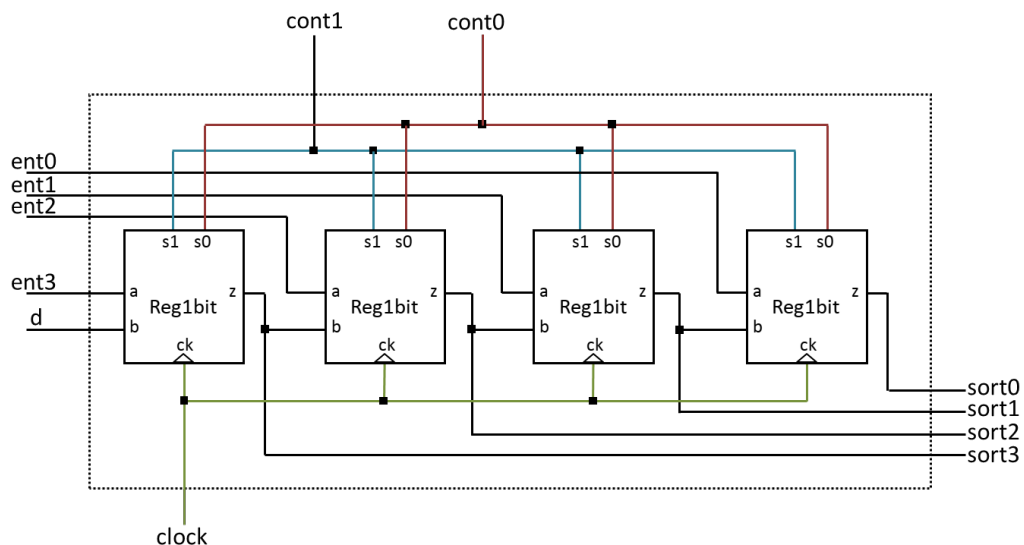
### **PRÀCTICA 4: Implementació de sistemes seqüencials i aplicació a circuits lògics**

**(dies 27,28,29 de novembre i 1,2 de desembre)**

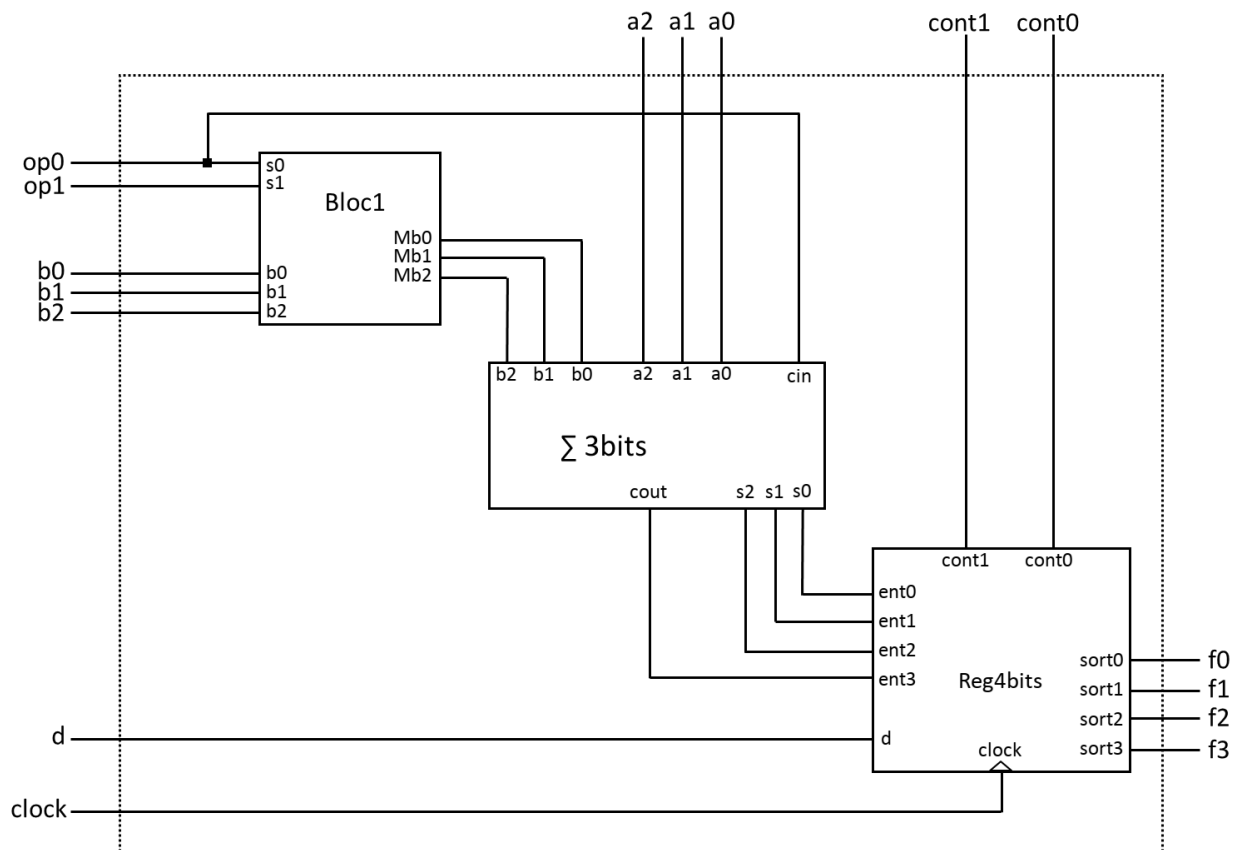
La sessió síncrona d'avui és una continuació de la part autònoma, on necessitarem les entitats i architectures que hem construït: '**bloc1**', '**sum1bit**', '**sum3bits**', '**mux4a1**', '**reg1bit**'. A més d'aquestes entitats i architectures, haurem de definir-ne una més, el '**reg4bits**':

#### REG4BITS

El '**reg4bits**' té 4 entrades **ent3**, **ent2**, **ent1**, **ent0**, dues entrades més de control **cont1**, **cont0**, un bit d'entrada per desplaçament a la dreta **d**, i el senyal de rellotge **clock** (en total, 8 entrades). Aquesta entitat tindrà 4 sortides de tipus bit **sort3**, **sort2**, **sort1**, **sort0**. Podeu definir la seva arquitectura estructural a partir del '**reg1bit**' que heu implementat a la part autònoma, de la següent forma:

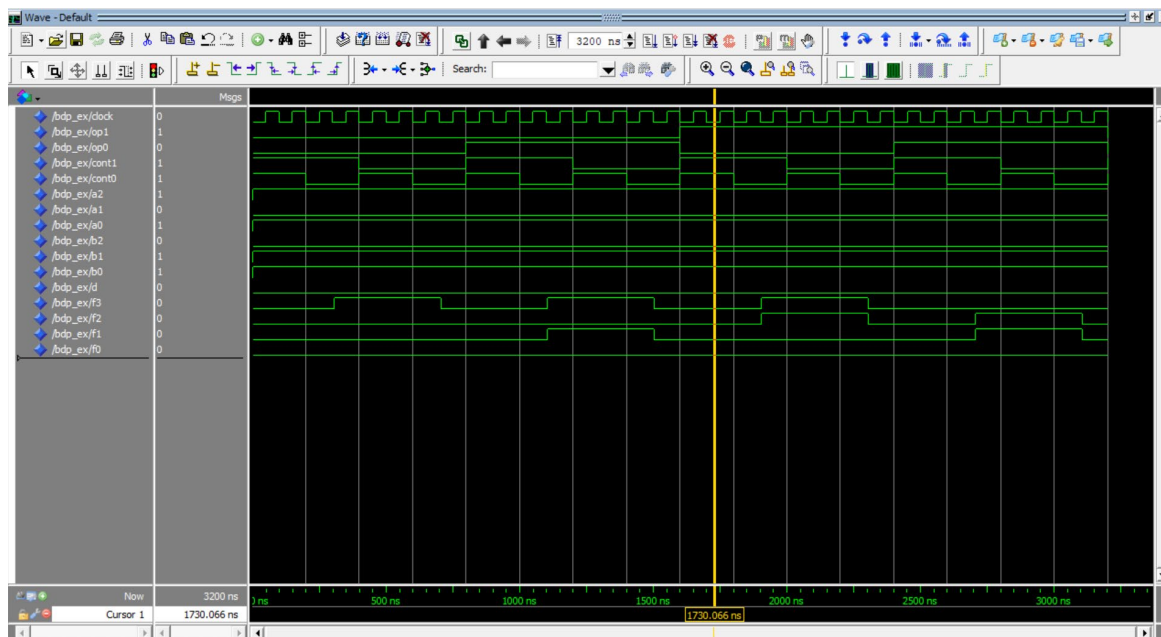


A partir de tots aquests elements (portes lògiques, '**bloc1**', '**sum1bit**', '**sum3bits**', '**mux4a1**', '**reg1bit**', '**reg4bits**'), els heu de combinar adequadament per tal de definir el següent circuit:



Per tant, heu de construir l'entitat '**circuit**' a partir dels elements anteriors, fent servir l'arquitectura estructural, amb les connexions que s'indiquen a la figura de dalt. Noteu que l'entitat ha de tenir un total de 12 entrades (***a2,a1,a0, b2,b1,b0, op1,op0, cont1,cont0, clock,d***) i 4 sortides (***f3,f2,f1,f0***).

Per tal de testar-la, genereu un banc de proves (arquitectura '**testP4**') que reproduueixi els senyals d'entrada de la figura següent (el senyal de ***clock*** varia cada 50 ns):



**Aquest treball l'haureu de pujar a través del campus virtual quan acabeu la vostra sessió de pràctiques, abans de l'hora de finalització de la vostra sessió de pràctiques. Els codis enviats FORA DEL TERMINI es corregiran però NO S'AVALUARAN.**

**Recordeu que totes les trameses de fitxers es faran a través del campus virtual. NO ENVIEU ELS CODIS PER AVALUAR PER CORREU ELECTRÒNIC.**

#### **Indicacions:**

- Feu servir els noms d'entitats, architectures i variables EXACTAMENT com es descriu al text i als esquemes.
- Feu tot el codi en tres fitxers: els dos primers fitxers seran els mateixos de la part autònoma (portes lògiques, els cinc elements de la pràctica autònoma i els bancs de proves), mentre que el tercer fitxer contindrà el 'reg4bits', 'circuit' i 'banc\_de\_proves'. Els fitxers es diran, respectivament:  
**P4a\_Cognom1\_Cognom2\_Nom\_01.vhd,**  
**P4a\_Cognom1\_Cognom2\_Nom\_02.vhd,**  
**i**  
**P4b\_Cognom1\_Cognom2\_Nom\_03.vhd**
- Comenteu el vostre codi, per tal que quedi clar què feu i quin apartat responeu.
- Afegiu una captura de pantalla del resultat, amb nom:  
**P4b\_Cognom1\_Cognom2\_Nom.jpg**
- Recordeu que **només avaluarem els codis que compilen.**