

DISSENY DIGITAL BÀSIC 2024-2025

PRÀCTICA 5: Implementació de sistemes seqüencials i disseny global

(dies 9,10,11,12,13 de desembre)

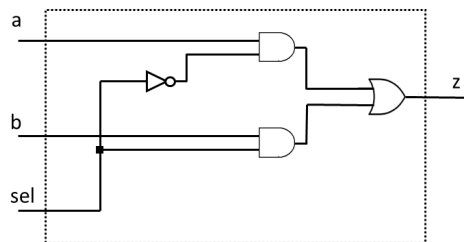
En aquesta pràctica autònoma definirem un conjunt d'entitats (amb les seves architectures) per tal de poder implementar un circuit més complexa durant la sessió síncrona al laboratori. Implementareu els següents components: '***mux2a1***', '***comp2bits***', '***comp4bits***', '***sum4bits***', '***reg4bits***'. A continuació es descriuen aquest cinc elements.

MUX2a1

El '***mux2a1***' té 2 entrades ***a***, ***b***, i 1 senyal de selecció ***sel*** (també com a senyal d'entrada) i una única sortida ***z***. La seva taula de la veritat és la següent:

<i>sel</i>	<i>z</i>
0	<i>a</i>
1	<i>b</i>

També el podem definir a partir de portes lògiques, obtenint el següent esquema:



COMP2BITS

El '***comp2b***' té 4 entrades (***b1,b0*** i ***a1,a0***) i 3 sortides (***z2,z1,z0***) i funciona de la següent forma:

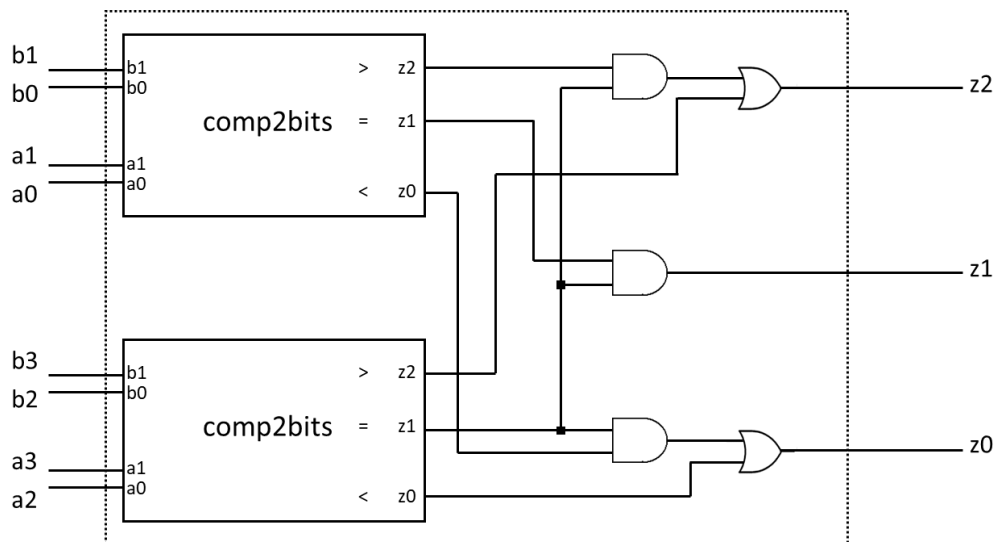
- Si el número determinat per ***b1,b0*** (en binari natural) és més gran que el número determinat per ***a1,a0*** (també en binari natural), la sortida serà ***z2*** <= '1' AFTER 5 ns; ***z1*** <= '0' AFTER 5 ns; ***z0*** <= '0' AFTER 5 ns;
- Si el número determinat per ***b1,b0*** (en binari natural) és més petit que el número determinat per ***a1,a0*** (també en binari natural), la sortida serà ***z2*** <= '0' AFTER 5 ns; ***z1*** <= '0' AFTER 5 ns; ***z0*** <= '1' AFTER 5 ns;
- Si tots dos números formats per ***b1,b0*** i ***a1,a0*** són iguals, la sortida serà ***z2*** <= '0' AFTER 5 ns; ***z1*** <= '1' AFTER 5 ns; ***z0*** <= '0' AFTER 5 ns;

COMP4BITS

El '**comp4bits**', té 8 entrades (**b3,b2,b1,b0** i **a3,a2,a1,a0**) i 3 sortides (**z2,z1,z0**) i funciona de la següent forma:

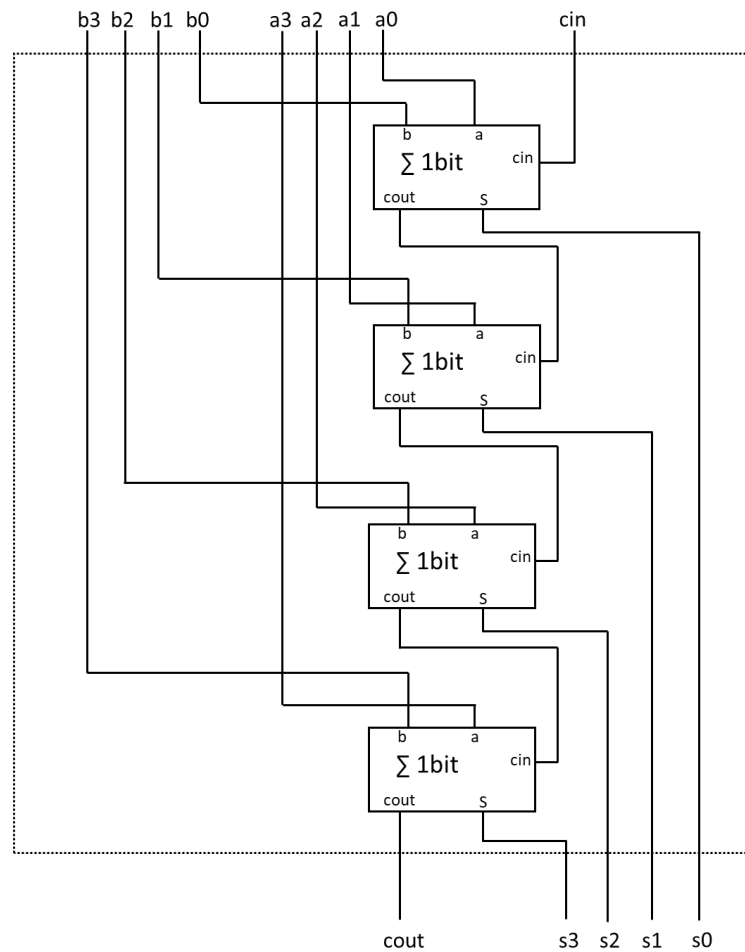
- Si el número determinat per **b3,b2,b1,b0** (en binari natural) és més gran que el número determinat per **a3,a2,a1,a0** (també en binari natural), la sortida serà **z2** <= '1' AFTER 5 ns; **z1** <= '0' AFTER 5 ns; **z0** <= '0' AFTER 5 ns;
- Si el número determinat per **b3,b2,b1,b0** (en binari natural) és més petit que el número determinat per **a3,a2,a1,a0** (també en binari natural), la sortida serà **z2** <= '0' AFTER 5 ns; **z1** <= '0' AFTER 5 ns; **z0** <= '1' AFTER 5 ns;
- Si tots dos números formats per **b3,b2,b1,b0** i **a3,a2,a1,a0** són iguals, la sortida serà **z2** <= '0' AFTER 5 ns; **z1** <= '1' AFTER 5 ns; **z0** <= '0' AFTER 5 ns;

També el podeu implementar en funció de 2 comparadors de 2 bits, de la següent forma:



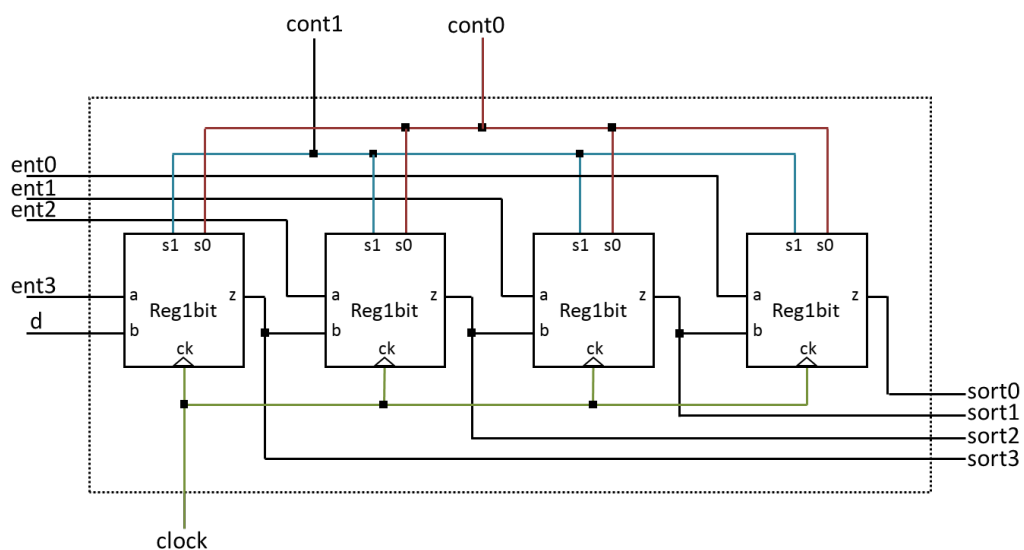
SUM4BITS

El '**sum4bits**' és un sumador de 4 bits, on les entrades són **b3,b2,b1,b0** i **a3,a2,a1,a0**, més el **cin**; com a sortides tenim la suma **s3,s2,s1,s0** i el **cout**. Aquest sumador de 4 bits els podem expressar en funció del sumador d'un bit (el teniu definit a la pràctica 4), donant lloc al següent esquema:

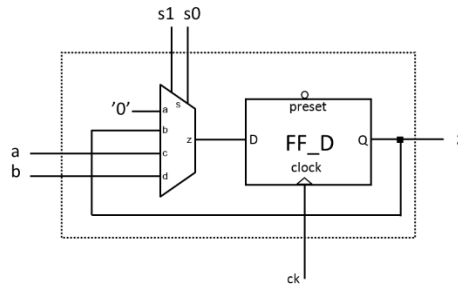


REG4BITS

El '**reg4bits**' és un registre de desplaçament, el mateix que vàrem fer servir a la pràctica 4 (laboratori), que depèn del registre d'1 bit que també vàreu fer a la pràctica 4 (autònoma):



El registre d'1bit està expressat en termes d'un mux4a1 i un FF_D per flanc de baixada, de la següent forma (el vau programar a la pràctica 4 autònoma):



Aquestes són les passes que heu de seguir per implementar correctament aquests elements:

1) Construïu l'entitat '**mux2a1**' amb 3 entrades (**b,a**, i **sel**) i 1 sortida (**z**). Definiu la seva arquitectura '**logicaretard**' (amb un retard de 5 ns a la sortida), arquitectura '**ifthen**', (amb un retard de 5 ns a la sortida), i la seva arquitectura '**estructural**' a partir de les portes lògiques (que tindran un retard de 5 ns). Implementeu-lo fent servir els noms dels senyals que apareixen a la figura.

2) Construïu l'entitat '**comp2bits**' amb 4 entrades (**b1,b0** i **a1,a0**) i 3 sortides (**z2,z1,z0**). Definiu la seva arquitectura '**ifthen**', introduint un retard de 5 ns a cadascuna de les sortides. Implementeu-lo fent servir els noms dels senyals que apareixen a la figura.

3) Construïu l'entitat '**comp4bits**' amb 8 entrades (**b3,b2,b1,b0** i **a3,a2,a1,a0**) i 3 sortides (**z2,z1,z0**). Definiu la seva arquitectura '**estructural**' (a partir de 2 comparador de 2 bits) i l'arquitectura '**ifthen**' (seguint les indicacions de l'enunciat), introduint un retard de 5 ns a cadascuna de les sortides. Implementeu-lo fent servir els noms dels senyals que apareixen a la figura.

3) Agafeu el sum1bit que teniu a la pràctica 4 (amb les seves corresponents arquitectures i els elements necessaris per a que funcionin) i genereu l'entitat i l'arquitectura estructural d'un sumador de 4 bits. L'entitat es dirà '**sum4bits**' i tindrà 9 entrades: (**b3,b2,b1,b0**, **a3,a2,a1,a0**, **cin**) i 5 sortides (**cout**, **s3,s2,s1,s0**) incloeu-lo al vostre projecte. Feu servir l'arquitectura '**estructural**' del '**sum1bit**'.

4) Agafeu les entitats '**reg1bit**' i '**reg4bits**' de la pràctica 4, amb les seves corresponents arquitectures i els elements necessaris per a que funcionin. El '**reg1bit**' té 4 entrades **a,b**, **s1,s0**, més el rellotge, **ck**; (5 en total) i una única sortida, **z**. En canvi, el '**reg4bits**' té 7 entrades (**ent3,ent2,ent1,ent0**, **d**, **cont1,cont0,clock**) i 4 sortides (**sort3,sort2,sort1,sort0**). Fiqueu en el vostre codi també aquestes entitats i les seves arquitectures.

6) Construïu un banc de proves que permeti comprovar el correcte funcionament de tots els elements que heu implementat ('**mux2a1**', '**comp2bits**', '**comp4bits**', '**sum4bits**', '**reg4bits**'). **Recomanació: feu una única entitat anomenada bdp amb 5 arquitectures, una per a cada tipus d'element. Noteu que en alguns casos no es necessari recorre**

totes les possibles variacions dels senyals (com ara el comparador de 4 bits o el sumador de 4 bits).

Aquest és el treball que haureu de pujar a través del campus virtual al menys 48 hores abans de la vostra sessió de pràctiques. Un cop passat aquest temps ja no serà possible pujar els fitxers. Els codis de la part autònoma són necessaris per l'accés a la sessió presencial. No entregar el treball autònom equival a una falta d'assistència. Els codis enviats FORA DEL TERMINI de les 48 hores prèvies a les sessions pràctiques es consideraran com no entregats.

Recordeu que totes les trameses de fitxers es faran a través del campus virtual. NO S'ACCEPTARAN CODIS PER AVALUAR ENVIATS PER CORREU ELECTRÒNIC.

Indicacions:

- a) Feu servir els noms d'entitats, architectures i variables EXACTAMENT com es descriu al text i als esquemes.
- b) Feu tot el codi en dos fitxers: el primer ha de contenir les portes lògiques i els cinc elements, mentre que el segon contindrà els diferents bancs de proves. Els fitxers es diran, respectivament:
P5a_Cognom1_Cognom2_Nom_01.vhd
i
P5a_Cognom1_Cognom2_Nom_02.vhd
- c) Comenteu el vostre codi, per tal que quedi clar què feu i quin apartat responeu.
- d) Afegiu captures de pantalla del resultat dels 5 bancs de proves, amb noms:
P5a_Cognom1_Cognom2_Nom_mux2a1.jpg
P5a_Cognom1_Cognom2_Nom_comp2bits.jpg
P5a_Cognom1_Cognom2_Nom_comp4bits.jpg
P5a_Cognom1_Cognom2_Nom_sum4bits.jpg
P5a_Cognom1_Cognom2_Nom_reg4bit.jpg
- e) Recordeu que ***només avaluarem els codis que compilen.***